动态综述

DOI：10.16818/j.issn1001－5868.2020.06.002

低噪声 CMOS 图像传感器技术研究综述

刘崾侃[1,2]，邢德智[2*]，唐昭焕[1,3]，徐　炀[1,2]

（1. 中国电子科技集团重庆声光电有限公司，重庆 400060；2. 联合微电子中心有限责任公司，重庆 401332；
3. 模拟集成电路重点实验室，重庆 400060）

摘　要： 文章总结了低噪声 CMOS 图像传感器代表性关键技术的最新研究进展。从 CMOS 图像传感器架构及各模块设计的角度，介绍了有源像素结构和图像传感器架构，分析了广泛采用的像素内源跟随 CMOS 图像传感器读出电路及其噪声等效模型，重点介绍了低噪声 CMOS 图像传感器关键技术，包括共享参考像素差分共源放大器技术、相关多采样技术、像素内斩波技术，以及相关技术的电路级实现方式。

关键词： CMOS 图像传感器；低噪声；相关多采样；模拟集成电路

中图分类号： TN432　**文章编号：** 1001－5868(2020)06－0768－06

An Overview of Low Noise CMOS Image Sensor Technique

LIU Rongkan[1,2], XING Dezhi[2], TANG Zhaohuan[1,3], XU Yang[1,2]

(1. Chongqing Acoustic-Optic-Electronic Co. Ltd., Chongqing 400060, CHN;
2. United Microelectronics Center Corp., Chongqing 401332, CHN;
3. Science and Technology on Analog Integrated Circuit Laboratory, Chongqing 400060, CHN)

Abstract: The latest developments of representative key technologies of low noise CMOS image sensors are summarized. The active pixel structure and the readout circuit architecture of image sensor are introduced from such aspects as the architectures and module design of CMOS image sensors. The readout circuit with in-pixel source follower and its noise equivalent model are analyzed. The key technologies of low noise CMOS image sensor are introduced in detail, including reference-shared in-pixel differential amplifier technique, correlated multiple sampling technique and in-pixel chopping technique, and the circuit implementations of these techniques are introduced as well.

Key words: CMOS image sensor; low noise; correlated multiple sampling; analog IC

0　引言

相较于电荷耦合器件(CCD)，基于专用 CMOS 工艺的 CMOS 图像传感器(CMOS Image Sensor，CIS)具有易于片上集成、低功耗、小体积和低成本等特点。近年来，随着微光 CMOS 图像传感器技术的发展，其噪声性能已成为影响弱光条件下成像质量的重要因素[1-18]。噪声是图像传感器的关键指标之一，决定着图像的成像质量。随着 CMOS 工艺尺寸的不断缩小和工艺发展，器件物理尺寸随之减小，CIS 性能不断提高，尤其在速度、分辨率、填充因子、灵敏度、暗电流和功耗等方面都有显著提升和改善。Pinned 光电二极管技术(PPD)可以有效减小暗电流，去除像素的 KTC 噪声，获得高转换增益。而用于信号采样和噪声消除的高增益列读出电路则可以进一步降低读出随机噪声，因此先进 CMOS 图像传感器的噪声水平可以与 CCD 图像传感器相媲美，甚至优于后者，特别是在高帧频应用领域。针对下一代低噪声 CMOS 图像传感器，为了更有效地降低像素源极跟随放大器的噪声，特别是 $1/f$ 噪声和随机

收稿日期：2020－08－06.

*通信作者：邢德智　E-mail：dezhi.xing@cumec.cn

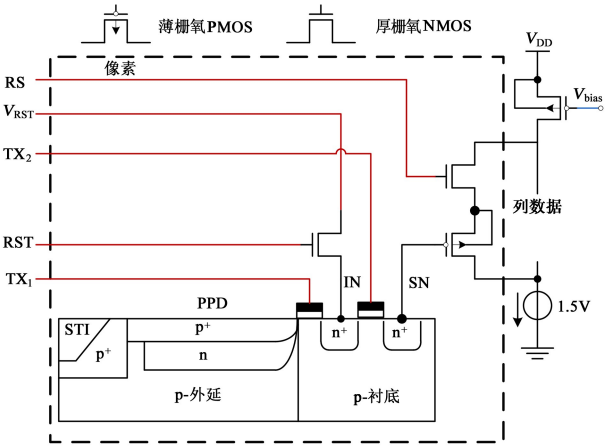
噪声，并保持信号的动态范围，需要采用先进的降噪技术[1-32]。

本文总结了低噪声 CMOS 图像传感器代表性关键技术的最新研究进展，以期为设计者了解最新的低噪声 CMOS 图像传感器研究提供有益的参考。

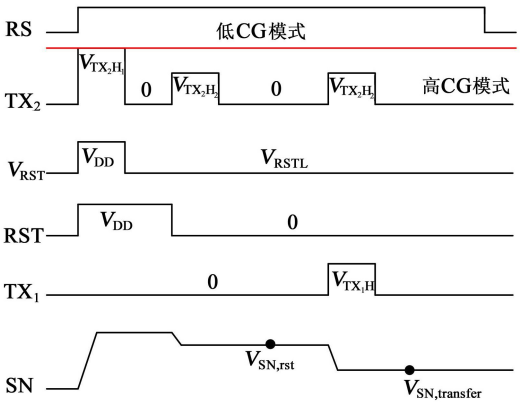
1　低噪声 CMOS 图像传感器像素单元及架构研究进展

1.1　有源像素结构

采用有源像素可以降低噪声、加快读取速度、增强成像质量。4T 像素结构在 3T 像素结构的基础上采用了一个 Pinned 光电二极管(PPD)，增加了一个传输栅和一个浮置扩散节点。采用 PPD 结构不仅可以有效避免光电二极管中的电荷转移不完全性，而且能大大减小暗电流，同时传输栅的设计使得相关双采样技术得以实现。最近提出的超低噪声像素结构，通过对工艺进行改进，重塑沿信号路径的电位分布以达到将检测节点(SN)和传输门(TG)重叠电容隔离的目的，并通过从 SN 侧收缩其沟道宽度来减少与复位晶体管的重叠，从而减小 SN 电容，提高了像素转换增益(CG)，使其具备了光子计数能力[19-20]。文献[21]提出了一种具有双转换增益特性的 5T 像素结构，其电路和对应的时序如图 1 所示。这种方案与 CMOS 工艺兼容，既具有光子计数能力又不会损失动态范围。在饱和电平为 6 500 e^- 时，转换增益可在 250 和 115 $\mu V/e^-$ 之间进行调节。该像素结构的良好性能归因于新增的传输门，通过将 SN 与复位和 TG 交叠电容隔离以实现低 SN 电容，同时具备 CG 可调能力。通过像素内的薄栅氧 PMOS 源跟随器(SF)和最佳尺寸优化，实现低噪声



(a)　5T 像素电路



(b)　对应时序

图 1　具有双转换增益特性的 5T 像素结构

读出。与传统的 4T 方案相比，该像素结构具有中间节点(IN)，该节点与 SN 通过栅极进行隔离，可以大大减小 SN 电容。

1.2　低噪声 CMOS 图像传感器架构

低噪声 CMOS 图像传感器的整体架构如图 2 所示，主要由像素阵列和读出电路构成[22]。对于二维平面芯片结构，像素阵列位于成像器的中央，每个像素包括一个 PPD 以及至少一个放大晶体管和三个用于复位、传输和行选择的 MOS 晶体管。列并行读出电路技术在获得高帧速的同时降低了 ADC 的设计难度。行控制电路由移位寄存器和电平转换器组成，以便产生像素阵列逐行并行读取需要的行选、复位和传输控制信号。整体架构的原理为：光经过像素阵列转换为电信号，通过相关双采样(CDS)技术实现信号的降噪处理，然后进入可编程增益放大器(PGA)进行信号放大，再通过

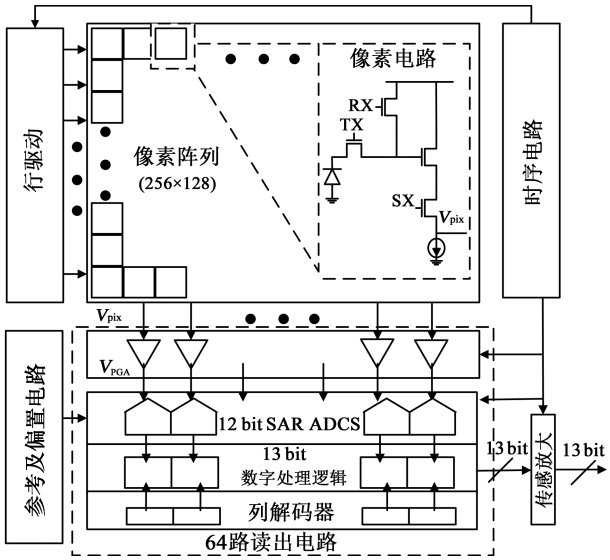


图 2　低噪声 CMOS 图像传感器架构

列级模数转换电路(ADC)实现信号的数字化,将数据存储在静态随机存储器 SRAM 中,最后水平移位进行数字输出。

目前多数 CMOS 图像传感器读出链路基于像素内源跟随结构[23],如图 3 所示。该方案具有结构简单、动态范围大、复位简单、抗电荷注入的优点。后续主要针对这种结构的读出链路进行噪声源及等效模型分析。

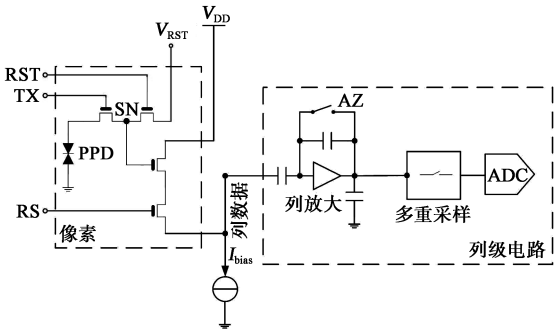


图 3 基于源跟随结构的 CMOS 图像传感器读出链路

2 CMOS 图像传感器噪声模型

2.1 CMOS 图像传感器噪声类型

在 CMOS 图像传感器中,噪声主要分为随机噪声(RN)和固定模式噪声(FPN)。散粒噪声、热噪声、暗电流散射噪声、复位噪声、$1/f$ 噪声等属于随机噪声。暗信号噪声、失调噪声、非均匀光子强度噪声和非均匀跨导噪声属于固定模式噪声[24]。信噪比(Signal to Noise Ratio,SNR)定义为在一定光照条件下输入信号电平与噪声电平的比值,其表达式为

$$SNR = 20\log\left(\frac{V_{signal}}{V_{noise}}\right) \tag{1}$$

其中,V_{signal} 为信号电平,V_{noise} 为给定输入信号所对应的噪声水平。在暗光照条件下,读出噪声是限制信噪比的重要因素。

散粒噪声是由一系列具有相同概率的独立物理过程引发的统计现象,它是由载流子的分散性造成的,在低频与中频情况下,散粒噪声表现为白噪声特性。CMOS 图像传感器中的散粒噪声大致分为两种:光子散粒噪声和暗电流散粒噪声。复位噪声是 CMOS 图像传感器像素单元的重要噪声,来源于开关管的复位操作。热噪声是由导体中电子的热振动导致的,与温度有关,有源像素的热噪声主要来自于源跟随器、列选通开关。$1/f$ 噪声主要源自 MOS 晶体管沟道表面的晶格缺陷,界面处的悬挂键造成载流子的随机俘获和释放,产生低频闪烁噪声。固定模式噪声是 CMOS 图像传感器的主要噪声之一,产生原因包括:工艺制造引起的器件失配使像素阵列光响应出现空间不均匀现象、列级增益变化以及失调空间变化,通过相关采样技术可以对其进行有效抑制。

2.2 CMOS 图像传感器读出电路噪声模型

基于源极跟随结构的 CMOS 图像传感器读出电路噪声可以等效为图 4 所示的传输模型。其中 ϕ_e 是光子通量,N_{DC} 是在光电二极管积分时间内与暗电流积分对应的电子数,$\eta(\lambda)$是量子效率,G_C 是转换增益(取决于感测节点电容 C_{SN}),$A_1(f)$为第一级增益,$SH(f)$为采样保持电路的传递函数,$A_2(f)$为输出级增益。图 4 所示的完整传递函数可以表达为[25]

$$V_{out} = (\eta(\lambda)\cdot\phi_e + N_{DC})\cdot G_C(C_{SN})\cdot A_1(f)\cdot SH(f)\cdot A_2(f) \tag{2}$$

式中,V_{out} 是输出信号,σ_{photon} 是以电子为单位的光子噪声,σ_{DC} 是以电子为单位的暗电流引起的噪声,σ_{reset} 是以电压为单位的复位噪声,σ_{A_1+SH} 是以电压为单位的第一级和采样保持级噪声,σ_{A_2} 是输出级噪声。

减小噪声响应的主要措施包括:(1)通过设计优化减小像素内放大器级或源极跟随级;(2)通过减小 SN 电容增加转换增益;(3)降低暗电流。暗电流噪声服从泊松分布,并与工艺有关;(4)提高读出电路增益,减小等效输入噪声。

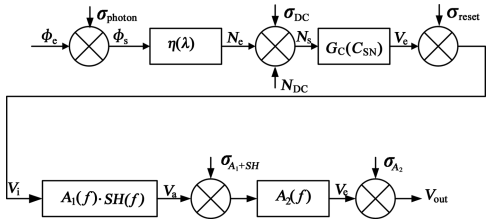


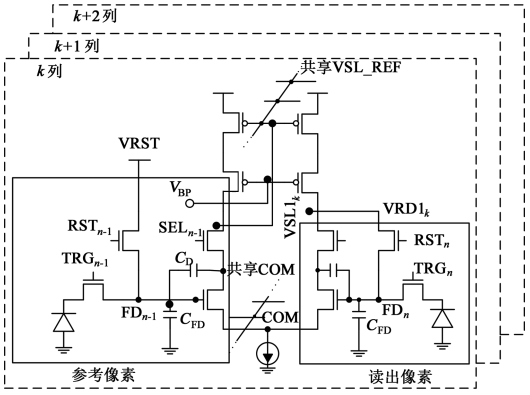
图 4 CMOS 图像传感器读出链路噪声等效模型

3 低噪声 CMOS 图像传感器读出电路关键技术研究进展

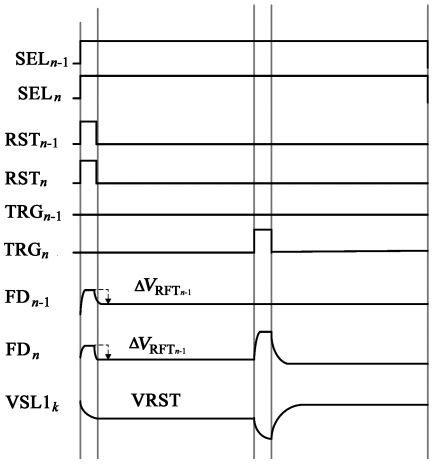
3.1 共享参考像素差分共源放大器技术

低噪声和高动态范围是弱光和强光情况下成像的基本特征,一种能够有效改善读出噪声的方法是采用读出链路前端高增益放大器来抑制后级产生的噪声,为了实现较好的降噪效果,需在像素内增加额外的器件,但这会导致像素单元尺寸的增加。采用

像素内差分共源放大器(DA)可解决这种性能和设计间的矛盾,既实现了像素高增益又不会增加像素尺寸,该结构还能够切换到低增益模式[26]。由于 DA 的噪声源器件加倍使得噪声消减效应受限,针对这一问题,文献[27]提出了另一种共享参考像素差分共源放大器技术,该技术采用一个读出像素和一个非读出参考像素组成一个 DA 结构,其等效电路和对应时序如图 5 所示。由于上千个参考像素并联连接,其 W/L 尺寸变得非常大,差分将参考像素侧的噪声减小到可以忽略的水平,因此避免了使用 DA 造成的噪声恶化。



(a)　等效电路图



(b)　时序图

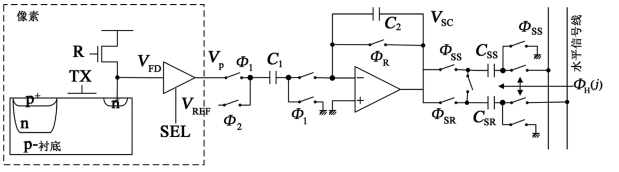
图 5　共享参考像素等效电路图及时序图

3.2　相关多采样技术

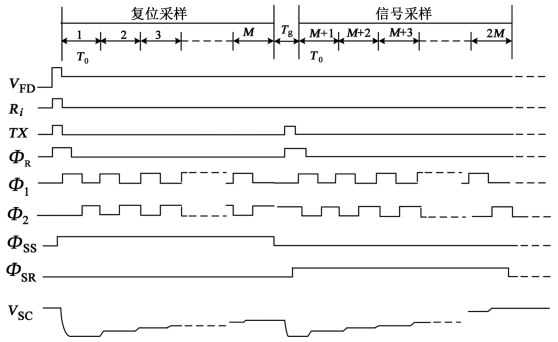
CIS 通常使用可编程增益放大器和多次采样技术来抑制像素和读出链路的噪声。有关文献已提出的多采样方法有相关多采样技术(CMS)[28]、数字相关多采样技术(DCMS)[29],以及快速多采样技术(FCMS)[30]等。CMS 将相关双采样与求平均相结合,M 阶 CMS 相当于在重置电平时进行 M 次采样平均,在电荷转移后也进行 M 次采样平均,然后对两个平均值进行比较。理想的 CMS 输出电压可以表示为

$$V_{\mathrm{CMS}}=\frac{1}{M}\sum_{i=1}^{M}V_{\mathrm{transfer},i}-\frac{1}{M}\sum_{i=1}^{M}V_{\mathrm{reset},i} \tag{3}$$

CIS 相关多采样读出链路可以通过模拟或数字的方式实现多次采样。图 6(a)所示为采用一个开关电容积分器和两个采样保持电路的模拟 CMS CIS 读出链路原理图,像素阵列采用带 PPD 的 4T 有源像素,CMS 工作时序如图 6(b)所示,T_0 是采样时间,T_g 是复位和信号采样间隔。第一阶段,CMS 工作前,Φ_R 控制的开关导通将电容 C_2 初始化,上一次存储在 C_2 上的像素信号被清零。当 Φ_1 控制的开关导通时,对复位电平 V_p 进行第一次采样;第二阶段,Φ_2 控制的开关导通,存储在 C_1 上的电荷传输到 C_2 上。之后按照同样的步骤,重复 M 次,完成采样电荷的存储和转移;第三阶段,按照同样的步骤,对信号电平进行 M 次操作,结果保存在 C_{SS} 上;第四阶段,存储在 S/H 电容上的两个输出通过水平扫描仪扫描,其差值在输出端使用差分电荷放大器进行像素噪声消除。积分 CMS 的增益为 M,该增益是像素输出的复位和信号电平的平均值之差的函数。



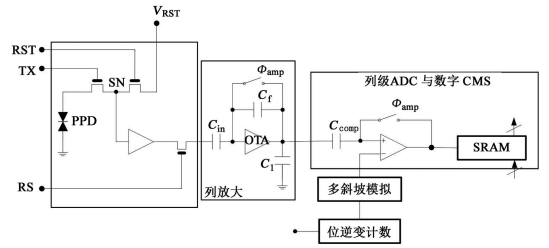
(a)　电路原理图



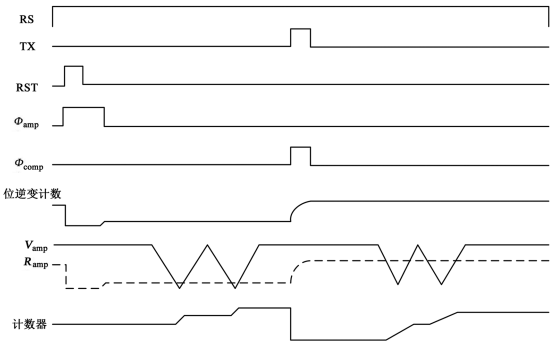
(b)　时序图

图 6　CMS 电路图及时序图

CMS 也可以在数字域进行[23]。图 7(a)所示为基于 4T 像素、列电平放大和多斜坡 ADC 的读出链路,多斜坡 ADC 通过多次模数转换来执行 CMS,相对应的时序如图 7(b)所示。



(a) 采样电路图



(b) 时序图

图 7 数字相关多采样电路及时序图

3.3 像素内斩波技术

动态范围受到输出摆幅和噪声的限制,有源像素传感器(APS)的主要噪声源是开关的热噪声和源极跟随器的低频噪声或 $1/f$ 噪声。采用相关双采样技术可以有效降低像素复位开关的热噪声,而 $1/f$ 噪声是由传导电流或阈值电压的离散波动引起的,进而造成像素的闪烁输出现象,可采用斩波技术进行抑制[31],将低频噪声调制到相关性较小的频带频率。由于该斩波技术需要额外的开关晶体管进行控制,会影响像素的填充因子,因此文献[32]提出了一种新的 3T 像素的斩波技术,基本结构如图 8 所示。

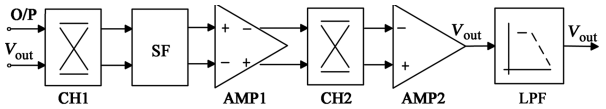


图 8 像素内斩波实现方式

在图 8 中,光电二极管(PD)输出信号在进入 SF 模块之前使用第一级斩波器(CH1),被调制到斩波频率(f_{ch})。SF 的输出连接到放大器 1(AMP1),放大器 1 的输出由四部分组成,包括:放大的调制 PD 信号、放大的 SF 低频噪声、放大器噪声和输出失调电压,AMP1 的输出通过第二斩波器(CH2)再次进行斩波。由于 AMP1 和 CH2 处于列级电路中,故不影响像素的填充率,CH2 将 PD 信号解调到初始基带频率,而将 SF 和 AMP1 的低频噪声,以及运放的失调电压调制到 f_{ch},信号通过 CH2 后被放大器 2(AMP2)进一步放大,AMP2 的输出反馈到 CH1 的其他输入端以完成闭环单位增益反馈结构。CH2 后的低通滤波器(LPF)可抑制上调制偏移和 $1/f$ 噪声,并且隔离由于斩波动作而产生的频率 f_{ch} 处的输出尖峰。额外增加的小尺寸斩波开关导致的填充率下降可以通过选择小尺寸源跟随器来进行部分补偿,而有源像素传感器源极跟随晶体管的低频或 $1/f$ 噪声可以通过斩波来减小。

4 结束语

本文分析了低噪声 CMOS 图像传感器读出链路的噪声特性及其等效模型,总结了近年来低噪声 CMOS 图像传感器读出链路的代表性技术和解决方案。通过对这些关键技术进行介绍,可帮助设计者理解噪声对 CMOS 图像传感器成像质量的影响,优化电路的噪声响应以提高传感器性能,进而对低噪声 CMOS 图像传感器的设计提供有益帮助。

参考文献:

[1] Kumagai O, Niwa A, Hanzawa K, et al. A 1/4-inch 3.9 Mpixel low-power event-driven back-illuminated stacked CMOS image sensor[C]// Proc. of 2018 IEEE Inter. Solid-State Circuits Conf, 2018: 86-87.

[2] Ji S, Pu J, Lim B C, et al. A 220 pJ/pixel/frame CMOS image sensor with partial settling readout architecture[C]// Proc. of 2016 IEEE Symp. on VLSI Circuits (VLSI-Circuits), 2016: 226-227.

[3] Seiji T, Yi-Min H, Jhy-Jyi S, et al. A 45 nm stacked CMOS image sensor process technology for submicron pixel[J]. Sensors, 2017, 17(12): 2816.

[4] Kim Y, Choi W C, Park D H, et al. A 1/2.8-inch 24 Mpixel CMOS image sensor with 0.9 μm unit pixels separated by full-depth deep-trench isolation[C]// Proc. of IEEE Inter. Solid-State Circuits Conf., 2018: 84-85.

[5] Miyauchi K, Okura S, Mori K, et al. High optical performance 2.8 μm BSI LOFIC pixel with 120 ke^- FWC and 160 $\mu V/e^-$ conversion gain[C]//Proc. of Int. Image Sensor Workshop, 2019: 246-249.

[6] Musalgaonkar G, Priyadarshini N, Sarkar M. An HDR pixel with over 60 dB dynamic range enhancement using in-pixel parametric amplification [J]. IEEE Trans. on Electron Devices, 2017, 65(2): 1-9.

[7] Yao Q, Dierickx B, Dupont B, et al. CMOS image sensor reaching 0.34 e^- RMS read noise by inversion-accumulation cycling design concepts and operation principle[C]// Proc. of

Int. Image Sensor Workshop, 2015: 369-372.

[8] Priyadarshini N, Anand C, Sarkar M. A WDR CMOS image sensor employing in-pixel capacitive variation using a re-configurable source follower for low light applications[C]// Proc. of IEEE Asian Solid-State Circuits Conf., 2018: 21-24.

[9] Boukhayma A, Peizerat A, Enz C. Temporal readout noise analysis and reduction techniques for low-light CMOS image sensors[J]. IEEE Trans. on Electron Devices, 2015, 63(1): 72-78.

[10] Yeh S F, Chou K Y, Tu H Y, et al. A 0.66 e^- RMS temporal-readout-noise 3-D-stacked CMOS image sensor with conditional correlated multiple sampling technique[J]. IEEE J. of Solid-State Circuits, 2018, 53(2): 527-537.

[11] Takahashi H, Noda T, Matsuda T, et al. A 1/2.7 inch low-noise CMOS image sensor for full HD camcorders[C]// Proc. of Solid-State Circuits Conf., 2007: 510-618.

[12] Capoccia R, Boukhayma A, Enz C. Experimental verification of the impact of analog CMS on CIS readout noise[J]. IEEE Trans. on Circuits and Systems I: Regular Papers, 2020, 67(3): 774-784.

[13] Kainuma T, Gonoi S, Ichikawa T, et al. A 1/1.7-inch 20 Mpixel back-illuminated stacked CMOS image sensor for new imaging applications[C]// Proc. of 2015 IEEE Inter. Solid-State Circuits Conf., 2015: 39.

[14] Klumperink E A M, Gierkink S L J. Reducing MOSFET $1/f$ noise and power consumption by switched biasing[J]. IEEE J. of Solid-State Circuits, 2000, 35(7): 994-1001.

[15] Spivak A, Belenky A, Yadid-Pecht O. Very sensitive low-noise active-reset CMOS image sensor with in-pixel ADC[J]. IEEE Trans. on Circuits & Systems Ⅱ Express Briefs, 2016, 63(10): 939-943.

[16] Seo M W, Wang T, Jun S W, et al. A 0.44 e^- RMS read-noise 32 f/s 0.5 Mpixel high-sensitivity RG-less-pixel CMOS image sensor using bootstrapping reset[C]// Proc. of 2017 IEEE Int. Solid-State Circuits Conf., 2017: 80-81.

[17] Sato M, Yorikado Y, Matsumura Y, et al. 5.8 A 0.50 e^- RMS noise 1.45 μm-pitch CMOS image sensor with reference-shared in-pixel differential amplifier at 8.3 Mpixel 35 f/s[C]// Proc. of 2020 IEEE Inter. Solid-State Circuits Conf., 2020: 108-110.

[18] Boukhayma A, Caizzone A, Capoccia R, et al. Design and optimization of low power and low light sensor: (Invited)[C]// Proc. of 2020 IEEE Custom Integrated Circuits Conf., 2020: 1-8.

[19] Boukhayma A, Peizerat A, Enz C. A 0.4 e^- RMS temporal readout noise 7.5 μm pitch and a 66% fill factor pixel for low light CMOS image sensors[C]// Proc. of Inter. Image Sensors Workshop, 2015: 1-4.

[20] Ma J, Starkey D, Rao A, et al. Characterization of quanta image sensor pump-gate jots with deep sub-electron read noise[J]. IEEE J. of the Electron Devices Society, 2015, 3(6): 472-480.

[21] Boukhayma A, Caizzone A, Enz C. A CMOS image sensor pixel combining deep sub-electron noise with wide dynamic range[J]. IEEE Electron Device Lett., 2020, 41(6): 880-883.

[22] Kim M K, Hong S K, Kwon O K. A fast multiple sampling method for low-noise CMOS image sensors with column-parallel 12-bit SAR ADCs[J]. Sensors, 2015, 16(1): 27.

[23] Boukhayma A. Ultra Low Noise CMOS Image Sensor[M]. Switzerland: Springer, 2018: 13-34.

[24] Sumi H. Low-noise imaging system with CMOS sensor for high-quality imaging[C]// Proc. of Inter. Electron Devices Meeting, 2006: 1-4.

[25] Martin-Gonthier P, Magnan P. CMOS image sensor noise analysis through noise power spectral density including undersampling effect due to readout sequence[J]. IEEE Trans. on Electron Devices, 2014, 61(8): 2834-2842.

[26] Choi J, Park S, Cho J, et al. A 1.36 μW adaptive CMOS image sensor with reconfigurable modes of operation from available energy/illumination for distributed wireless sensor network[C]// Proc. of 2012 IEEE Inter. Solid-State Circuits Conf., 2012: 112-113.

[27] Sato M, Yorikado Y, Matsumura Y, et al. 5.8 A 0.50 e^- RMS noise 1.45 μm-pitch CMOS image sensor with reference-shared in-pixel differential amplifier at 8.3 Mpixel 35 f/s[C]// Proc. of 2020 IEEE Inter. Solid-State Circuits Conf., 2020: 108-110.

[28] Suh S, Itoh S, Aoyama S, et al. Column-parallel correlated multiple sampling circuits for CMOS image sensors and their noise reduction effects[J]. Sensors, 2010, 10(10): 9139-9154.

[29] Chen Y, Xu Y, Mierop A J, et al. Column-parallel digital correlated multiple sampling for low-noise CMOS image sensors[J]. IEEE Sensors J., 2012, 12(4): 793-799.

[30] Kim M K, Hong S K, Kwon O K. A fast multiple sampling method for low-noise CMOS image sensors with column-parallel 12 bit SAR ADCs[J]. Sensors, 2015, 16(1): 27.

[31] Park B, Park I, Choi W, et al. A 64×64 APD-based ToF image sensor with background light suppression up to 200 kLx using in-pixel auto-zeroing and chopping[C]// 2019 Symp. on VLSI Circuits, 2019: 256-257.

[32] Jainwal K, Anand C, Sarkar M. $1/f$ noise reduction using in-pixel chopping in CMOS image sensors[J]. IEEE Solid-State Circuits Lett., 2018, 1(6): 146-149.

作者简介：

刘嵘侃(1968－)，男，四川渠县人，硕士，高级工程师，主要研究方向为模拟 IC 器件结构与工艺；

邢德智(1980－)，男，山西太原人，博士，工程师，主要研究方向为高性能模数转换器设计。