光电器件

DOI：10.16818/j.issn1001－5868.2020.06.004

高帧频高灵敏度线列 PIN-CMOS 图像传感器研究

陈世军，王　欣*，丁　毅，施永明，解　宁

（中国科学院上海技术物理研究所 中国科学院红外成像材料与器件重点实验室，上海 200083）

摘　要： 设计了一款高帧频高灵敏度双通道 16 元线列 PIN-CMOS 图像传感器。相对于传统的 pn 结光电二极管，PIN 光电二极管具有结电容小和量子效率高的优点，可以降低 CTIA 像素电路的噪声，提高信噪比；同时采用一种新型的相关双采样电路结构，可以在边积分边读出的模式下实现相关双采样，抑制像素复位带来的 KTC 噪声。基于 0.35 μm PIN-CMOS 工艺进行了线列 CMOS 图像传感器流片，并对器件的光电性能进行了测试。测试结果表明：在像元尺寸为 90 μm×90 μm，700 nm 波长下，器件灵敏度达 3 000 V/(lx·s)，量子效率为 96%；在 40 kHz 高帧频、0.05 lx 光照条件下器件信噪比为 7，适于弱信号下的高速探测。

关键词： CMOS 图像传感器；CTIA 像素电路；PIN 光电二极管；相关双采样电路

中图分类号： TN216　**文章编号：** 1001－5868(2020)06－0779－05

Study on High Frame and High Sensitivity for Linear PIN-CMOS Image Sensors

CHEN Shijun, WANG Xin, DING Yi, SHI Yongming, XIE Ning

(Key Lab. of Infrared Imaging Materials and Detectors, Shanghai Institute of Technical Physics of The Chinese Academy of Sciences, Shanghai 200083, CHN)

Abstract: The CMOS image sensor integrated with high frame rate and high sensitivity pin photodiode array was designed. Compared with p-n photodiode, p-i-n photodiode presents the advantages of small junction capacitance and high quantum efficiency. In order to promote the signal-to-noise ratio, the sensor implements a new correlated double sampling (CDS) circuit for eliminating KTC noise while working in the integration during reading mode. In this paper, linear CMOS Image sensor based on CTIA pixel circuit was implemented in 0.35 μm PIN-CMOS process, and the photoelectric response of the device was tested and evaluated. The results show that sensitivity is 3 000 V/(lx·s), and quantum efficiency is 96% at 700 nm wavelength. At a frame rate of 40 kHz, the signal-to-noise is 7 with the illumination down to 0.05 lx, which is suitable for high-speed detection under weak light signal.

Key words: CMOS image sensors; CTIA pixel circuit; PIN photodiode; correlated double sampling

0　引言

CMOS 图像传感器是将硅基光敏元与片上 CMOS 读出电路集成在一起，实现光电信号转换与输出的光电探测器[1]。随着 CMOS 工艺的不断发展，CMOS 图像传感器性能不断提高，逐步取代了 CCD 图像传感器，正朝着高帧频、高灵敏度和低噪声等方向发展，应用于高帧频和低照度的 CMOS 图像传感器在微光领域占据了重要地位[2]。

信噪比是衡量 CMOS 图像传感器性能的一项重要指标，大面积像素高速低噪声设计一直是读出电路设计的难点。目前，比较常用的像元电路有电容反馈跨阻放大型（Capacitive Trans-impedance Amplifier，CTIA）电路、3T 和 4T 有源像素结构。

收稿日期：2020－09－28.

*通信作者：王　欣　E-mail：13601710731@163.com

3T 像素结构灵敏度低、噪声大；一般的 4T 像素结构，像素大但拖尾严重。综合考虑高帧频和高灵敏度的要求，像元电路(CTIA)电路。CTIA 具有偏置稳定、注入效率高、线性度好等优点，是一种线列焦平面读出电路常用的输入级结构[3]，采用小积分电容即可达到高增益。在高帧频工作条件下，文献[4]通过采用边读出边积分的工作模式将积分时间最大化，设计了一种新型的相关双采样电路(Correlated Double Sampling，CDS)，以抑制 KTC 噪声。CTIA 像素结构的读出电路噪声与输入端光敏二极管的结电容密切相关，为了在降低光敏二极管结电容的同时优化光谱特性，本文采用一种 PIN 光敏二极管结构的 PIN-CMOS 工艺[5]。

文中设计了一款双通道 16 元线列的 CMOS 图像传感器试验芯片。首先介绍了 PIN 光敏二极管的结构和 CTIA 像素电路原理，然后给出了 CTIA 读出电路噪声及相关双采样电路设计，最后对试验芯片测试结果进行了分析。

1 PIN-CMOS 工艺

图 1 为 PIN 光电二极管和 CMOS 电路结构图，PIN 光电二极管在掺杂的 p 型衬底之上增加一层厚度约为 20 μm 的轻掺杂 p 型外延层，电阻率为 400～1 000 Ω·cm。同时，为了实现 CMOS 电路对衬底低电阻率(10～20 Ω·cm)的要求，在 MOS 管区域的高阻 p 型外延层上制备深阱 n 层，这样形成 PIN 光敏元与 CMOS 电路的单片集成[6]。

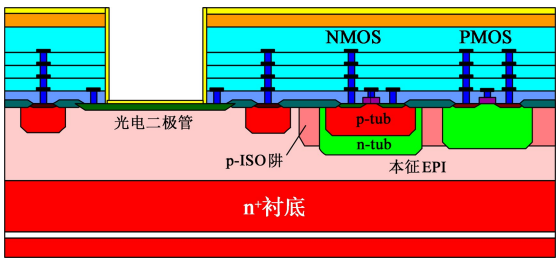


图 1 PIN 光电二极管和 CMOS 电路结构示意图

本工艺中 PIN 光电二极管由重掺杂的 p(p^+)型区域(P 层)、轻掺杂的 p(p^-)型外延层(I 层)以及重掺杂的 n(n^+)型区域(N 层)组成。本征层(i 层)的存在，增加了耗尽区的宽度，提高了光电二极管的量子效率，这是 PIN 光电二极管灵敏度高于 pn 结光电二极管的根本原因。为了消除厚介质层引起的干涉峰，刻蚀掉光敏面上多层介质膜，代之以单层抗反射介质，达到在光谱平坦化(如图 2 所示)的同时进一步提高光敏二极管量子效率的目的。

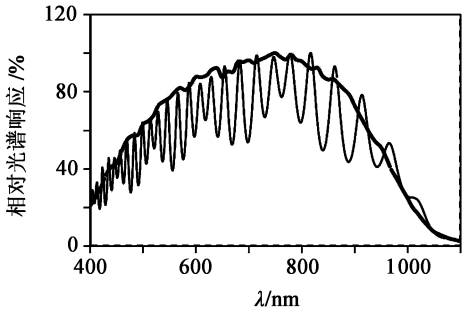


图 2 PIN 光敏二极管光谱特性曲线

光敏二极管的结电容 C_{pd} 由单位面积电容 C_J 和单位周长电容 C_{JSW} 组成，为了简化分析，用式(1)表示：

$$C_{pd}=W\cdot J\cdot C_J+2(W+L)\cdot C_{JSW} \quad (1)$$

式中，W 和 L 分别为光电二极管横截面的宽度和长度。

表 1 为两种结构二极管在 0 偏压下的电容值对比表。由于 PIN 光敏二极管采用了高阻材料，其结电容比 pn 结光电二极管的小。

表 1 两种光敏二极管结电容对比

参数(@0 偏压)	PIN 型	pn 型
C_J/(pF/mm^2)	0.93	92
C_{JSW}/(pF/mm)	0.35	0.53

为了简化分析，选取光电二极管的横截面为正方形，即 $W=L$。根据式(1)和表 1 中的值，可以得出像素尺寸(L)和结电容(C_{pd})的关系曲线，如图 3 所示。

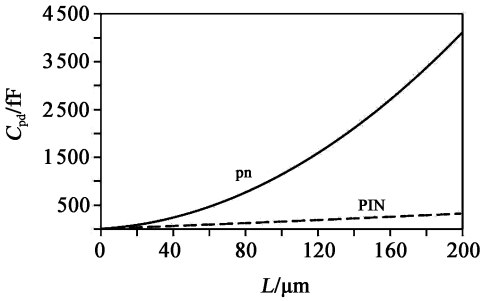


图 3 结电容与像素大小的关系

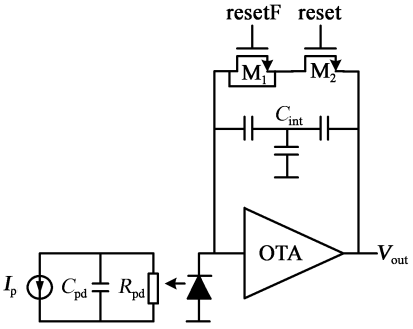
在相同面积、相同偏压下，pn 结电容明显大于 PIN 结电容，在大像素($L>145$ μm)中，两者相差一个数量级；PIN 小像素($L<200$ μm)光电二极管的结电容主要由周长电容决定，面积电容仅占总电容的 10%。pn 结电容主要由面积电容决定。

设二极管截面积为 90 μm×90 μm，计算得到，在 0.6 V 反偏条件下，PIN 结电容约为 95 fF，pn 结

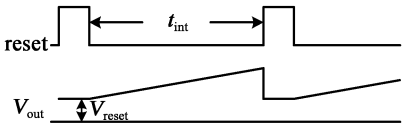
电容约为 662 fF。

2　高增益像素电路设计

图 4 是基于单端四管共源共栅(Cascode)运算放大器的 CTIA 像元电路。光敏二极管等效电路包括三部分,其中 C_{pd} 为结电容,R_{pd} 为结阻抗,I 为光电流。采用三个电容的 T 型网络结构组成 5 fF 的积分电容 C_{int},可以降低小积分电容工艺误差带来的固定图像噪声(Fixed-Pattern Noise,FPN)[7]。为了抑制复位开关管的沟道电荷注入效应,在复位开关管旁增加串联补偿管可以减小误差。利用电容负反馈组成积分器,光敏二极管输出的光电流 I 经积分器积分后以电压 V_{out} 输出,由复位脉冲 reset 控制 M_2 复位管,反向复位脉冲 resetF 控制 M_1 补偿管。



(a)　电路原理图



(b)　工作时序图

图 4　CTIA 像素电路原理图和时序图

像素工作原理:首先 reset 为高电平,CTIA 像元电路复位,此时积分电容 C_{int} 两端电压相等,均为 V_{reset} 复位电压,接着 reset 变为低电平,像元电路复位结束进入光电流积分,由于积分电容 C_{int} 左极板的电压受到运算放大器的控制不变,C_{int} 右极板上产生感应电荷并逐渐累积,电压 V_{out} 线性升高,直到积分过程结束。CTIA 放大器输出电压 V_{out} 由式(2)表示:

$$V_{out}=V_{reset}+\int_0^{t_{int}} I_p\,dt\Big/\left(C_{int}+\frac{C_{in}-C_{int}}{A}\right) \quad (2)$$

其中,C_{int} 为积分电容,C_{in} 为探测器结电容和输入端寄生电容总和,V_{reset} 为光电二极管的偏置电压,也是四管 Cascode 中输入管的静态输入电压,约为 0.6 V,在积分过程中保持不变,t_{int} 为积分时间,A 为运放开环增益,若 $A>70$ dB,则

$$V_{out}=V_{reset}+\frac{I}{C_{int}}\int_0^{t_{int}} I_p\,dt=V_{reset}+\frac{I_p t_{int}}{C_{int}} \quad (3)$$

由式(3)得出 CTIA 像元电路的注入效率高,其转换增益由积分电容 C_{int} 决定,积分电容小,则转换增益高。为了提高弱光下的信噪比,积分电容一般选择为几飞法,本电路的积分电容约 5 fF。

3　低噪声读出电路设计

3.1　读出电路噪声

信噪比是探测器的输出信号与噪声之比,降低噪声是实现高性能探测的重要途径。高帧频下,信号输出弱,对读出电路的噪声提出了更高的要求。读出电路噪声包括光敏二极管暗电流噪声、CTIA 复位 KTC 噪声、CTIA 放大器热噪声、采样电路噪声和输出级噪声,高帧频下探测器的噪声主要来源于复位管 KTC 噪声和 CTIA 放大器热噪声。

KTC 噪声是由复位管引入的噪声,复位管导通时等效为一个电阻,当复位管断开,电阻的热噪声将保存在电容上。图 5 为 CTIA 放大器小信号噪声模型[8]。

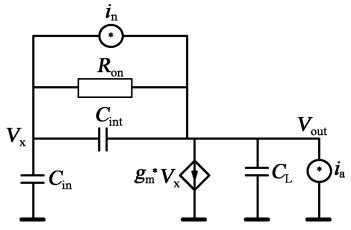


图 5　小信号噪声模型

总的 KTC 噪声由式(4)表示:

$$n_{KTC}=\frac{1}{q}\sqrt{kT\left(C_{int}+\frac{C_{in}C_L}{C_{in}+C_{int}+C_L}+\frac{2\alpha C_{in}^2}{C_{in}+C_{int}+C_L}\right)} \quad (4)$$

CTIA 放大器热噪声由式(5)表示:

$$n_{amp}=\frac{1}{q}\sqrt{2kT\cdot C_{int}(C_{int}+C_{in})\cdot\frac{1}{C_L+\dfrac{C_{int}C_{in}}{C_{int}+C_{in}}}} \quad (5)$$

为了实现高性能探测器,三个电容的选择需综合考虑。当负载电容 C_L 为 1 pF,积分电容为 5 fF,对于 90 μm×90 μm 的光电二极管,分别采用 PIN 结构和 pn 结构得到的像素电路噪声如表 2 所示。

表 2 中由复位引起的 KTC 噪声通过相关双采

样电路(CDS)可以抑制 90%左右,由于总噪声与放大器热噪声无相关性,经过 CDS 后续差分电路会增加 1.4 倍左右。探测器由光敏二极管和读出电路组成,如果不考虑探测器结电容,则读出电路噪声最低可降至 10 e^- 以下。

表 2 两种光敏二极管像素电路噪声计算对比表

噪声源	PIN 结构	pn 结构
KTC 噪声/e^-	190	364
CTIA 放大器热噪声/e^-	14	33

3.2 相关双采样电路设计

高帧频 CMOS 图像传感器的特点是时间分辨率高、帧时短。由于探测器的信号电压和积分时间成正比,积分时间越长,信噪比越高,边读出边积分的工作模式将积分时间最大化,提高了信噪比。由于探测器工作帧时为 25 μs,为提高信噪比,读出电路必须工作于边读出边积分的工作模式。

图 6 为传统的相关双采样电路,如果工作于边积分边读出的工作模式,读出电路无法实现真正的相关双采样,不能有效抑制 KTC 噪声。要实现真正相关双采样功能,读出电路需要将积分和读出分开,在帧时为 25 μs 的条件下,信号读出速率为 1 MHz,用于信号积分的时间只有 5 μs 左右,尽管噪声得到有效抑制,但是信噪比反而下降。

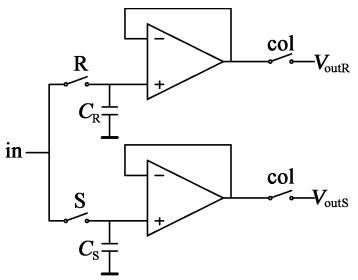
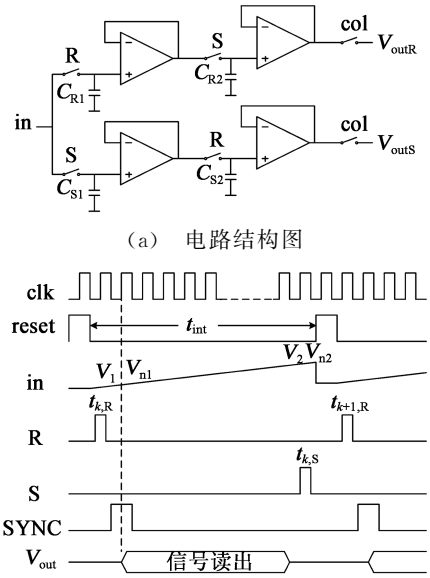


图 6 传统的相关双采样电路

为了在边读出边积分模式下有效抑制 KTC 噪声,本文设计了一种新型的相关双采样电路,如图 7 所示。

在一帧时间内,KTC 噪声具有相关性,在 $t_{k,R}$ 时刻,R 为高电平,C_{R1} 上采样第 k 帧的电压(电压 V_1 和 KTC 噪声 V_{n1});经过一段积分时间 t_{int} 后,在 $t_{k,s}$ 时刻,S 为高电平,C_{S1} 上的电压包括电压 V_2 和 KTC 噪声电压 V_{n2},同时 C_{R2} 等量采样 C_{R1} 上的电压 V_1 和噪声电压 V_{n1};在 $t_{k+1,R}$ 时刻,R 为高电平,C_{R1} 上采样第 $k+1$ 帧的电压,同时 C_{S2} 等量采样 C_{S1} 上的电压 V_2 和 KTC 噪声电压 V_{n2},接着移位寄存器起始脉冲有效,n 个线列信号顺序读出,此时 C_{R2} 和 C_{S2} 上的电压分别为复位电压(V_1+V_{n1})和光信号电压(V_2+V_{n2}),由于 V_{n1} 和 V_{n2} 是一帧时间内的 KTC 噪声,具有较强的相关性,差分之后有效抑制率可达 90%以上。表 3 为两种不同结构的边读出边积分采样电路的噪声对比。



(a) 电路结构图

(b) 工作时序图

图 7 新型 CDS 电路结构和工作时序图

表 3 两种 CDS 电路结构的噪声对比

CDS 电路结构	噪声电子数/e^-
新型	28
传统	269

4 探测器测试结果与分析

本文的双通道 16 元线列 CMOS 图像传感器采用 0.35 μm PIN-CMOS 工艺流片,光电二极管采用 PIN 结构,像元尺寸为 90 μm×90 μm,填充因子为 92.7%。图 8 为芯片封装图。芯片封装于 DIP28 管壳内,对芯片进行了相关性能测试,测试结果如表 4 所示。

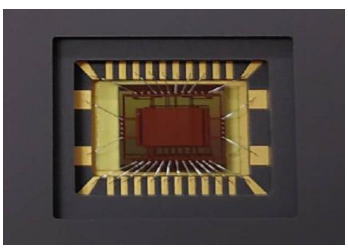


图 8 CMOS 图像传感器芯片图

表 4　探测器性能测试结果

参数	测量值
像素大小/μm^2	90×90
全阱电荷/ke^-	44
η_{peak}	96%(@700 nm)
帧速/kHz	40
电压/V	3.3
灵敏度/[V/(lx·s)]	3 000
随机噪声	30 e^-

探测器的光谱响应测试结果如图 9 所示，从图中可以看出，探测器的峰值量子效率 η_{peak} 为 96%，500～900 nm 波长范围内的平均量子效率为 79%。探测器在可见光波段的量子效率明显高于传统工艺制作的探测器(量子效率通常只有 60%)。

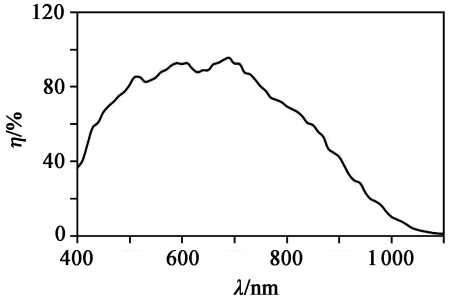


图 9　光谱响应曲线

5　结论

基于 CTIA 像素电路，采用 PIN-CMOS 工艺和新型相关双采样电路，完成了双通道 2×16 线列 CMOS 图像传感器流片。测试结果表明：1)由于采用了 PIN 光电二极管和新型相关双采样电路，探测器信噪比优于 pn 型光电二极管结构，实现了高帧频高灵敏度的性能；2)新型相关双采样电路工作于边读出边积分模式，能够有效抑制 KTC 噪声，提高信噪比；3)PIN 型光电二极管具有结电容小、灵敏度高的优点，同时暗电流比 pn 型光电二极管高 2 个数量级，适合高帧频下相对小的光敏元($L<100\ \mu m$)，此时由暗电流引起的噪声和信号均可以忽略。该电路的研制为高性能 CMOS 图像传感器的研制提供了一条新的技术途径。

参考文献：

[1] 倪景华，黄其煜. CMOS 图像传感器及其发展趋势[J]. 光机电信息，2008，25(5)：33-38.
Ni Jinghua，Huang Qiyu. CMOS image sensor and its development trend[J]. OME Information，2008，25(5)：33-38.

[2] 杨　敏. 低照度 CMOS 图像传感器技术研究[J]. 山东工业技术，2017(13)：279.
Yang Min. Research on low illumination CMOS image sensor technology[J]. Shandong Industrial Technol.，2017(13)：279.

[3] 李金洪，邹　梅. 低照度 CMOS 图像传感器设计与实现[J]. 红外激光工程，2018，47(7)：1-7.
Li Jinhong，Zou Mei. Design and realization of low-light-level CMOS image sensor[J]. Infrared and Laser Engin.，2018，47(7)：1-7.

[4] 黄张成，黄松垒，张　伟，等. 边积分边读出低噪声红外焦平面读出电路研究[J]. 红外与毫米波学报，2011，30(4)：297-300，304.
Huang Zhangcheng，Huang Songlei，Zhang Wei，et al. Low noise readout circuit for infrared focal plane array in integration while read[J]. J. Infrared Millim. Waves，2011，30(4)：297-300，304.

[5] 杨成财，鞠国豪，陈永平. 基于 HV-CMOS 工艺集成 PIN 光敏元的 CMOS 传感器设计[J]. 半导体光电，2019，40(3)：333-337，363.
Yang Chengcai，Ju Guohao，Chen Yongping. Design of CMOS sensor integrated with PIN photodiodes by HV-CMOS process[J]. Semiconductor Optoelectronics，2019，40(3)：333-337，363.

[6] 杨成财，鞠国豪，陈永平. 集成 PIN 光敏元的 CMOS 探测器光电响应特性研究[J]. 中国光学，2019，12(5)：1076-1089.
Yang Chengcai，Ju Guohao，Chen Yongping. Study on the photo response of a CMOS sensor integrated with PIN photodiodes[J]. Chinese Optics，2019，12(5)：1076-1089.

[7] Fowler B A，Balicki J，How D，et al. Low-FPN high-gain capacitive transimpedance amplifier for low-noise CMOS image sensors[J]. Proc. SPIE，2001，4306：68-77.

[8] Blerkom D A Van. Analysis and simulation of CTIA-based pixel reset noise[J]. Proc. SPIE，2011，8012：80120G-1.

作者简介：

陈世军(1967－)，女，硕士，正高级工程师，主要从事 CMOS 图像传感器电路设计和测试分析技术研究。