光电技术及应用

DOI：10.16818/j.issn1001－5868.2021.01.019

一种应用于图像传感器的全数字锁相环设计

冯国林，常玉春*，马艳华

（大连理工大学 微电子学院，辽宁 大连 116024）

摘　要： 针对图像传感器中传统锁相环(PLL)存在的功耗高、抖动大，以及锁定时长等问题，提出了一种基于计数器架构的低功耗、低噪声、低抖动、快速锁定的分数分频全数字锁相环(ADPLL)设计方法。首先，采用动态调节锁定控制算法来降低回路噪声，缩短锁定时间。其次，设计了一个通用单元来实现数字时间转换器(DTC)和时间数字转换器(TDC)的集成，以降低该部分由于增益不匹配引起的抖动。基于180 nm CMOS工艺的仿真结果表明，在1.8 V电源电压下，该ADPLL能够实现250 MHz～2.8 GHz范围的频率输出，锁定时间为1.028 μs，当偏移载波频率为1 MHz时，相位噪声为－102.249 dBc/Hz，均方根抖动为1.7 ps。

关键词： 全数字锁相环；DTC-TDC；动态调节锁定控制算法；快速锁定；低抖动

中图分类号： TN46　**文章编号：** 1001－5868(2021)01－0106－04

A Design of All Digital Phase Locked Loop in Image Sensors

FENG Guolin, CHANG Yuchun, MA Yanhua

(School of Microelectronics, Dalian University of Technology, Dalian 116024, CHN)

Abstract: Aiming at the problems of high power consumption, high jitter and long locking－time of traditional phase-locked loops (PLL) in image sensors, a kind of fractional frequency all-digital phase locked loop (ADPLL) is proposed based on a counter architecture. It realizes low power consumption, low noise, low jitter and fast locking design. First of all, the dynamic adjustment lock control algorithm is adopted to reduce the loop noise and shorten the locking time. Secondly, a universal unit is designed to realize the integration of digital time converter (DTC) and time digital converter (TDC), reducing the jitter caused by the gain mismatch. Simulation results based on 180 nm CMOS process show that the ADPLL can achieve frequency output in the range of 250 MHz～2.8 GHz under 1.8 V power supply voltage, the locking time is 1.028 μs. When the offset carrier frequency is 1 MHz, the phase noise is －102.249 dBc/Hz, and the root mean square jitter is 1.7 ps.

Key words: ADPLL; DTC-TDC; DALC; fast locking; low jitter

0　引言

图像传感器芯片需要一个稳定的内置时钟频率综合器来为内部电路提供不同频率的低噪声时钟，通常采用的频率综合器是模拟电荷泵锁相环(CPPLL)。但是传统的CPPLL版图面积大、功耗较高，并且锁定时间较长。与传统的CPPLL相比[1]，分数分频全数字锁相环(ADPLL)[2-3]的版图面积更小、价格更低廉、便于工艺迁移，并且ADPLL更容易引入快速锁定算法，成为时钟频率综合器设计架构的首选。

本文提出一种新颖的计数器ADPLL架构[4]，采用动态调节锁定控制算法与数字时间转换器(DTC)和时间数字转换器(TDC)集成的方法，实现

收稿日期：2020－12－03.

基金项目：国家重点研发计划项目(2019YFB2204101)；国家自然科学基金项目(11975066).

* **通信作者：**常玉春　**E-mail：**cyc@dlut.edu.cn

了一款低功耗、低抖动、快速锁定 ADPLL。该 ADPLL 面积更小、锁定时间更短，可为图像传感器提供 250 MHz～2.8 GHz 的宽频率时钟范围，在系统加电时，锁定时间仅为 1.028 μs。

1　快速锁定 ADPLL 架构设计

本文设计的 ADPLL 结构如图 1 所示。工作原理是：第一步，整数参考时钟和输出时钟分别累加以获得参考相位 $\Phi_{R,int}$ 和可变相位 $\Phi_{V,int}$；第二步，将这些累加相位送到相位检测器进行减法操作，输出整数相位差 $\Phi_{E,int}$。同时，参考时钟由数字时间转换器延迟以获得延迟后的参考时钟 $FREF_{DLY}$。Gating Clock 电路提供重定时钟 CKR 和采样时钟 CLK；第三步，TDC 检测到 CLK 和 $FREF_{DLY}$ 之间的分数相位差 $\Phi_{E,frac}$；第四步，通过 $\Phi_{E,int}$ 和 $\Phi_{E,frac}$ 相加得到总相位差 Φ_E；最后，数字环路滤波器（DLF）对 Φ_E 进行处理以获得振荡器调谐字（OTW），对数控振荡器（DCO）进行调谐，整个环路如此反复动态进行，从而达到锁定的状态。

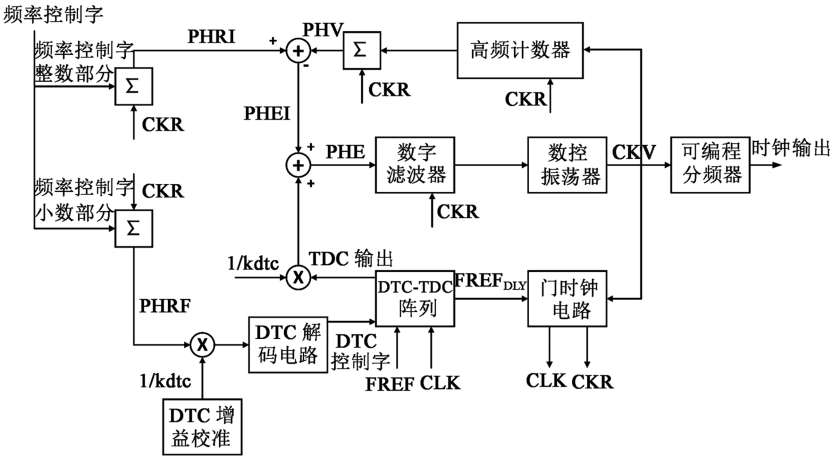


图 1　ADPLL 设计架构图

2　快速锁定 ADPLL 原理与电路设计

传统的 CPPLL 的锁定速度受电荷泵电流和环路参数的限制，很难大幅度地对整个系统的指标进行提升与优化。在本文设计的 ADPLL 中，引入了动态调节锁定控制算法来实现快速锁定。并且设计了一个通用单元来实现 DTC 和 TDC 的集成，即 DTC-TDC 阵列，从而加强 DTC 和 TDC 增益的匹配性，降低该部分由于增益不匹配引起的抖动。

2.1　动态调节锁定控制算法

动态调节锁定控制算法通过有限状态机控制系统状态，其逻辑跳转图如图 2 所示。异步复位信号 nrst 触发 ADPLL 进入频率预锁定状态。该信号对负边沿敏感，并且预设控制器处于预锁定模式。有限状态机输出一个 3 bit 控制信号 bank_en，该信号控制相对应的三个数字滤波器，从而产生相应的 DCO 调谐控制字。在四个参考时钟周期之后，预锁定状态结束，系统跳转进入粗调模式，bank_en 信号为“100”，并选择粗调模式进行调整。在粗调模式下，其他两种模式则禁用。输入粗调模式并使用计

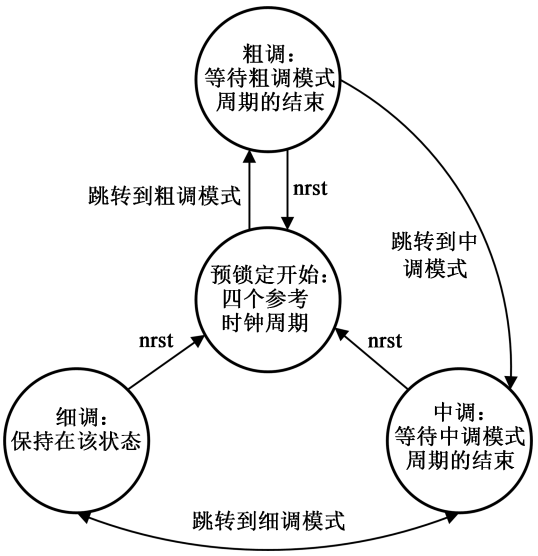


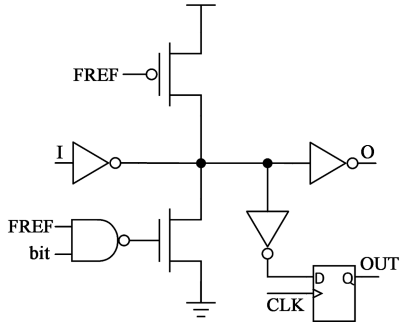
图 2　动态调节锁定控制算法示意图

数器确定粗调模式下 ADPLL 的持续时间，此状态的持续时间由外部控制字 coarse_mode 控制。粗调模式完成一个计数周期后，bank_en 信号跳转为“010”状态，系统将更改为中调模式。此时粗调模式的输出被锁存并保持在先前状态，而中调模式的输

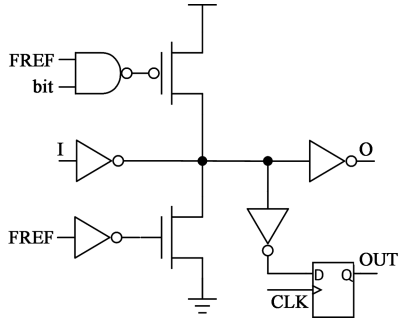
出根据相位误差的变化而变化。此状态的持续时间由外部控制字 medium_mode 控制。中调模式结束后，系统状态变为细调模式。在细调模式下，bank_en 信号跳转为“001”来激活细调模式，并同时禁用其他两种模式。ADPLL 保持这种状态，直到 nrst 信号被激活以进行下一次锁定的过程。

2.2 DTC-TDC 阵列

文献[5]提出了用于数字功率放大器的脉冲宽度调制原理，这种思想也适于本设计中的 DTC-TDC 阵列部分。DTC-TDC 阵列的实现基于两个可用作 DTC 或 TDC 模块的通用单元，其电路原理如图 3 所示，其中图 3(a)为奇数单元，3(b)为偶数单元。这种设计可以实现 DTC 和 TDC 增益之间的匹配，并使 DTC 和 TDC 功能随着 PVT 的变化仍能保持稳定的特性。它们的主要延迟功能由反相器实现，通过可控的置位复位晶体管将 DTC 与 TDC 结合。当 DCO 的输出可变时钟 CKV 到达上边沿时，DTC-TDC 阵列是交替连接的奇数和偶数单元的级联。当这些单元用作 DTC 的一部分时，触发器不工作，并且 CLK 输入接地；当单元用作 TDC 时，反相器的输入和输出节点处于浮置状态，故而置位复位晶体管必须始终处于截止状态。因此，FREF 引脚连接到 VDD，而 bit 引脚接地。



(a) 奇数单元



(b) 偶数单元

图 3 用于 DTC-TDC 阵列的通用单元

通用单元作为 DTC 时的平均分辨率为 31 ps，并且要求能够覆盖一个 CKV 周期的时间范围(在 1.2 GHz 频率下)，因此可以推断出 DTC 需要 32 个延迟元件。通用单元作为 TDC 时的平均分辨率为 63 ps，因此使用了 16 个 TDC 元件，覆盖一个 CKV 周期的范围，以此来实现相位误差的建立时间。还需要适量的填充单元(dummy)来确保该部分的稳定运行。为了避免 DTC 延迟特性的工作异常，使用了 8 个通用单元作为输入端的缓冲。此外，$FREF_{DLY}$ 和 CKV 时钟之间需要一定的时间使时钟对齐。为了产生该延迟，在 DTC 输出和 TDC 输入之间加入了 8 个通用单元。最后，在 TDC 之后额外加了 8 个通用单元作为 dummy。整个 DTC-TDC 阵列由 72 个通用单元组成。

2.3 数控振荡器(DCO)

本文基于 180 nm CMOS 工艺设计了一种环形振荡器，电路结构如图 4 所示[6]，其为一种单端三级数控环形振荡器结构，频率调谐通过三个三态反相器调谐阵列来实现。这种结构相较于调节延迟单元或者节点电容具有更好的线性度。本文设计的环形数控振荡器具有粗调、中调和细调三部分阵列。粗

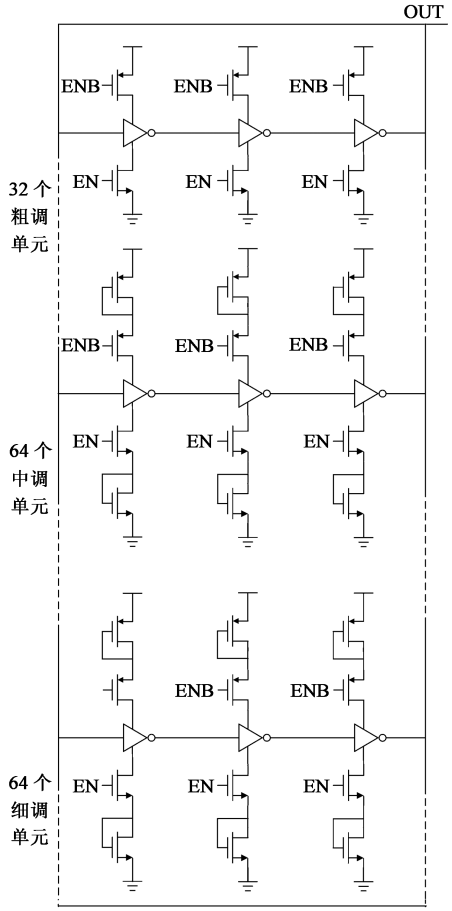


图 4 环形振荡器电路图

调单元由传统的三态反相器实现，频率分辨率由最小可用晶体管的尺寸决定，也就意味着在给定的工艺水平下，能够达到的分辨率是有限的。中调和细调单元采用二极管连接的负载，降低了三态反相器单元的有效漏源极电压，并通过减小开关电流差来提高频率分辨率。粗调阵列调谐增益为 60 MHz/LSB，由 32 个延迟单元组成；中调阵列由 64 个延迟单元实现，分辨率为 1 MHz/LSB；细调阵列调谐增益为 60 kHz/LSB，由 64 个延迟单元组成。控制输入为二进制输入，经过一个二进制转温度计码电路解码后控制环形数控振荡器。

3　版图设计

本文设计的 ADPLL 基于 180 nm CMOS 工艺实现，版图布局如图 5，其版图面积为 320 μm×600 μm，输出频率范围为 250 MHz～2.8 GHz，功耗为 6.85 mW(在 1.8 V，1.2 GHz 时)。图 6 为相位噪声的仿真结果，可以看到当偏移载波频率为 1 MHz 时，相位噪声为－102.249 dBc/Hz，均方根抖动为 1.7 ps。图 7 为频率的仿真结果，可以看到在上电 1.028 μs 时，系统频率锁定。

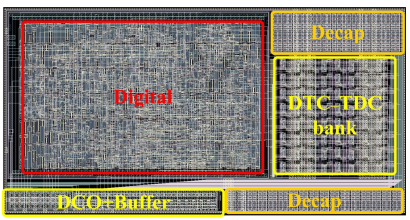


图 5　ADPLL 的版图布局

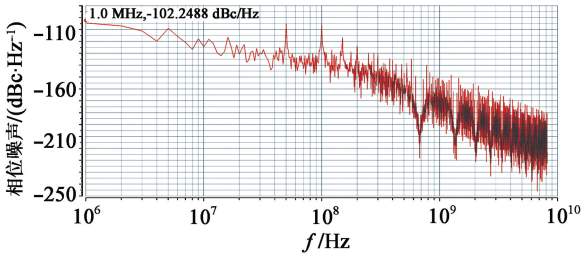


图 6　相位噪声的仿真结果

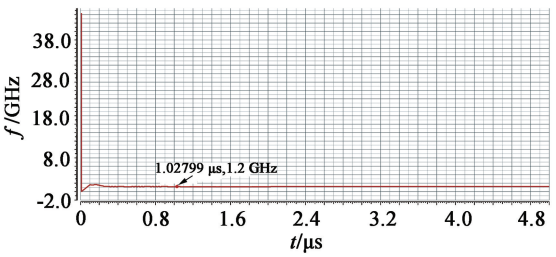


图 7　频率的仿真结果

4　总结

本文采用动态调节锁定控制算法与 DTC 和 TDC 集成的方法，实现了一款低功耗、低抖动、快速锁定 ADPLL。该 ADPLL 实现了比传统锁相环更小的面积和更短的锁定时间，可为图像传感器提供 250 MHz～2.8 GHz 的宽频率范围时钟，当系统加电时，锁定时间为 1.028 μs，当偏移载波频率为 1 MHz 时，相位噪声为－102.249 dBc/Hz，均方根抖动为 1.7 ps。目前该 ADPLL 已应用于大面积像素阵列(4 K×4 K)图像传感器设计项目中，正处于流片阶段。

参考文献：

[1] Liu Y H, Heuvel J H C, Kuramochi T, et al. An ultra-low power 1.7～2.7 GHz fractional-N sub-sampling digital frequency synthesizer and modulator for IoT applications in 40 nm CMOS[J]. IEEE Trans. on Circuits and Systems, 2017, 64(5): 1094-1105.

[2] Wang B, Liu Y H, Harpe P, et al. A digital to time converter with fully digital calibration scheme for ultra-low power ADPLL in 40 nm CMOS[C]// Proc. IEEE Inter. Symp. on Circuits and Systems (ISCAS), 2015: 24-27.

[3] Zhuang J, Staszewski R B. A low-power all-digital PLL architecture based on phase prediction[C]// Proc. of 19th IEEE Inter. Conf. on Electronics, Circuits and Systems (ICECS), 2012: 797-800.

[4] Temporiti E, Weltin-Wu C, Baldi D, et al. A 3.5 GHz wideband ADPLL with fractional spur suppression through TDC dithering and feedforward compensation[J]. IEEE J. of Solid-State Circuits, 2010, 45(12): 2723-2736.

[5] Park M, Perrott M H, Staszewski R B. An amplitude resolution improvement of an RF-DAC employing pulsewidth modulation[J]. IEEE Trans. on Circuits and Systems Ⅰ: Regular Papers, 2011, 58(11): 2590-2603.

[6] Kim W, Park J, Kim J, et al. A 0.032 mm^2 3.1 mW synthesized pixel clock generator with 30 psrms integrated jitter and 10～630 MHz DCO tuning range[C]// ISSCC Dig. Tech. Papers, 2013: 250-251.

作者简介：

冯国林(1994－)，男，辽宁营口人，硕士研究生，主要研究方向为全数字锁相环；

常玉春(1973－)，男，吉林长春人，博士，教授，主要研究方向为数模混合集成电路、高动态 CMOS 图像传感器的设计。