光电器件

DOI：10.16818/j.issn1001－5868.2021.03.002

一种应用于可见光通信系统的高带宽 CMOS APD

王 巍*，曾虹谙，王 方，毛鼎昌，冯世娟，王冠宇，袁 军

（重庆邮电大学 光电工程学院/国际半导体学院 微电子系，重庆 400065）

摘 要： 采用标准的 0.18 μm CMOS 工艺，设计了一种新型的应用于可见光通信系统的雪崩光电二极管（APD）。相较于传统的 CMOS APD，该器件在深 n 阱/p 衬底的结构基础上增加一层 p 阱，再在其上分别离子注入一层 n^+/p^+ 层作为器件的雪崩击穿层，并且采用 STI 结构来防止器件边缘过早击穿。仿真结果表明，器件的雪崩击穿电压为 9.9 V，暗电流为 1×10^{-12} A，3 dB 带宽为 5.9 GHz，响应度为 1.2 A/W。由于 STI 保护环和短接深 n 阱/p 衬底的结构设计，器件暗电流较传统结构 CMOS APD 降低了 2 个量级，且带宽提高了约 10%。

关键词： 雪崩光电二极管；可见光通信；CMOS；pn 结；STI 保护环；带宽；响应度

中图分类号： TN722 **文章编号：** 1001－5868(2021)03－0308－07

A High Bandwidth CMOS APD for Visible Light Communication Systems

WANG Wei, ZENG Hongan, WANG Fang, MAO Dingchang,
FENG Shijuan, WANG Guanyu, YUAN Jun

(Department of Microelectronics, College of Electronics Engineering, Chongqing University of Posts and Telecommunications, Chongqing 400065, CHN)

Abstract: A new kind of avalanche photodiode (APD) device applied in the visible light communication system was designed by using standard 0.18 μm CMOS process. Compared to regular CMOS APD devices, the designed device adds a p-well layer to the deep n-well/p substrate structure, and an n^+/p^+ layer is deposited upon it. The n^+/p^+ layer acts as an avalanche breakdown layer of the device and an STI structure is used to prevent the edge breaks prematurely. The simulation results show that, the avalanche breakdown voltage is as low as 9.9 V, the dark current is 1×10^{-12} A, the 3 dB bandwidth is 5.9 GHz, and the responsibility is 1.2 A/W. Due to the specific structure design of STI protection ring and short-circuit connection of deep n-well/p substrate, the dark current is reduced by about 2 orders of magnitude, and the bandwidth is improved by about 10% compared to that of regular CMOS APD.

Key words: avalanche photodiodes; visible light communication; CMOS; pn junction; STI guard ring; bandwidth; responsivity

0 引言

近年来，硅基雪崩光电二极管（APD）在可见光通信（VLC）系统中的应用受到越来越多的关注。与光电倍增管相比，APD 具有尺寸小、功耗低、工作频谱范围大、工作电压低、成本低，以及在可见光谱范围内灵敏度高、对磁场不敏感等优点，因此成为光电子领域的研究热点[1]。在高分辨率的光谱测量、非破坏性物质分析、生物发光、放射探测、高能物理、天文测光、光时域反射、量子密钥分发系统等领域也有重要应用。对于存在高路径损耗的 VLC 系统，APD 以其固有的内部放大机制和高灵敏度，可取代系统中传统的光电倍增管和光学对准器。随着集成

收稿日期：2019－12－26.

基金项目：重庆市重大主题专项项目（cstc2018jszx-cyztzxX0046，cstc2018jszx-cyztzxX0054）.

* **通信作者：**王 巍

电路工艺技术的发展，光电二极管的电容与前端输入阻抗的相互作用可得到有效抑制[2]，因而 VLC 接收器的速度主要取决于光电二极管的光学带宽。

在可见光通信系统中，随着对接收端性能要求的不断提高，对应用于可见光通信的 APD 器件的研究也就愈发重要。2009 年，Liyama 等[3]提出了一种采用 0.18 μm CMOS 工艺的 APD，其结构为 p^+/n 阱型，3 dB 带宽为 566 MHz（最大带宽 800 MHz），工作电压为 8 V，暗电流为 1×10^{-9} A。2010 年，Liyama 等[4]提出了采用 0.18 μm CMOS 工艺设计的空穴注入型和电子注入型 APD，两者的 pn 结均采用重掺杂，其 3 dB 带宽分别为 2.1 和 2.4 GHz（最大带宽分别为 3 和 3.4 GHz），暗电流均为 1×10^{-9} A，均未使用 STI 保护环。2017 年，Fahs 等[5]采用 0.35 μm CMOS 工艺设计了一款有助于可见光系统在 72 m 距离内达到 2 Gb/s 速率的 APD，器件采用 p^+/n 阱结构，使用了 STI 保护环，当其工作电压在 9～10 V 时，3 dB 带宽为 1.3 GHz，暗电流均为 1×10^{-4} A。上述研究对器件中的载流子渡越时间没有进行优化设计，器件的带宽较小，且暗电流普遍较大。

应用在可见光通信中的 CMOS APD 器件要解决的主要问题是暗电流过高、3 dB 带宽过小。这需要进一步改进 CMOS APD 器件的结构和参数，以降低暗电流、提高带宽。本文从 CMOS APD 结构设计着手，通过理论分析找出影响器件暗电流和带宽特性的因素。通过减少器件耗尽层的横纵向距离和利用光生电子载流子减少渡越时间的方法，设计了一种具有 STI 保护环、重掺杂的 n^+/p 阱/深 n 阱结构，以起到降低暗电流、提高带宽的作用。

1　器件结构分析及设计

应用于可见光通信的 CMOS APD 器件，按照其 pn 结的结构可以分为两大类：一种是电子注入型 CMOS APD，另一种是空穴注入型 CMOS APD。电子注入型 CMOS APD 是一种 p 阱的光生电子载流子向光照面 n^+ 层漂移的 APD，其首先利用离子注入的方式在硅片上进行 p 型掺杂形成 p 衬底；并在其上光刻出深 n 阱区域，接着在炉管机中生长出单晶硅并用离子注入机对该区域进行 n 型掺杂形成深 n 阱，深 n 阱上的 p 阱亦采用上述方法形成；然后在 p 阱上根据掩膜版图案分别光刻、淀积出 STI 保护环，离子注入出 n^+ 层、p^+ 层区域，再在其上覆盖一层经过 CMP 处理的 Hard Mask，最后在 Hard Mask 上接入阴阳极。与空穴注入型 CMOS APD 相比，上述结构减少了 PVD 工艺生长出单晶硅薄膜后光刻 STI 保护环、p^+ 层、n^+ 层的工艺步骤，降低了生产成本、减少了生产时间。其结构中的 n^+ 层与 p 阱可构成 pn 结，形成主要的雪崩区；而空穴注入型 CMOS APD 是一种 n 阱的光生空穴载流子向光照面 p^+ 层漂移的 APD，其中的 p^+ 层与 n 阱可构成 pn 结，形成主要的雪崩区。

空穴注入型 CMOS APD 与电子注入型 CMOS APD 各有优缺点。空穴注入型 CMOS APD 的响应度较高、设计结构简单，但其带宽较窄。电子注入型 CMOS APD 的带宽较宽，可通过简单优化提高响应度和增益。图 1 所示是常规空穴注入型 CMOS APD，其 pn 结由 p^+/n 阱构成，入射光在 n 阱中被吸收。在工作电压下，器件 n 阱中的光生空穴向 p^+ 层漂移，形成雪崩效应。但是由于光生空穴载流子的漂移速度低于光生电子载流子的漂移速度，所以其带宽小于电子注入型 CMOS APD，影响可见光通信系统的带宽性能。

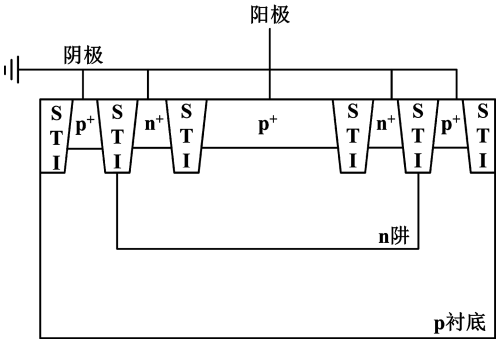


图 1　常规空穴注入型 CMOS APD 结构图

本文提出一种新型的电子注入型 APD 结构，如图 2 所示。该结构主要由 n^+/p 阱/深 n 阱/p 衬底构成，n^+ 为阴极，p^+ 为阳极，p 阱为光子吸收区，n^+/p 阱构成重掺杂雪崩结，为器件的核心区。从器件结构上看，p 阱中的光生电子向 n^+ 层漂移，n^+ 层中的光生空穴向 p^+ 层漂移。在 n^+/p 阱边缘两端进行光刻、淀积 STI 保护环。STI 保护环又叫做浅沟道隔离保护环，使被其包围的 pn 结中的耗尽层具有更加陡峭的掺杂分布梯度，得到较高的均匀分布电场，使得雪崩击穿电压提高，从而有效地抑制隧穿效应并使暗电流大大降低，进而实现器件的响应度和雪崩增益的提高。

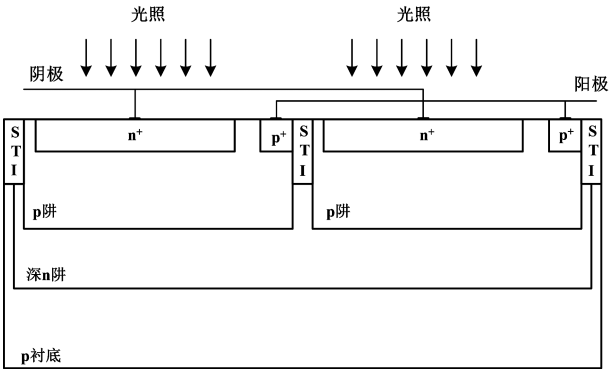


图 2 新型电子注入型 CMOS APD 结构示意图

深 n 阱的设计可有效减少 p 衬底流向雪崩区的暗电流。其原理为:使深 n 阱/p 衬底形成一个 pn 结,使 p 衬底中的光生电子载流子不向 n^+/p 阱中的耗尽层漂移,因而保证了雪崩区的纵向渡越距离较小,同时未对深 n 阱/p 衬底连接电极,从而避免了其发生光电雪崩效应产生厚的耗尽层而导致带宽变小。n^+/p^+ 层的重掺杂可有效减少载流子的渡越时间。在雪崩区上下两侧都采用重掺杂,使得 pn 结的耗尽区纵向宽度明显减小,减少了载流子的纵向渡越距离,从而提高带宽。而在不改变探测面积的情况下,将光照面一分为二,光照面的面积缩小可减少载流子横向渡越时间,使得带宽进一步提高。

根据上述理论分析及 0.18 μm CMOS 工艺,确定所设计的 CMOS APD 的窗口有效面积为 20 μm×20 μm,n^+ 层,p^+ 层,p 阱,深 n 阱,p 衬底的掺杂浓度分别为 5.5×10^{19},5×10^{19},1.96×10^{17},1×10^{16},以及 $5\times10^{15}\,cm^{-3}$

2 仿真结果及分析

2.1 *I-V* 特性分析

从 *I-V* 特性图中可判断器件是否发生雪崩击穿,并可测得暗电流量级、计算雪崩增益。图 3 和图 4 分别为所设计的电子注入型 CMOS APD 在有/无 STI 保护环下的 *I-V* 特性。在这两种情况下,低偏压下器件的暗电流约为 1 pA。对比参考文献[6],其电子注入型 APD 在低偏压下的暗电流约为 10 pA,击穿电压为 9.05 V。这是因为 p 阱/深 n 阱、深 n 阱/p 衬底中的载流子由于能级的限制无法向两个电极扩散,且在 pn 结两侧的 STI 结构起到有效隔离载流子的作用。本文所设计器件结构中 STI 的数量相对减少,因而器件的整体结构得到简化,暗电流性能优于文献[6]中的结构。由图 3 和 4 可知,带有 STI 结构的 APD 其雪崩击穿电压为 9.9 V,而无 STI 结构的 APD 没有雪崩击穿效应,这是因为耗尽层边缘出现了过早击穿,其能级相差较低,致使出现隧穿效应,所以无雪崩击穿效应发生。

对比图 3,4 可见,在有 STI 保护环结构的 CMOS APD 器件中,pn 结的横向边缘具有陡峭的掺杂分布梯度,导致 pn 节两边的能级差很大,该器件中 pn 结边缘处发生隧穿效应的几率非常大,因而出现隧穿电流。对于具有 STI 保护环的 CMOS APD,所有 p^+ 和 n^+ 区域都被 STI 保护环包围,这抑制了边缘处的隧道效应并产生较低的暗电流,使该结构的暗电流低至皮安量级,相较于文献[3,7-8],降低了至少 2 个量级。

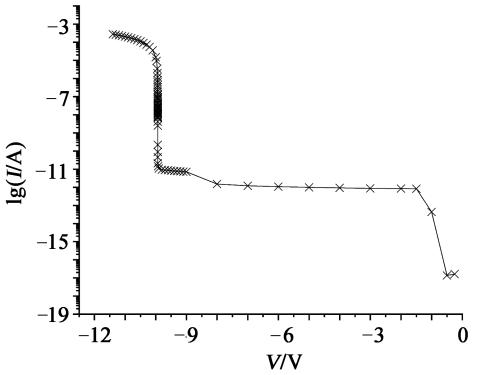


图 3 具有 STI 保护环的 APD 的 *I-V* 特性曲线

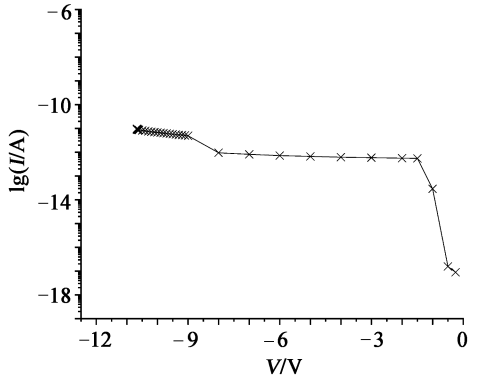
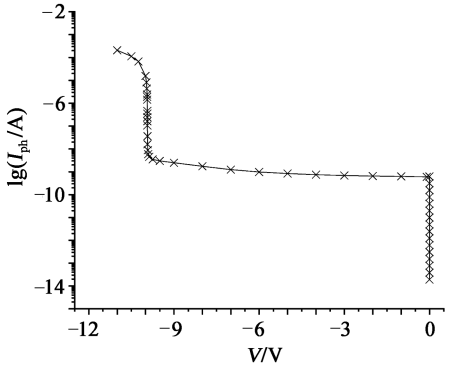


图 4 无 STI 保护环的 APD 的 *I-V* 特性曲线

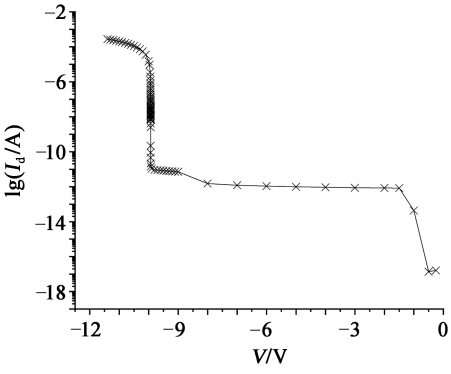
图 5(a),(b)所示分别为 APD 在 10 $\mu W/cm^2$ 光照下的光电流与无光照下的暗电流特性曲线。从图中可以看出,光电流随着偏置电压的增加而逐渐变大,最终由于雪崩放大而显著增加。通过图 5 的数据可计算出增益大小。CMOS APD 增益是指在雪崩击穿时,光生载流子数量与未发生雪崩时载流子的数量之比,可通过 DC 光电检测电流表示如下:

$$M(V)=\frac{I_{ph}(V)}{I_{ph0}}=\frac{I(V)-I_{dark}(V)}{I_0-I_{dark0}} \tag{1}$$

式中，I_{ph} 为光电流，I_{ph0} 为未发生雪崩击穿时的光电流，I_{dark} 为暗电流，I_{dark0} 为未发生雪崩击穿时的暗电流，I 为光照下的总电流，I_0 为未发生雪崩击穿时光照下的总电流。当工作电压为 9.9 V 时，该 APD 的雪崩增益为 10。从图 6 中可看到，耗尽层的边缘电压比其他区域较高，导致 CMOS APD 在较低的反向电压下就发生了雪崩击穿。由于其雪崩击穿电压较低，与外围 CMOS 集成电路的兼容性较好，使后面放大电路的设计变得简单。



(a)　光电流



(b)　暗电流

图 5　APD 的光、暗电流 I-V 特性曲线

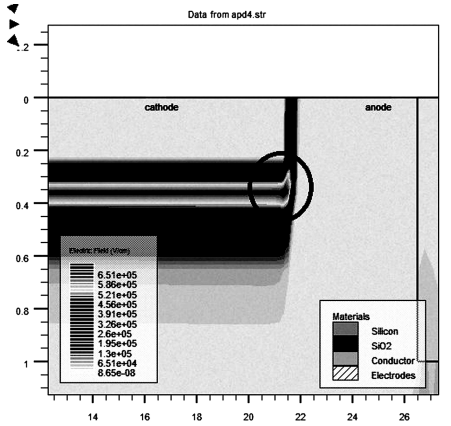


图 6　CMOS APD 电场分布图

2.2　响应度

本节通过选取不同电压/不同波长仿真得到 CMOS APD 不同的响应度，对不同参量进行分析，选出合适的电压和波长下的最优响应度。

图 7 为 CMOS APD 的响应度 R_e 随偏置电压 V_{bias} 的变化情况。由于耗尽层宽度的增加，响应度最初随偏置电压几乎不变。由于雪崩放大效应，其响应度在一定电压下急剧增加，但该器件击穿电压附近的响应度约为 1.2 A/W。从结构分析可知，具有 STI 保护环结构的 CMOS APD 的响应度低于文献[9-10]中 APD 的响应度，这是由于深 n 阱和 p 基板中的光生载流子被消除而导致量子效率降低进而影响了响应度。

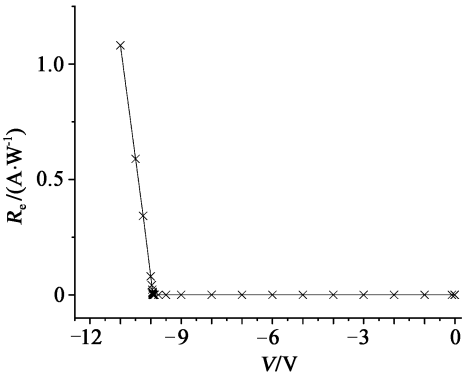
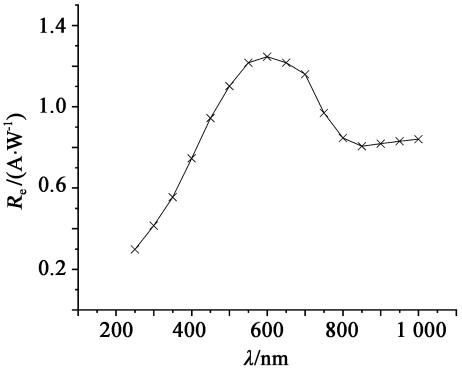


图 7　具有 STI 保护环的 APD 在不同偏压下的响应度

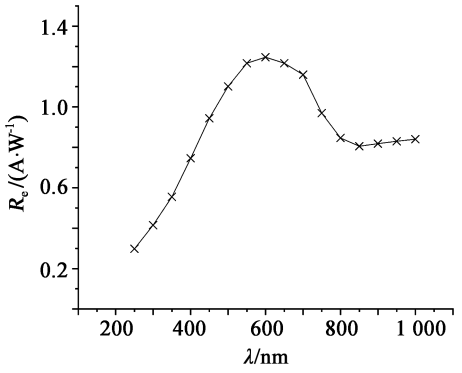
图 8 所示为偏置电压 V_{bias} 分别为 2.0 和 9.5 V 时，响应度与波长的关系曲线。两种电压下器件的响应度不存在明显的差异，当波长大于 600 nm 时，器件的响应度出现了较明显的差异。在 405 nm 波长下，由于 Si 对强光吸收，所有入射光在 n^+ 层和 p 阱中被吸收，因而无法到达 p 衬底，故无论有无保护环结构，器件的响应度几乎相同。与此相反，在 820 nm 波长下，Si 对入射光吸收减弱，入射光可以到达 p 衬底区域，并且 STI 保护环阻碍绝大多数来自 p 衬底中的慢扩散光生载流子向电极移动。因此，带 STI 保护环结构的响应度降低更为显著。在 9.5 V 时，器件响应度的增加是由于雪崩放大造成的。在 820 nm 波长下，具有 STI 保护环结构的 APD 在偏压为 2.0 V 时的响应度与文献[11-12]中的响应度相当，且雪崩增益与上述文献所报道的相比无明显差异。在未发生雪崩倍增时，响应度 R_e 如下式：

$$R_e=\eta_{ext}\eta_{int}\frac{q}{h\nu}=\eta_{ext}\eta_{int}\frac{q\lambda}{hc} \tag{2}$$

式中，η_{ext} 和 η_{int} 分别是外部和内部量子效率，q 是电子电荷，h 是普朗克常数，c 是真空中光的速度，λ 是光的波长。根据本征 Si 的光学性质[13]，表面反射率 R_{Si} 取决于波长，随着波长的增加，反射率相应提高，因此外部量子效率有较小的提高，而外部量子效率对响应度的影响较小，其主要取决于内部量子效率。



(a) V_{bias}=2.0 V



(b) V_{bias}=9.5 V

图 8 2.0 和 9.5 V 偏置电压下波长与响应度的关系曲线

在 600 nm 波长下实现的最高响应度为 1.2 A/W，因此也就有最高的内部量子效率。由于结构中的 STI 保护环使得在 600 nm 波长后的内部量子效率略微降低，因此可以推断出 n^+ 层和 p 阱的总厚度略微小于在 600 nm 波长处的 Si 的吸收长度。将本文器件分别在波长 600 nm 与 700 nm 情况下对比发现，随着波长增加，内部量子效率相应降低。这是因为光照射几乎在 p 阱中被吸收，并且一部分光生电子载流子在朝向 n^+ 层行进的同时与 n^+ 层中的空穴复合。且由于进入 n^+ 层的光照射被 STI 保护环遮蔽而引起光电流测量损耗，进一步导致了内部量子效率的降低。对于波长超过 600 nm 的光照，大部分光子可以到达 p 衬底，同时在 p 衬底中产生载流子和暗电流。一部分光生载流子在 p 衬底中重新组合，其中绝大部分载流子因为能级无法向上漂移，导致内部量子效率降低，而 STI 保护环结构进一步降低了内部量子效率。相较于无 STI 保护环结构的响应度，本文器件结构在引入 STI 保护环的条件下，其响应度仍可达到 1.2 A/W，其随波长的变长有呈先增加后减小的趋势，在 600 nm 波长处达到最大值，且随偏置电压的变化不明显。

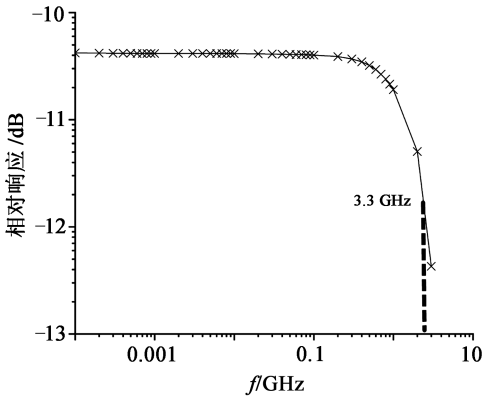
2.3 带宽

CMOS APD 的带宽受以下因素的影响：(1)光生载流子的渡越时间；(2)器件 RC 时间常数；(3)感应峰值效应；(4)寄生效应。光生载流子传输时间是 CMOS APD 宽带的主要限制因素[7]，这是由于在 p 阱中，光生空穴必须通过慢扩散运动传输。而光生电子的漂移运动远强于光生空穴的慢扩散运动，其引起的电感峰值提供了高频增强。

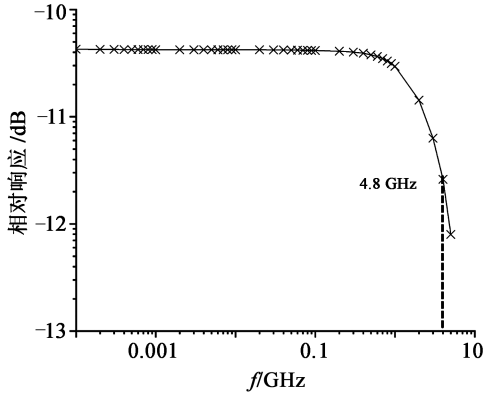
CMOS APD 光照面的设计尺寸非常重要，因为它决定了器件的势垒电容以及横向扩散路径。从势垒电容上讲，由于重掺杂的因素，pn 结纵向耗尽层的长度较小。因势垒电容与 pn 结的横向面积的平方根成正比，光照面积的设计极大地影响了势垒电容，当光照面积足够小时，势垒电容可忽略不计；从载流子的渡越路径上讲，在发生雪崩效应时，光生载流子在耗尽层中的运动是不规则的，因此可将其分解为横向和纵向两个方向。从纵向渡越上来看，偏置电压使得光生电子载流子的纵向运动方向均向电极方向，由于重掺杂 pn 结，其纵向渡越距离被缩小，且光生电子的速度远高于光生空穴的速度，因此纵向渡越时间被进一步缩短；从横向渡越上来看，电离的光生电子沿 pn 结两边横向运动，因此通过缩小光照面，可以缩短光生电子的横向渡越距离，进而减少其渡越时间。通过对器件的势垒电容和光生载流子的横纵方向分解分析可以得知，光照面积的缩小和电容的降低，致使渡越时间较少，进而提高带宽。可见减少光生载流子的渡越时间是提高 CMOS APD 带宽的关键。

如图 9 所示为本文设计的 CMOS APD 分别在 40 μm×40 μm，30 μm×30 μm 和 20 μm×20 μm 的光照面下的带宽。结果表明，较小光照面积的器件具有更大的光电探测带宽，40 μm×40 μm 光照面积的 CMOS APD 的带宽为 4.7 GHz，3 dB 带宽为 3.3 GHz。30 μm×30 μm 光照面积的 CMOS APD 的带宽为 6.8 GHz，3 dB 带宽为 4.8 GHz。20 μm×20 μm 光照面积的 CMOS APD 的带宽为 8.4 GHz，

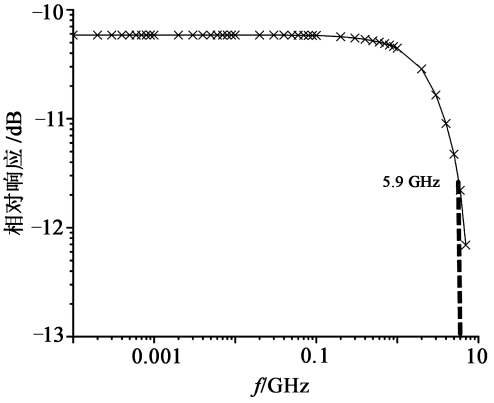
3 dB 带宽为 5.9 GHz，相较前两种光照面积的 APD，其带宽得到了显著提高，主要原因是采用了电子注入型的 n^+/p 阱/深 n 阱结构，相较于最新文献报道结果[6]，其带宽提高了 10%。



(a)　40 μm×40 μm



(b)　30 μm×30 μm



(c)　20 μm×20 μm

图 9　三种不同光照窗口 APD 带宽比较

较小尺寸的器件由于具有较短的纵向传输时间、较高的电感峰值频率和较小的电容，可实现带宽的提高。通过进一步减小 20 μm×20 μm 的有源区域，可以减少纵向传输时间来增加 CMOS APD 的带宽。然而随着光照面积进一步缩小，光生空穴向输出电极漂移的数量可能不足。此外随着光照面积的缩小，电极占据光照面的面积增大，光吸收率损耗会增加。因此光照面积并不是越小越好，其存在最优值。同时通过 CMOS APD 耗尽层的合理设计也能减少光生载流子的纵向渡越时间。在 CMOS APD 器件中采用重掺杂的 pn 结，其能级较高，更进一步加速了光生载流子的漂移，同时有效地阻碍了下层光生载流子的运动。本文所设计的器件结构在耗尽层上下两侧都采用重掺杂，可使 pn 结的耗尽区纵向宽度明显减小，进而缩短了载流子的纵向渡越距离，光生电子载流子以相较于光生空穴载流子更快的速度向阴极漂流，从而提高带宽。

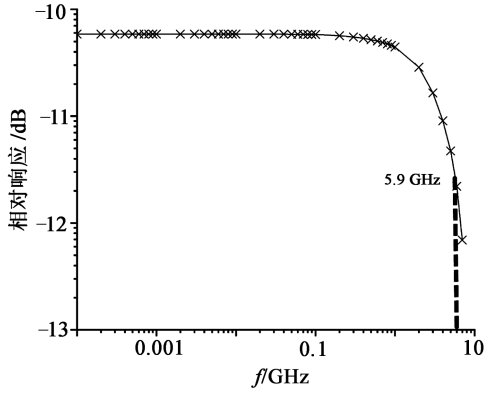
电子注入式 CMOS APD，其结构中的 pn 结设计也是为了进一步提高 CMOS APD 的带宽。对于硅基半导体材料，电子电离速率比空穴电离速率约高一个量级，因此参与雪崩倍增效应的载流子类型使得 APD 的带宽特性差别较大。在耗尽层产生的载流子中，注入雪崩区域并参与雪崩倍增效应的光生电子载流子的 CMOS APD 称为“电子注入型 APD”，与此相反对于空穴则称为“空穴注入型 APD”。图 10 所示分别为电子注入型 APD 和空穴注入型 APD 的带宽比较，由于电子注入型 APD 以其光生电子载流子参与雪崩倍增效应，电子电离速率相较于空穴电离速率大，从而减少了渡越时间，进而提高了 CMOS APD 带宽。

在 0.18 μm CMOS 工艺下，STI 保护环对相关耗尽层中的势垒电压有所提高。如用 p 型保护环，其对边沿击穿效应的抑制有限，同时致使其内部电场无法均匀分布，因此对耗尽层能级的提高不如 STI 保护环。STI 保护环可阻碍深层中的光生载流子和来自 p 衬底的慢扩散载流子，与非 STI 保护环结构的 CMOS APD 相比，带有 STI 保护环结构的 CMOS APD 的带宽较高。综上，带有 STI 保护环结构的 CMOS APD 性能较好。表 1 列出本文所设计的器件性能与近年来所发表的文献结果的对比。

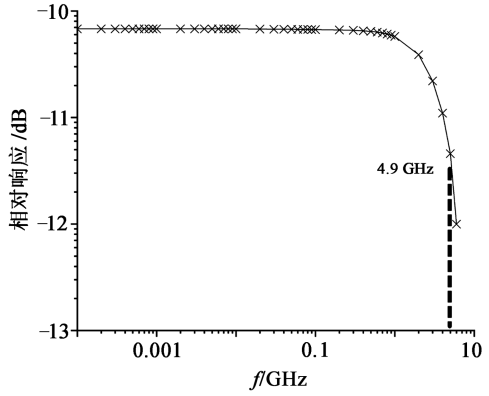
表 1　不同 CMOS 工艺设计的 APD 性能比较

工艺/μm	0.18	0.35★	0.25	0.13★	0.18★
保护环	无	STI	p^+	STI	STI
击穿电压 V_B/V	8	10.5	4	11	9.9
3 dB 带宽/GHz	0.8	1.3	3.3	4.24	5.9
测试波长/nm	650	680	850	542	600
增益/dB	493	12～17	10	16	10
暗电流/A	1×10^{-9}	1×10^{-4}	1×10^{-10}	9.3×10^{-8}	1×10^{-12}
响应度/(A·W^{-1})	3.52	无	1.1	0.024	1.2
参考文献	[3]	[5]	[7]	[8]	本文结构

注：★表示应用于可见光通信



(a) 电子注入型



(b) 空穴注入型

图 10 电子注入型和空穴注入型 CMOS APD 的带宽比较

3 结论

本文基于 0.18 μm CMOS 工艺设计了一种应用于可见光通信系统的新型 CMOS APD。所设计器件采用 n^+/p 阱结构,并在 n^+/p 阱边缘两端设置 STI 保护环。STI 保护环有效地抑制了隧穿效应并使暗电流大大降低,从而使器件的响应度、雪崩增益和带宽均得到提高。器件的雪崩区上下两侧都采用重掺杂,pn 结的耗尽区纵向宽度明显减小,使得载流子的纵向渡越距离缩短,从而提高带宽。同时在不改变探测面积的情况下,将光照面一分为二,进一步缩短载流子横向渡越距离、提高带宽。基于本文结构设计得到的 CMOS APD 器件雪崩击穿电压为 9.9 V,暗电流为 1×10^{-12} A,3 dB 带宽为 5.9 GHz,响应度可达 1.2 A/W,较传统 APD 器件,其暗电流降低了 2 个量级,且带宽提高了约 10%,能实现更高的综合应用性能。

参考文献:

[1] Ekkehard O, Christian S, Ivo F. Silicon avalanche photodiodes as detectors for correlation[J]. Rev. Sci. Ins., 1998, 69(10): 3516-3523.

[2] Steindl B, Gaberl W, Enne R, et al. Linear mode avalanche photodiode with 1 GHz bandwidth fabricated in 0.35 μm CMOS[J]. IEEE Photon. Technol. Lett., 2014, 26(15): 1511-1514.

[3] Liyama K, Takamatsu H, Maruyama T. Silicon lateral avalanche photodiodes fabricated by standard 0.18 μm CMOS process[C]// Proc. of 35th European Conf. on Optical Commun., 2009: E91-C(11).

[4] Liyama K, Takamatsu H, Maruyama T. Hole-injection-type and electron-injection-type silicon avalanche photodiodes fabricated by standard 0.18 μm CMOS process[J]. IEEE Photon. Technol. Lett., 2010, 22(12): 932-934.

[5] Fahs B, Romanowicz M, Hella M. A Gbps building-to-building VLC link using standard CMOS avalanche photodiodes[J]. IEEE Photon. J., 2017, 1(1): 99.

[6] Fauzan A Z, Napiah M. Characterizing silicon avalanche photodiode fabricated by standard 0.18 μm CMOS process for high-speed operation[J]. IEICE Trans. on Electron., 2016, 99(12): 1304-1311.

[7] Lee M J, Rucker H, Choi W Y. Optical-power dependence of gain, noise and bandwidth characteristics for 850 nm CMOS silicon avalanche photodetectors[J]. IEEE J. Sel. Top. Quantum Electron., 2014, 20(6): 211-217.

[8] Hossain M M, Ray S, Cheong J S, et al. Low-noise speed-optimized large area CMOS avalanche photodetector for visible light communication[J]. J. of Lightwave Technol., 2017, 35(11): 2315-2324.

[9] Ray S, Hella M M, Hossain M M, et al. Speed optimized large area avalanche photodetector in standard CMOS technology for visible light communication[J]. IEEE Sensors, 2014, 3(5): 2147-2150.

[10] Lee M J, Rucker H, Choi W Y. Effects of guard-ring structures on the performance of silicon avalanche photodetectors fabricated with standard CMOS technology [J]. IEEE Electron. Device Lett., 2012, 33(1): 80-82.

[11] Lee M J, Choi W Y. Area-dependent photodetection frequency response characterization of silicon avalanche photodetectors fabricated with standard CMOS technology [J]. IEEE Trans. on Electron Devices, 2013, 60(3): 998-1004.

[12] Youn J S, Lee M J, Park K Y, et al. 10 Gb/s 850 nm CMOS OEIC receiver with a silicon avalanche photodetector[J]. IEEE J. Quantum Electron., 2012, 48(2): 229-236.

[13] Green M A. Self-consistent optical parameters of intrinsic silicon at 300 K including temperature coefficients[J]. Solar Energy Materials and Solar Cells, 2008, 92(11): 1305-1310.

作者简介:

王 巍(1967—),男,博士,教授,主要研究方向为半导体光电器件、集成电路设计。