光电器件

DOI：10.16818/j.issn1001－5868.2021.03.004

总剂量效应对 CMOS 图像传感器中光电二极管钳位电压的影响

宋辰昱，申人升*，曲　杨，刘　岩，常玉春*

（大连理工大学 微电子学院，辽宁 大连 116600）

摘　要： 钳位电压(V_{pin})是影响 CMOS 图像传感器(CIS)中钳位光电二极管(PPD)电荷转移效率和满阱电荷容量的关键物理量。在辐照条件下，V_{pin} 受辐射总剂量(TID)增加而升高，因此研究其机理对抗辐照 CIS 的设计有重要意义。文章利用 TCAD 仿真软件分析了 CIS 器件的电学特性，研究了 V_{pin} 受 TID 影响的机理。结果表明，当辐照引起的氧化物陷阱电荷浓度达到 3×10^{16} cm^{-3} 时，浅沟槽隔离(STI)附近的耗尽区将 PPD 中的 pin 层与地极电学隔离，从而导致 pin 层电势易受到传输晶体管 TG 沟道电势影响而增加，使得相同电子注入条件下 PPD 可存储的电子增多，复位所需电压增大，导致 V_{pin} 随着辐射总剂量增加而增大。

关键词： 钳位电压；总剂量效应；CMOS 图像传感器；TCAD

中图分类号： TN406　**文章编号：** 1001－5868(2021)03－0321－06

Influence of TID Effect on Pinning Voltage of CIS

SONG Chenyu, SHEN Rensheng, QU Yang, LIU Yan, CHANG Yuchun

(School of Microelectronics, Dalian University of Technology, Dalian 116600, CHN)

Abstract: Pinning voltage (V_{pin}) is the key parameter affecting the charge transfer efficiency and full well capacity of the pinned photodiode (PPD) in CMOS image sensor (CIS). Experimental results show that V_{pin} increases with the total radiation dose (TID) effect, so it is of great significance to study the reasons in the design of anti-irradiation CIS. In this paper, TCAD simulation software is employed to analyze the electrical characteristics of the CIS and study the mechanism of V_{pin} affected by TID. The results show that when the concentration of trapped charges caused by irradiation reaches 3×10^{16} cm^{-3}, the depletion region near the shallow trench isolation (STI) isolates the pin layer of the PPD from ground, which causes the potential of the pin layer to be easily affected by the transfer transistor channel to increase. Thus under the same electron injection, the number of electrons stored in the PPD increases and the reset voltage needs to be higher, and V_{pin} increases with the increases of TID.

Key words: pinning voltage; TID; CIS; TCAD

0　引言

CMOS 图像传感器(CIS)因具有低成本、低功耗和高集成度等优点，广泛应用于工业和航天领域[1-3]。而钳位光电二极管(PPD)的引入，使 CIS 获得了更好的成像质量。随着器件尺寸的进一步缩小，PPD 的满阱电荷容量以及电荷转移效率越发引起研究人员的关注。钳位电压(V_{pin})是影响 PPD 电荷储存能力和电荷转移效率的重要因素：一方面，较大的 V_{pin} 对应着较大的电荷储存容量；另一方面，对于给定的电源和晶体管偏置电压，较小的 V_{pin} 会带

收稿日期：2020－12－18.

基金项目：国家自然科学基金项目(11975066)；工业和信息化部电子第五研究所项目基金项目(JSZL3017610B001).

* **通信作者：**申人升，常玉春

来更高的电荷转移效率[4]。因此,在 CIS 的设计过程中,对 V_{pin} 的大小有着严格的要求。

随着 CIS 应用领域的扩大,在一些带有高能辐射的环境中,如太空、医疗、核能等领域,辐射引起的总剂量(TID)效应会影响器件的电学参数,这其中也包括 V_{pin}[5-7]。2012 年,Vencent 等采用多组辐照实验发现,V_{pin} 的值会随着辐射总剂量的增加而增加,但并未给出增加的原因,只是猜测可能与器件的物理介质关联(PMD)层有关。为了深入分析 TID 效应影响 V_{pin} 的物理机制,从而在 CIS 设计时为减小辐射带来的影响提供理论依据,本文使用 TCAD 仿真软件建立了 CIS 内部 PPD 及相关晶体管的仿真模型,并基于一种片上的 V_{pin} 测量方法,对 V_{pin} 受 TID 增加而增大的原因进行了研究。

1 总剂量效应及钳位电压

1.1 总剂量效应

TID 效应与辐射引起的陷阱电荷有关[8-10]。通常,高能辐射会在氧化物的能带中激发电子-空穴对。由于空穴的迁移率较低,一部分空穴残留在氧化物内部,形成带有正电的固定陷阱电荷。而剩下的空穴和电子在漂移至氧化物和硅之间的界面时,与此处的悬挂键反应,形成界面陷阱电荷。这些陷阱电荷会改变器件的电学性能,从而影响 CIS 的成像质量。

1.2 钳位电压

图 1 是带有 PPD 的 4T 像素结构示意图,从左至右依次为浅槽隔离 STI、钳位光电二极管 PPD、传输晶体管 TG、浮置扩散节点 FD、复位晶体管 RST、电源 VDD 以及地极 GND。对于 V_{pin},目前有两种定义[11],一种为 PPD 中 n 型区域的电子准费米势在平衡状态(PPD 达到平衡满阱时的状态)与耗尽状态(PPD 内电子被完全清空)之间的最大差值,如下所示:

$$V_{pin}=\frac{E_{f_equ}-E_{f_dep}}{q}=\frac{\Delta E_{f_max}}{q} \tag{1}$$

其中,E_{f_equ} 是处于平衡状态下的 PPD 中 n 型区域的电子准费米势,E_{f_dep} 是处于耗尽状态的电子准费米势,q 是电子电荷。

另一个定义则对应于 PPD 中 n 型区域中静电势在这两种状态之间的最大偏差,它可以用电子的导带能级表示:

$$V_{pin}=\frac{E_{c\text{-}equ}-E_{c\text{-}dep}}{q}=\Delta\Phi_{max} \tag{2}$$

式中,$E_{c\text{-}equ}$ 和 $E_{c\text{-}dep}$ 分别表示平衡状态和耗尽状态下电子的导带能级。

通过这两个定义获得的 V_{pin} 值略有不同:后者比前者小约数百毫伏。根据 Alice 等的研究,$\Delta\Phi_{max}$ 可以更好地反映 PPD 本身的特性,并且更易于测量。因此,本文中 V_{pin} 基于第二种定义[4]。

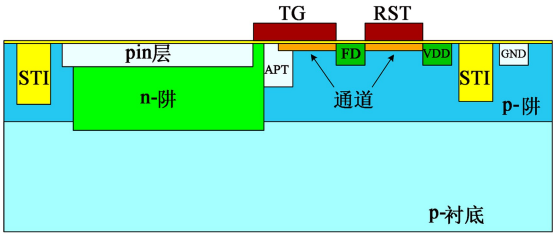


图 1 带 PPD 的 4T 像素结构示意图

1.3 钳位电压的测量

传统的 V_{pin} 测量方法是在片外进行的,需要在 CIS 外部单独制作 PPD 并进行测量,这类方法忽视了 CIS 内部结构对 V_{pin} 的影响,无法测量出实际片上 PPD 的 V_{pin}。2012 年,Tan 等提出了一种新的片上 V_{pin} 测量方法[12]。这种方法根据 CIS 输出,得到不同注入电势(V_{inj})下 PPD 内部存储的电子数量,进而得到 V_{pin}。

图 2 为测量时序图,包含三个阶段:首先是准备阶段,在此阶段通过接通复位电压,清空 PPD 中存储的电子,即复位 PPD;接着是注入阶段,将电源电压 VDD 由 VDDRST 调制到 V_{inj},同时打开传输晶体管 TG 和复位晶体管 RST,此时由于存在电势差,电源会通过 TG 和 RST 向 PPD 注入电荷,直到电势平衡;最后是读出阶段,在注入阶段完成后,关闭 TG,VDD 回调至 VDDRST,打开 RST 复位 FD,以此作为基准电平对 FD 采样。然后将 RST 关闭,TG 再次打开,使之前注入到 PPD 的电荷转移至 FD,再次对FD电平进行采样。将两者之间的差值

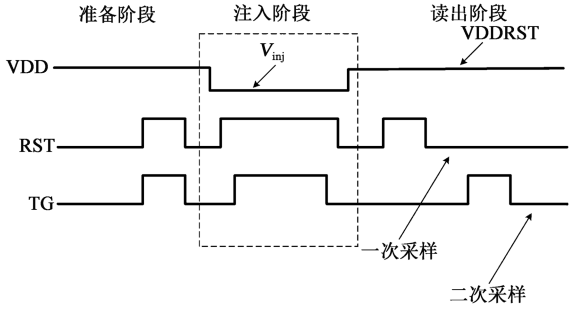
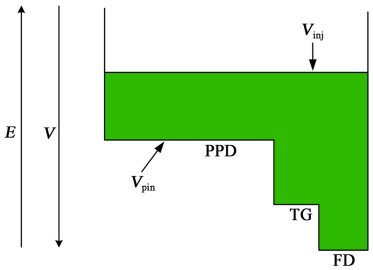


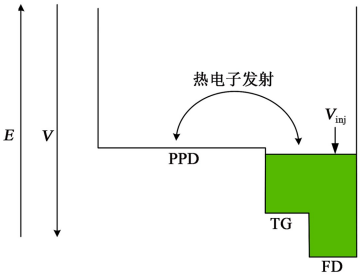
图 2 钳位电压测量时序图

作为 CIS 输出 V_{out}。通过调整 V_{inj} 的数值同时记录对应 V_{out}，可以绘制两者的变化关系曲线。

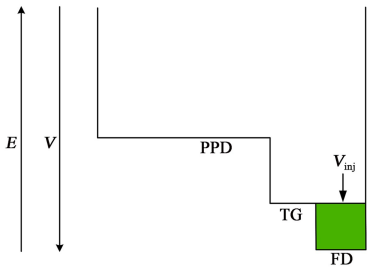
图 3 为 PDD，TG 和 FD 区域在几种 V_{inj} 偏置条件下的静电势分布。其中，图 3(a)表示当 $V_{inj} < V_{pin}$ 时，电源向 PPD 中注入电子，因此读出阶段 CIS 输出大于 0；随着 V_{inj} 的增加，注入电子数量减少，CIS 输出逐渐下降；当 $V_{inj} > V_{pin}$ 时，由于电源电势较高，电子被电源“抽净”，此时 CIS 输出为 0，如图 3(c)所示。因此，当 CIS 输出开始为 0 时，对应的 V_{inj} 即为 V_{pin}。Vincent 等[11]对这种方法进行了进一步研究，认为这种方法在 V_{inj} 接近 V_{pin} 时会受到热电子发射以及 TG 沟道处势垒影响(如图 3(b))，难以得到精确的 V_{pin} 值，但仍不失为一种测量 V_{pin} 变化趋势的有效方法。Vincent 等[13]采用这种方法研究了 TID 效应对 V_{pin} 的影响，得出 V_{pin} 随着辐射总剂量增加而增加的结论，但未给出 V_{pin} 增加的原因，只是猜测与 PMD 层有关。本文将在此基础上模拟 TID 影响 V_{pin} 的机理，并进一步研究 V_{pin} 增加的原因。



(a)　$V_{inj} < V_{pin}$



(b)　$V_{inj} \approx V_{pin}$



(c)　$V_{inj} > V_{pin}$

图 3　PPD，TG 和 FD 区域在几种 V_{inj} 偏置条件下的静电势

2　像素仿真模型

采用 Sentaurus TCAD 仿真软件来实现高集成度 CIS 的内部表征分析，进而研究 TID 效应影响 V_{pin} 的物理机制。在 TCAD 软件中使用瞬态仿真来模拟整个测量过程。图 4 为依据图 1 所示的典型器件结构及掺杂轮廓，使用软件中 Sprocess 工具构建的仿真器件模型。

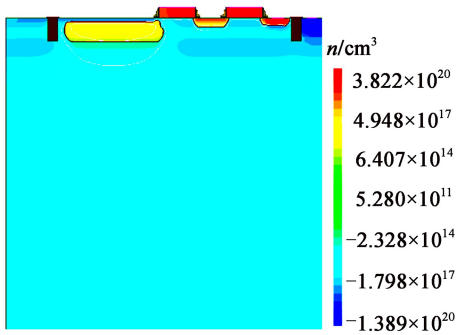


图 4　使用 Sprocess 工具构建的仿真器件模型

像素长 6 μm，其中 PPD 长度为 2 μm，PPD 中的 p^+ 层深度为 0.1 μm，TG 和 RST 晶体管的长度约为 0.5 μm。测量时序图如图 2 所示，为了使 CIS 中 PPD 和 TG 沟道等部分电势在 V_{inj} 作用下达到稳定，在注入阶段需要足够长的持续时间。整个注入阶段持续时间为 800 μs；在读出阶段，TG 和 RST 的导通时间均为 1 μs。TG 和 RST 晶体管的栅极电压以及 VDDRST 均为 3.3 V。此外，由于像素的栅氧层极薄，因此栅氧层的 TID 效应影响可以忽略。此时，TID 效应的影响主要来源于 STI 氧化物，因其工作环境中空穴为多子，所以内部的固定陷阱电荷和表面处的界面陷阱电荷都带正电[8]。仿真过程中，采用“Fixed Charge”模型来模拟 TID 效应在氧化物中产生的带有正电的陷阱电荷。为了研究陷阱电荷浓度的影响，实验过程中通过调节氧化物中陷阱电荷的浓度来模拟辐射总剂量的大小。

3　结果分析

3.1　V_{pin} 测量曲线

仿真得到的 V_{pin} 测量关系曲线如图 5 所示。从图中可以看到，随着陷阱电荷浓度的增加，曲线总体呈现右移的趋势。可以得到以下结论：(1)当陷阱电荷浓度小于 1×10^{16} cm^{-3} 时，CIS 输出曲线基本没有变化，不同陷阱电荷浓度下测量曲线基本重合，曲线形状与文献[11]中的测量结果相符；(2)当陷阱电

荷浓度处于 1×10^{16} cm^{-3} 和 3×10^{16} cm^{-3} 之间时，曲线发生右移，与 Vincent[5] 和 Tan 等[11] 在较低辐射剂量下的测量结果相符；(3)当陷阱电荷浓度大于 5×10^{16} cm^{-3} 时，曲线出现明显形变。

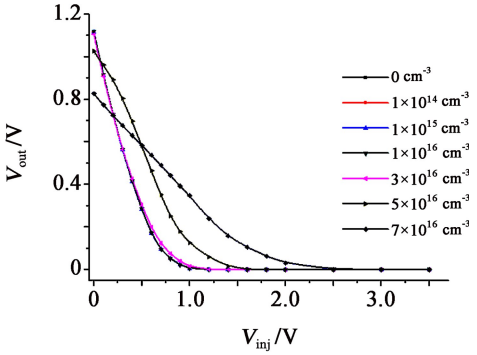


图 5 不同陷阱电荷浓度下 V_{pin} 测量曲线

从上述仿真结果可以看出，随着辐射剂量的增加，曲线拐点右移，V_{pin} 明显提高。图 6 分别统计了 V_{inj} 为 0 和 1.0 V 时，注入阶段完成后 PPD 中存储的电子数以及读出阶段转移的电子数。可以看到，随着陷阱电荷浓度的增加，相同 V_{inj} 下，PPD 中注入电子的数量明显增加。但是，与 $V_{inj}=1.0$ V 时相比，在 $V_{inj}=0$ V 时，注入电子的数量增加并不明显，这一点将在后面进行讨论。此外，在陷阱电荷浓度大于 3×10^{16} cm^{-3} 时，转移电子数与注入电子数出现明显偏差，即电荷转移效率下降明显。因为当带有正电的陷阱电荷浓度过高时，STI 会提供正电势来“拖拽”电子，使得电子无法在读出阶段完全转移，如图 7 所示。

综合图 5～7 的仿真结果可知，辐照后 V_{pin} 的增加源于 PPD 内注入电子数的增多。值得注意的是，在这个过程中，高剂量辐射后 CIS 的输出会受到电荷转移效率的影响，不能完全反映 PPD 本身的性质。

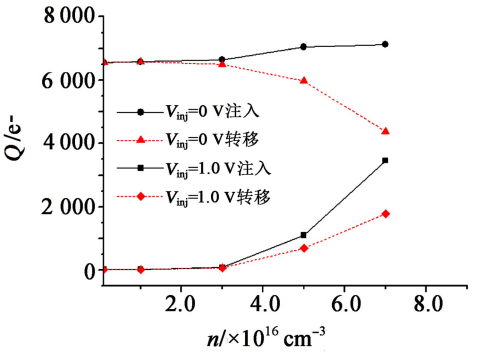


图 6 V_{inj} 分别为 0 和 1.0 V 时，不同陷阱电荷浓度下 PPD 中注入电子和转移电子的数量

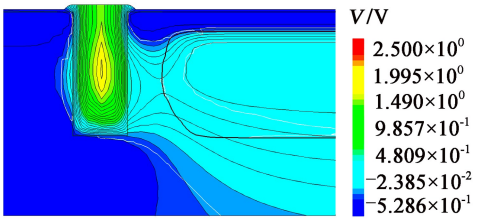
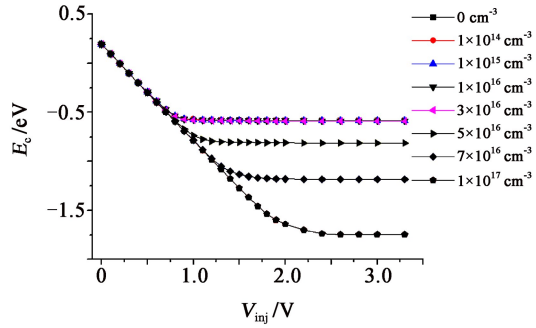


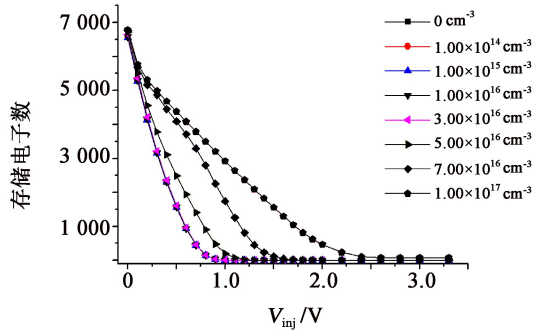
图 7 STI 附近的电势分布

3.2 注入阶段电子增加原因

为了探究注入电子增加的物理机制，使用准稳态仿真(Quasi-Stationary Simulation)分析注入阶段终态 CIS 各部位状态，准稳态仿真的电学参数设置与瞬态仿真期间的电学参数设置相同。首先在不同的 V_{inj} 偏压下分别统计 PPD 内部储存电子数量以及导带能级位置，结果如图 8 所示。



(a) n 型区域电子的导带能级



(b) 存储电子数量

图 8 不同 V_{inj} 下 PPD 中 n 型区域电子的导带能级及存储的电子数量

从图 8(a)中可以看到，当陷阱电荷浓度保持一定时，随 V_{inj} 增加，PPD 中 n 区域的导带能级先下降，后保持不变，根据第二节讨论的定义，这里的差值即为 V_{pin}。从数值上看，当陷阱电荷浓度在 3×10^{16} cm^{-3} 以下时，其浓度变化对器件 V_{pin} 基本没有影响，测量曲线基本重合。但当陷阱电荷浓度超出 3×10^{16} cm^{-3} 时，器件 V_{pin} 会随着电荷浓度增加而迅速增大。PPD 内存储电荷量的变化和导带能级

变化类似，随着陷阱电荷浓度的增加，需要更高的 VDD 才能使 PPD 复位，即存储电荷变为 0。

分析 PPD 附近电势，可以发现：在氧化物中无陷阱电荷的情况下，因为 STI 为绝缘体，对电势分布影响极小，所以 PPD 中 pin 层经由 STI 以及周围的 p 阱与地极相连。由于耗尽区电阻较大，TG 沟道电势降落在沟道与 pin 层接触附近的耗尽区中，对 pin 层电势影响很小。如图 9 所示，沟道电势增加对 pin 层电势几乎没有影响。

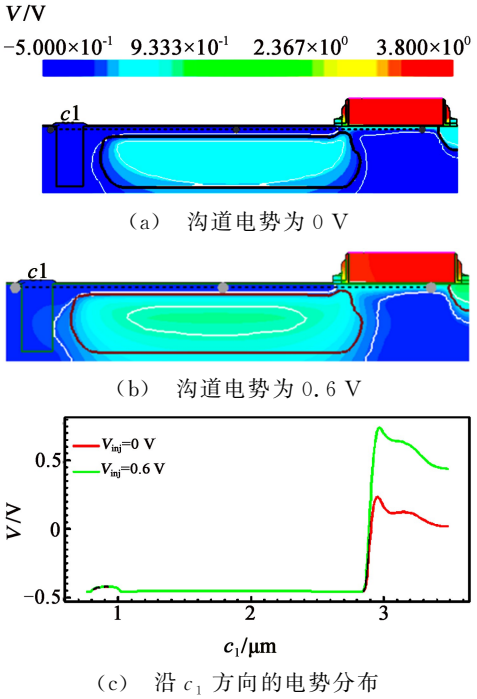


图 9　当氧化物不包含正电荷时，沟道电势对器件电势分布的影响

但随着 TID 效应的影响，氧化层内产生大量的带有正电的陷阱电荷，提高了 STI 区域的电势。导致 STI 周围的电子被吸引，空穴被排斥，附近出现了一个新的耗尽区。当氧化层内陷阱电荷浓度达到一定程度时，STI 周围会逐渐被“新耗尽区”包裹。此时 STI 以及“新耗尽区”会逐渐隔断 pin 层与接地极的连接，直至 pin 层浮置。这时，pin 层电势更容易受沟道电势变化影响，如图 10 所示，当沟道电势增加，pin 层电势随之增加。

从图 9(b)和图 10(b)中可以看到，与不含陷阱电荷的情形相比，沟道电势的增加相当于给 PPD 中的 p^+n 结施加了一个正向偏置，使耗尽区域变小，n 型准中性区面积扩大，存储电子(注入电子)数因此增多。也就是说，由于 TID 效应的影响，V_{inj} 的增加同时提高了 PPD 中 pin 层与 n 型区域的电势，需要更高的电势使 PPD 中的电子完全清空，这表现为 n 型区域导带能级弯曲程度变大，V_{pin} 增加。这也解释了图 6 中 $V_{inj}=0$ 时，注入电子的数量并没有随陷阱电荷而大幅增加的现象。因为此时沟道电势为 0，可以看成地极，在这种情况下，即使陷阱电荷浓度增加，pin 层接近沟道一端仍接地，因此其电势不会显著变化，相应地，PPD 中存储电子的数量也不会大幅增加。但值得注意的是，TID 效应导致的 V_{pin} 增加并不完全等同于 PPD 中的满阱容量(FWC)的增加，只是表现为对应的复位电压增大。

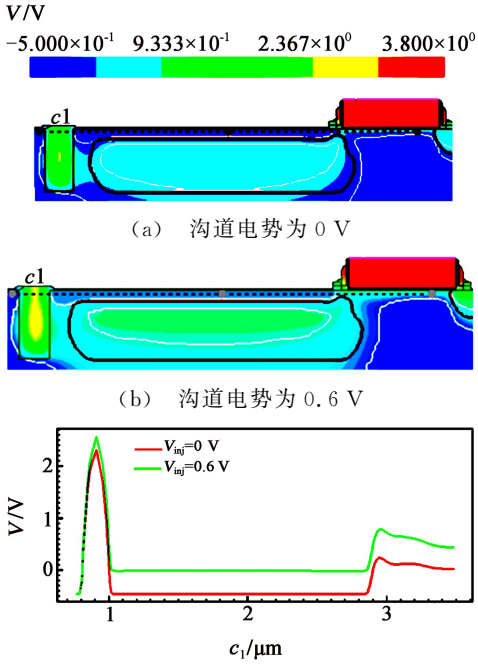


图 10　当氧化物包含大量正电荷时，沟道电势对器件电势分布的影响

4　结论

本文使用 Sentaurus TCAD 软件研究了 TID 效应对 CIS 中 PPD 钳位电压的影响。通过仿真对 Tan 等[11]提出的 V_{pin} 测量方法进行复现，并在此基础上进一步探究影响 V_{pin} 大小的因素。数据表明，随着陷阱电荷浓度的增加，PPD 在相同注入条件下容纳的电子数增多，V_{pin} 也随之增大。此外，PPD 的电荷转移效率会随着陷阱电荷的浓度增加而降低，当其超过 3×10^{16} cm^{-3} 后，电荷转移效率的降低变得明显，CIS 的输出不能准确表示 PPD 中实际存储的电荷数量，即不能准确测出 V_{pin}。最后，通过稳态仿真探究了不同偏压下 PPD 可容纳电子数随陷阱

电荷浓度变化的原因。仿真结果表明,STI 产生的耗尽区会影响 PPD 中 pin 层与地极之间的电学接触,当 STI 中陷阱电荷浓度足够大,使得耗尽区将 pin 层包围(pin 层与地极电学隔离)时,pin 层电势会受到 V_{inj} 的影响,导致当 PPD 复位时所需的 V_{inj} 增大,即 V_{pin} 增大。

参考文献:

[1] Fossum E R, Hondongwa D B. A review of the pinned photodiode for CCD and CMOS image sensors[J]. IEEE J. of The Electron Devices Society, 2014, 2(3): 33-43.

[2] Marcelot O, Goiffon V, Nallet F, et al. Pinned photodiode CMOS image sensor TCAD simulation: in-depth analysis of in-pixel pinning voltage measurement for a diagnostic tool[J]. IEEE Trans. on Electron Devices, 2017, 64(2): 455-462.

[3] Oh Tae Hwan, Lee Seung Hoon. Single-chip CMOS CCD camera interface based on digitally controlled capacitor-segment combination[J]. IEEE Trans. on Circuits & Systems Ⅱ: Analog and Digital Signal Proc., 2000, 47(11): 1338-1343.

[4] Pelamatti A, Goiffon V, Moreira A de I, et al. Comparison of pinning voltage estimation methods in pinned photodiode CMOS image sensors[J]. IEEE J. of the Electron Devices Society, 2016, 4(2): 99-108.

[5] Goiffon V, Estribeau M, Marcelot O, et al. Radiation effects in pinned photodiode CMOS image sensors: Pixel performance degradation due to total ionizing dose[J]. IEEE Trans. on Nuclear Scence, 2013, 59(6): 2878-2887.

[6] Liu Fan, Yang Feng, Wang Han, et al. Radiation-hardened CMOS negative voltage reference for aerospace application[J]. IEEE Trans. on Nuclear Science, 2017, 64(9): 2505-2510.

[7] Pernegger H. Development of radiation hard CMOS active pixel sensors for HL-LHC[J]. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 2016, 824: 446-448.

[8] Braunig D, Wulf F. Atomic displacement and total ionizing dose damage in semiconductors[J]. Radiation Physics and Chemistry, 1994, 43(1/2): 105-127.

[9] Wang J, Li B, Huang Y, et al. The total ionizing dose response of leading-edge FDSOI MOSFETs [J]. Microelectronics and Reliability, 2018, 88/90: 979-983.

[10] Ravotti F. Dosimetry techniques and radiation test facilities for total ionizing dose testing[J]. IEEE Trans. on Nuclear Science, 2018, 65(8): 1440-1464.

[11] Goiffon V, Estribeau M, Michelot J, et al. Pixel level characterization of pinned photodiode and transfer gate physical parameters in CMOS image sensors[J]. IEEE J. of The Electron Devices Society, 2014, 2(4): 65-76.

[12] Tan J. Analyzing the radiation degradation of 4-transistor deep submicron technology CMOS image sensors[J]. IEEE Sensors J., 2012, 12(6): 2278-2286.

[13] Rizzolo S, Goiffon V, Estribeau M, et al. Total ionizing dose effects on charge transfer efficiency and image lag in pinned photodiode CMOS image sensors[J]. IEEE Trans. on Nuclear Science, 2018, 65(1): 84-91.

作者简介:

宋辰昱(1996—),男,河北承德人,硕士研究生,主要研究方向为图像传感器失效机理;

申人升(1978—),男,吉林长春人,博士,高级工程师,主要研究方向为专用 CMOS 图像传感器;

常玉春(1973—),男,吉林公主岭人,博士,教授,主要研究方向为高动态 CMOS 图像传感器。

(上接第 320 页)

Xu Xinglian. Preparation and optical properties of InGaN/GaN-based nanopillar LED[D]. Ji'nan: Shandong University, 2018.

[15] Liu Shunrui, Wang Li, Zhang Minglei, et al. Study of light extraction efficiency for LED with square aperture nano-hemisphere array[J]. Chinese J. of Luminescence, 2017, 38(12): 1668-1674.

[16] Wiesmann C. Nano-structured LEDs-light extraction mechanisms and applications[D]. Regensburg: University Regensburg, 2009: 1-105.

[17] Matioli E, Weisbuch C. Impact of photonic crystals on LED light extraction efficiency: approaches and limits to vertical structure designs[J]. J. of Phys. D: Appl. Phys., 2010, 43(35): 354005.

[18] 李 伟, 岳庆炀, 孔繁敏, 等. 顶端 ZnO 纳米结构对 GaN 基 LED 光提取效率的影响[J]. 光子学报, 2013, 42(4): 409-416.
Li Wei, Yue Qingyang, Kong Fanmin, et al. Influence of surface ZnO nano-structures on the light emitting efficiency of GaN-based LED[J]. Acta Photonica Sinica, 2013, 42(4): 409-416.

作者简介:

雒倩男(1995—),女,硕士生,主要从事半导体器件分析方向的研究;

胡芳仁(1973—),男,博士,教授,主要从事光电集成器件方向的研究。