光电器件

DOI：10.16818/j.issn1001－5868.2021.04.008

一种用于 TOF 激光雷达的多通道时数转换芯片设计

赵 捷[1,2,3]，赵 野[1,3]*，童纪昀[1,2,3]，
王 莎[1,2,3]，张孟翟[1,3]，李 博[1,3]，赵发展[1,3]
（1. 中国科学院微电子研究所，北京 100029；2. 中国科学院大学，北京 100029；
3. 中国科学院硅器件技术重点实验室，北京 100029）

摘 要： 时间数字转换器（Time-to-Digital Converter，TDC）是一种将连续时间信号转换为数字信号输出的器件，是飞行时间（TOF）激光雷达中的关键部件。在利用计数器粗采样和多相位内插细采样的传统结构上，设计了一种基于相位内插的双级粗细结合型时间数字转换电路，并增加了双回波接收通路来接收多脉冲回波信号，在此基础上设计了一款 17 通道多路 TDC 系统芯片。芯片采用 CMOS 0.11 μm 工艺设计，版图面积为 0.6 mm×3 mm。后仿真结果显示，在 1.2 V 电源下其功耗小于 100 mW，单输入精度平均值为 51.7 ps，动态范围为 3.4 μm，且线性度良好。该 TDC 芯片适用于飞行时间脉冲激光雷达的信号计时。

关键词： 激光雷达；TOF；多通道；相位内插；时间数字转换器
中图分类号： TN402 **文章编号：** 1001－5868(2021)04－0342－06

A Design of Multi-channel Time-to-digital Converter for TOF Lidar

ZHAO Jie[1,2,3], ZHAO Ye[1,3], TONG Jiyun[1,2,3], WANG Sha[1,2,3],
ZHANG Mengdi[1,3], LI Bo[1,3], ZHAO Fazhan[1,3]
（1. Institute of Microelectronics of the Chinese Academy of Sciences, Beijing 100029, CHN;
2. University of Chinese Academy of Sciences, Beijing 100029, CHN;
3. Key Lab. of Silicon Device and Technology, Chinese Academy of Sciences, Beijing 100029, CHN）

Abstract: Time-to-digital converter (TDC) is a device for converting continuous time signal to digital signal, and it is the key component of TOF lidar. In this paper, designed is a two-stage coarse-fine combined time-to-digital converter circuit based on the traditional structure of counter coarse sampling and multi-phase interpolation fine sampling, and also a double echo receiving channel is added to receive multi-pulse echo signal. On this basis, a 17-channel multi-channel TDC system chip is designed. The system chip is designed with CMOS 0.11 μm process, and the layout area is 0.6 mm×3 mm. The post simulation results show that the power consumption is less than 100 mW, the average value of single input precision is 51.7 ps, the dynamic range is 3.4 μm, and chip presents good linearity under 1.2 V power supply. Thus the TDC chip is suitable for signal timing of time-of-flight pulse lidar.

Key words: lidar; TOF; multichannel; phase interpolation; time-to-digital converter

收稿日期：2021－03－30.
基金项目：国家重点研发计划项目(2016YFB0100516).
* **通信作者：**赵 野

0　引言

随着自动驾驶、3D 成像、智慧城市等领域的兴起，激光雷达（LIDAR）技术获得迅速发展[1-4]。基于脉冲飞行时间（TOF）原理测距的 LIDAR 系统主要包括三部分：脉冲激光发射器、前端接收器和时间数字转换器，如图 1 所示。其中，时间数字转换器（TDC）以参考时钟信号为参考，实现时间间隔与数字码之间的转换，是高精度、高可靠性激光雷达系统中的关键核心元件。

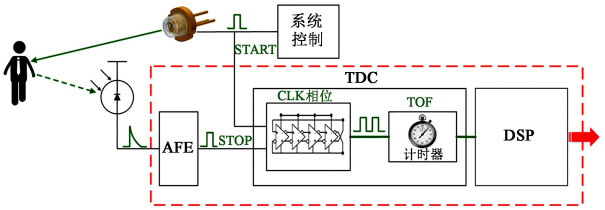


图 1　TOF 激光雷达中的 TDC 及信号处理结构框图

激光雷达微型化的主流趋势是采用集成技术和封装技术实现全系统微型化，其中基于 FPGA 的 TDC 已有大量研究并取得了显著进展[5-6]。但现有基于 FPGA 的实现方案存在集成度低、成本高、体积大、不易维护等不足。

本文针对高通道密度的激光雷达信号计时与处理需求，基于 CMOS 工艺技术设计了一款分辨率高、探测距离远、PVT 抑制特性强的高度集成的激光雷达时间数字转换芯片。该芯片为了实现远距离探测及高分辨率的需求，采用时钟粗计数与多相位内插细计数相结合的结构，粗计数满足大动态范围和大量程的要求，细计数在此基础上维持较高的分辨率。利用该芯片可以实现激光雷达标准化、模块化、数字化的灵活组装应用，为发展高性能、小型化的激光雷达开辟了新途径。在对激光雷达质量、体积敏感的微小型航空、航天器及机器人等需求高精度探测的领域有重大的应用价值。

1　多通道 TDC 芯片结构设计

17 通道 TDC 系统芯片结构如图 2 所示。整体系统包括 1 个回波发射通道和 16 个回波接收通道，17 路通道共用两个粗计数器及顶层的双回波接收通路。单通道 TDC 在触发信号到来瞬间，两个 11 bit 的格雷码计数器值与 16 bit 的多相位时钟同时进行采样，粗计数值分别由时钟上升沿和时钟下降沿触发的两个格雷码计数器提供[7]，细计数值由敏感触发放大器以及锁存器提供。控制模块控制 TDC 数据在 600 MHz 时钟下写入双回波寄存器堆，在 75 MHz 时钟下串化输出。通信模块为 TDC 系统提供可以读写数据的手段。整体电路输入为用于全局的 75 MHz 系统时钟、提供给每个通道的 600 MHz 时钟以及待采样脉冲信号等，整体输出信号包括串行数据信号、配套的 75 MHz 输出时钟信号和数据标志信号。

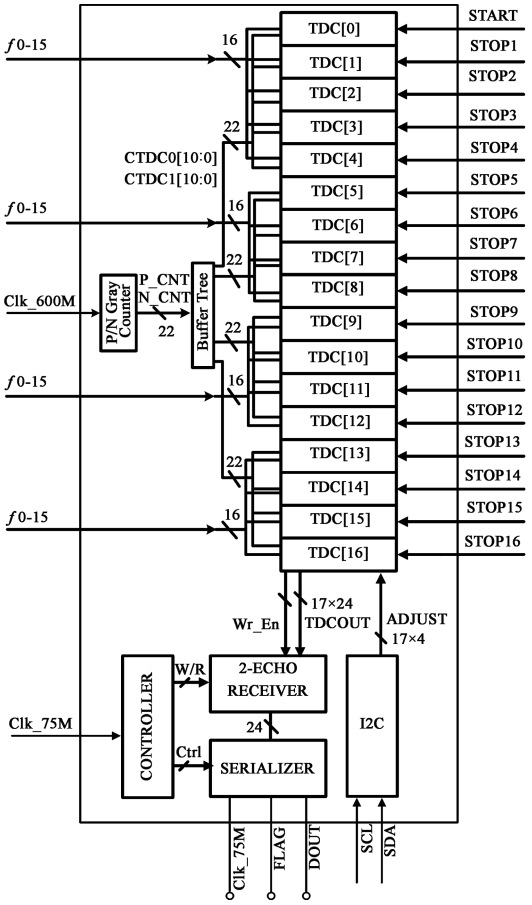


图 2　17 通道 TDC 系统芯片结构

2　关键模块电路设计

2.1　双级格雷码计数器

由于计数器的数据稳定需要一定时间，如果异步信号在计数器数据翻转期间采样，那么有可能采样到亚稳态数据，因此采用两个由时钟上升沿和下降沿触发的格雷码计数器来避免 TDC 粗采样出错，其时序如图 3 所示。图 3 中将一个周期分为 4 份，当细采样码为 0 和 1，即 2 bit 码的高位为 0 时，TDC 的粗采样输出取 Counter0；当细采样码为 2 和 3，即 2 bit 码的高位为 1 时，TDC 的粗采样输出取 Counter1。在一个连续周期内，TDC 输出的粗计数

器值都发生在计数器数据最稳定期间，有效地避免了器件本身亚稳态带来的影响。

当计数器位宽较大时，在普通设计手段下易产生时序问题，因此采用了四级流水线的加法器实现大位宽二进制计数器的设计，再将二进制码转换为格雷码，然后在触发信号上升沿时刻分别进行寄存，以此作为粗计数值的结果。其电路结构如图 4 所示。采用流水线的设计手段虽然需要更多的寄存器资源，但是可以有效地提高粗计数器的处理速度，在高速电路设计手段中尤为重要。

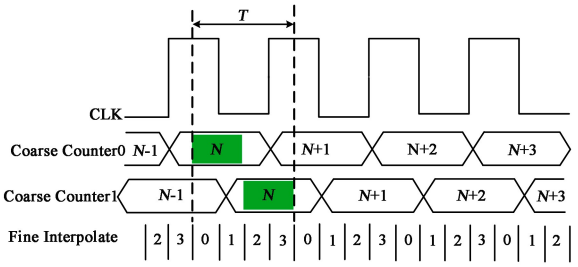


图 3 基于双格雷码计数器的 TDC 粗计数时序图

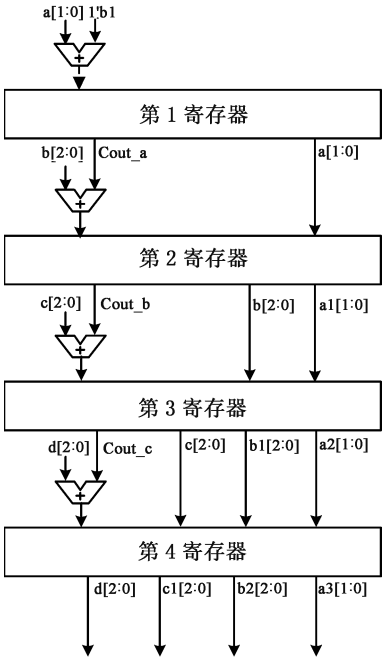


图 4 四级流水线设计的格雷码计数器

2.2 多相位产生电路以及细采样电路

通过注入锁定振荡器电路[8]（Injection-Locked Oscillator，ILO）将基准时钟进行 16 份细相位等分，如图 5 所示。该电路采用的是 8 级差分结构，每一级差分结构都可以提供两路相位相反的时钟信号，整体电路振荡器的频率是由 I_{ref} 电流源进行控制，可以改变延迟单元的延迟时间，因此保证每级传输单元延迟及线延迟一致，从而可以保证其输出的相位信号达到 180°的相位差，提高了每两级之间的均匀性。考虑 TDC 整体芯片设计中需要包含 17 路 TDC，为了保证 ILO 的扇出能力，需要采用多个 ILO 电路，以此保证 TDC 整体系统不会受到驱动能力的影响，而且在版图设计阶段，尽可能地减少线延迟带来的影响，保证通道之间的一致性。

在获得细相位后，需要通过触发电路以及对应的锁存电路进行锁存，如图 6 所示，该采样电路包含了边沿对准电路以及改进后的敏感放大触发器[9-10]（Sensitive Amplifier Flip-flop，SAFF）电路。由于 16 路相位信号的前 8 路相位与后 8 路相位相互反向，所以需要通过边沿对准器先进行整形，再通过差分形式输入 SAFF 敏感放大器中，并在脉冲信号的上升沿时刻进行锁存，即可得到 16 bit 的数字码。然后经过编码处理即可得到 4 bit 的细采样编码，该编码表示了触发信号的上升沿时刻。

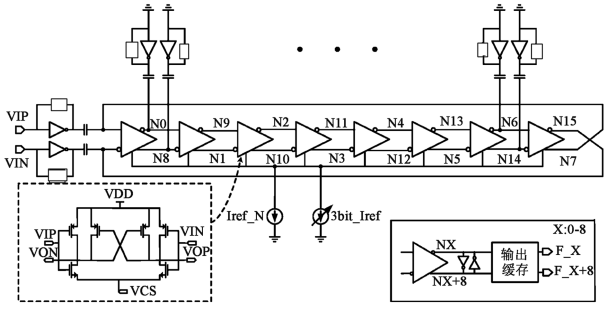


图 5 注入锁定振荡器电路

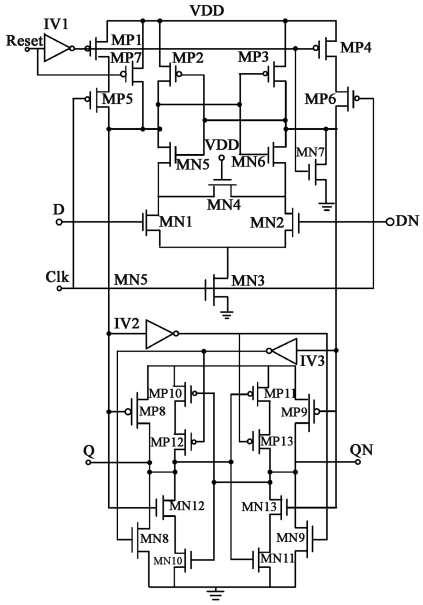
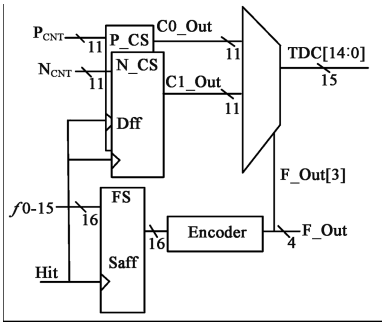


图 6 敏感放大触发器

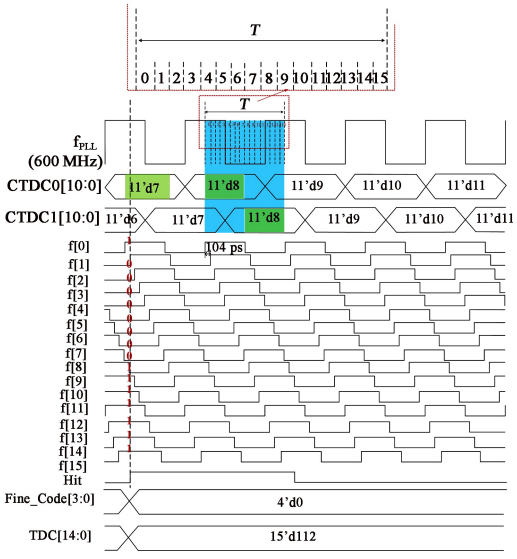
2.3 粗细计数同步电路设计

当每个 TDC 获得了粗采样编码与细采样编码

后，仍需要一定的同步机制才能获得最终的 TDC 输出。图 7 给出了粗细协调同步电路结构与时序原理图。16 相时钟内插于 1 个时钟周期，从第 1 个时钟周期的 1/4 处开始，对多相位采样的 16 种结果依次编码为 0 到 15，使得细编码进位跳变避开粗计数器的亚稳态区域。如图 7(b)所示，在脉冲信号上升沿触发下，细采样编码为 4'b0000，最高位为 0 则选取上升沿粗计数器的输出 11'd7，组合后 TDC 输出 15'd112 即可表示正确的结果，代表了该脉冲信号来临时刻对应的数字量。最后从每个 TDC 通路输出的结果除 11 bit 粗采样码、4 bit 细采样码外，还带有 6 bit 的通道编号以及 3 bit 校验位，一共 24 bit 数据。



(a)　电路结构



(b)　时序原理

图 7　粗细同步电路工作原理图

2.4　双回波接收电路

考虑到实际应用场景，当一个发射波发射出 START 信号之后，回馈信号每一通路会接收到 N 个回波，为了处理多个回波并得到有效数据，设计了双回波接收电路。该回波通路同计数器的测量范围一致，可以接受 500 m 内的第一个与最后一个回波信号，具体电路实现如图 8 所示。该电路以一个通道 TDC 为例，在复位信号到来时刻，清空数据，寄存器地址位为 Addr，当数据准备好后，写使能 Wr_en 变为 1，第一次写入数据存储在第一个 D 寄存器堆中，存储完毕后地址位 Addr 加 1，在 500 m 的测量距离过程中，由于地址位保持不变，第二个 D 寄存器堆数据依次覆盖，直到测量结束。一共有 17 个通路，因此一共有 34 个寄存器堆，地址位 Addr 的值依次为 0～33。

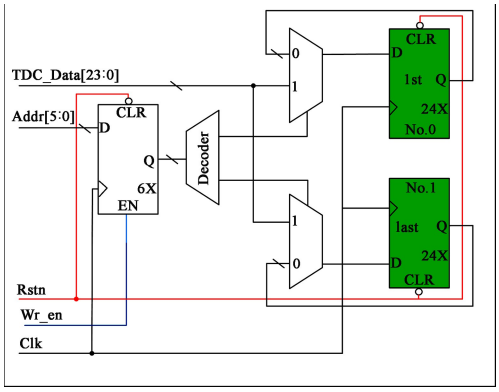


图 8　双回波接收电路

3　仿真分析

芯片版图基于 Synopsis IC Compiler 实现，由 17 通道 TDC、粗计数器、双回波接收模块、串化通信等模块电路组成，如图 9 所示。整体芯片包含用于提供系统 600 MHz 时钟的 PLL 电路模块、提供多相位的 ILO 电路以及以 Block 形式被调用并复用的 17 通道 TDC 电路，TDC 整体芯片全部基于标准单元实现。17 通路 TDC 系统芯片的版图面积为 0.6 mm×3 mm，在 1.2 V 电源下功耗小于 100 mW。

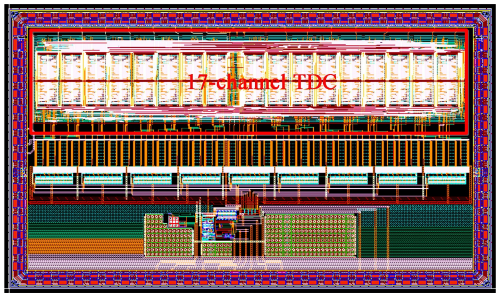


图 9　17 通道 TDC 系统版图

单通道 TDC 在典型 PVT 条件下的后仿真结果如图 10 所示。图中截取了重要的信号，包含粗、细编码及通道号和校验码的输出，该 TDC 通道号

为 000001。主时钟频率为 600 MHz，两个粗计数器根据时钟上下升沿依次翻转，当输入触发信号来临时刻，同时锁存粗、细计数，同步模块进行同步。同步后的 15 bit 数据为 011101000010100，加入 3 bit 校验位 000，与 6 bit 通道号 000001，得到 24 bit 整体输出信号 dataout[23：0]，如图 10 中圆圈内所示。可以看到设计的 TDC 将时间信号准确转换为数字信号。

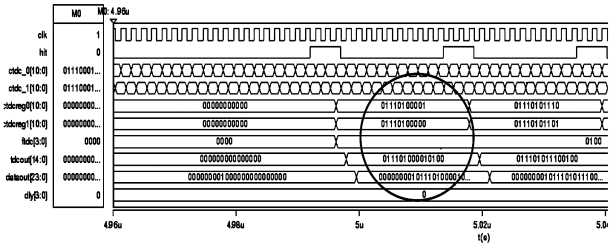


图 10 单通道 TDC 后仿真结果

整体功能后仿真结果如图 11 所示，在典型 PVT 环境下，设置输入脉冲信号每隔 40 μs 发射一次，结果显示在 100 μs 仿真时间内发生 3 次串行输出过程，在输出数据 d_{out} 期间，有效标志 out_flag 为高电平，写数据时长约 2.4 μs。

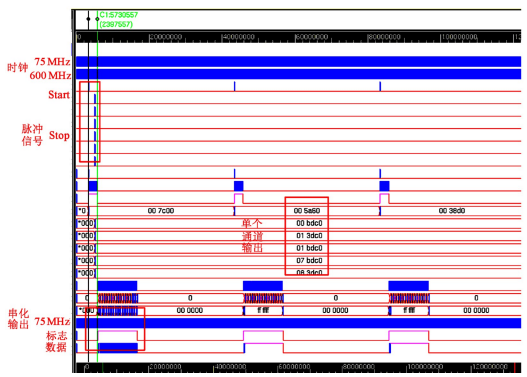


图 11 整体 17 通道 TDC 后仿真结果

图 12 给出了整体 17 通道 TDC 完成 1 次串行输出的时序图。在 75 MHz 的 24 分频读时钟 rdclk 下，读地址 rdptr 依次为 0～33。寄存器堆中数据 rddata 依次被读出和串化。可见整体读出数据未发生错误，配合标志位及配套读出时钟，后续模块可以有效地读出输入脉冲信号的时刻。

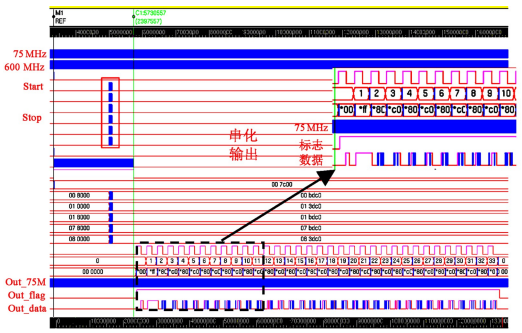


图 12 17 通道 TDC 系统串行输出后仿真结果

仿真过程中设置初始扫描步长为 104 ps，此后每次增加 104 ps，扫描时间 8 μs。15 bit 的 TDC 动态范围为 3.4 μs。当输入时间间隔超过 3.4 μs 后编码会从 0 重新开始。图 13 显示 TDC 在全动态范围不发生跳变与失码、误码，表明设计的 TDC 线性度良好。

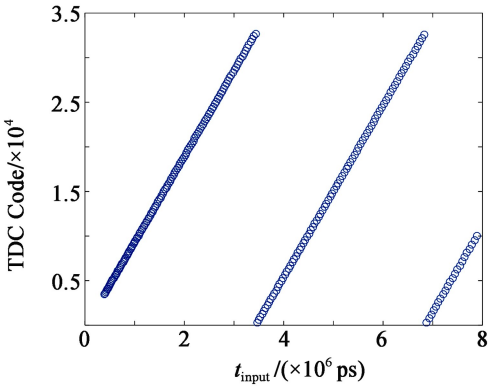


图 13 基于后仿真的 TDC 动态范围

为分析 17 通道 TDC 之间的一致性，对 17 个通道设置了同样的固定时间间隔激励进行测试。三次测试的时间间隔 t_{in} 分别为 20，23 和 29 ns。每个 TDC 通道对 3 种间隔都统计 1 000 次，得到 17 个 TDC 通道的统计结果，如图 14 所示。

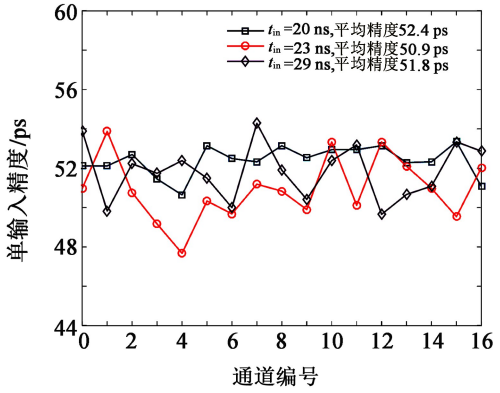


图 14 多通道一致性仿真结果

由图 14 可知，对固定输入为 20 ns 时间间隔，17 通道 TDC 测得的平均单输入精度为 52.4 ps。对 23 和 29 ns 输入测得的平均单输入精度分别为 50.9 和 51.8 ps。3 个输入间隔单输入精度的平均值约为 52 ps，反映出 17 个 TDC 通道间良好的一致性。

4　总结

本文针对高通道密度的激光雷达信号计时与处理需求，在计数器粗采样和多相位内插细采样的传统 TDC 结构上，提出了一种基于相位内插的双级粗细结合型时间数字转换电路，并增加了双回波接收通路来接收多脉冲回波信号，在此基础上设计完成了一款 17 通道多路 TDC 系统芯片。该系统芯片采用 CMOS 0.11 μm 工艺设计，版图面积为 0.6 mm×3 mm；后仿真结果显示在 1.2 V 电源下功耗小于 100 mW，单输入精度均值为 51.7 ps，动态范围为 3.4 μm，且线性度良好。利用该芯片可以实现激光雷达系统标准化、模块化、数字化的灵活组装应用，为发展高性能、小型化的激光雷达开辟了新途径。在对激光雷达质量、体积敏感的微小型航空、航天器及机器人等高精度探测需求的领域有巨大的应用潜力。

参考文献：

[1] Kurtti S, Nissinen J, Kostamovaara J. A wide dynamic range CMOS laser radar receiver with a time-domain walk error compensation scheme[J]. IEEE Trans. on Circuits and Systems Ⅰ: Regular Papers, 2017, 64(3): 550-561.

[2] Ximenes Ronchini A, Padmanabhan P, Lee M, et al. A modular, direct time-of-flight depth sensor in 45/65-nm 3-D-stacked CMOS technology[J]. IEEE J. of Solid-State Circuits, 2019, 54(11): 3203-3214.

[3] Bronzi D, Villa F, Tisa S, et al. SPAD figures of merit for photon-counting, photon-timing and imaging applications: A review[J]. IEEE Sensors J., 2016, 16(1): 3-12.

[4] Cho H, Kim C, Lee S. A high-sensitivity and low-walk error LADAR receiver for military application[J]. IEEE Trans. on Circuits and Systems Ⅰ: Regular Papers, 2014, 61(10): 3007-3015.

[5] Machado R, Cabral J, Alves F S. Recent developments and challenges in FPGA-based time-to-digital converters[J]. IEEE Trans. on Instrumentation and Measurement, 2019, 68(11): 4205-4221.

[6] W. Yonggang, L. Chong, Z. Wensong. Two novel designs of multi-phase clocked ultra-high speed time counter on FPGA for TDC implementation[C]// Proc. of 2013 IEEE Nuclear Science Symp. and Medical Imaging Conference (2013 NSS/MIC), 2013: 1-4.

[7] Chen C Y, Li C, Fiorentino M, et al. A LIDAR sensor prototype with embedded 14-bit 52 ps resolution ILO-TDC array[J]. Analog Integrated Circuits and Signal Processing, 2018, 94: 369-382.

[8] Jang S, Huang S, Lee C. CMOS quadrature VCO implemented with two first-harmonic injection-locked oscillators[J]. IEEE Microwave and Wireless Components Lett., 2008, 18(10): 695-697.

[9] Nikolic B, Oklobdzija V G, Stojanovic V, et al. Improved sense-amplifier-based flip-flop: design and measurements[J]. IEEE J. of Solid-State Circuits, 2000, 35(6): 876-884.

[10] Staszewski R B, Vemulapalli S, Vallur P, et al. Time-to-digital converter for RF frequency synthesis in 90 nm CMOS[C]// 2005 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium-Digest of Papers, 2005: 473-476.

作者简介：

赵　捷(1996—)，男，硕士研究生，主要研究方向为数字集成电路设计技术；

赵　野(1977—)，男，博士，研究员，主要研究方向为数模混合芯片设计。