光电技术及应用

DOI：10.16818/j.issn1001－5868.2021.04.027

基于随路时钟恢复的多源数据光纤传输系统

覃江毅[1]，何　静[2]，王　凯[1*]，李献斌[1]，王孝飞[1]

（1. 军事科学院国防科技创新研究院，北京 100000；2. 湖南工业大学 电气与信息工程学院，湖南 株洲 412007）

摘　要： 针对数据互联网络中多源高速并行数据实时传输的问题，提出了一种基于随路时钟恢复的多源数据光纤传输系统，详细介绍了其工作原理和设计思想。系统将现场可编程逻辑门阵列（FPGA）内部高速收发器与专用数字锁相环相结合，给出了随路时钟恢复与数据流量控制的具体实现过程。相比于现有的各类高速并行数据传输解决方案，该系统具备可软件定义的数据接入能力，也能支持更加灵活的随路时钟动态范围。同时，通过设计精简合理的帧结构，推导数据位宽与随路时钟之间的约束关系，有效提高了系统传输带宽。测试结果表明，该系统工作稳定可靠，实时传输效果好，时钟恢复精度可达 100 fs，扩展了串并转换与并串转换技术的应用领域。

关键词： 时钟恢复；数据互联；流量控制；光通信；现场可编程逻辑门阵列

中图分类号： TN919　**文章编号：** 1001－5868(2021)04－0590－06

Design of Multi-Source Data Optical Transmission System Based on Sampling Clock Recovery

QIN Jiangyi[1], HE Jing[2], WANG Kai[1], LI Xianbin[1], WANG Xiaofei[1]

(1. National Innovation Institute of Defense Technology, Academy of Military Sciences, Beijing 100071, CHN;
2. College of Electric and Information Engineering, Hunan University of Technology, Zhuzhou 412007, CHN)

Abstract: For multi-source high speed parallel data real-time transmission problems in data association network, a multi-source data optical transmission system based on sampling clock recovery is presented in this paper, and its operating principle and design idea are introduced in detail. The system combines the high speed transceiver in Field Programmable Gate Array (FPGA) with the special digital phase-locked loop chip, and gives the specific scheme of sampling clock recovery and data flow control. Compared with the existing high speed parallel data transmission system, the one presented in this paper has software-defined access capability and supports more flexible dynamic range for the different sampling clock. What is more, through the design of simplified and reasonable frame structure, and the constraint relation between the data bit width and the sampling clock is deduced, the system can improve the effective transmission bandwidth obviously. The test results show that this system can work stably and reliably with an excellent real-time transmission effect, and have the high precision of clock recovery. Meanwhile the system extends the application field of serializer and deserializer technology, and it provides a high reference value for other transmission systems.

Key words: clock recovery; data association; flow control; optical communication; FPGA

0　引言

随着信息传感与数据采样技术的蓬勃发展，在卫星遥感、机器视觉以及人工智能等新兴行业中，各类原始数据的吞吐量与日俱增，这对整个系统的数据传输能力提出了更高的要求。特别是在空间体积受限、电磁环境复杂以及实时信息处理等应用领域，为了提高数据通信带宽、增强抗干扰能力以及简化

收稿日期：2021－05－07.
基金项目：湖南省自然科学青年基金项目(2019JJ50121).
* **通信作者：**王　凯

系统硬件设计，新型高速串行收发技术成为当下研究与应用的重点方向。文献[1-5]提出采用专用高速收发器件构建高速并行数据传输系统，该方法能够降低系统研发难度，但是数据位宽与随路时钟受专用高速收发器件的制约，无法实现大动态范围的信号接入。文献[6-7]提出一种基于时钟恢复的数据传输方案，该方案能够保证数据传输的同步性和可靠性，降低系统互联复杂度，但由于该方案需要预先进行时钟配置，缺乏灵活性与适用性。文献[8-11]提出基于 Aurora，JESD204 等协议的串行链路传输方案，此类方案可靠性高、适用范围广，但此类协议均采用 8B10B 等编码变换，导致信道开销较大，且由于协议相对复杂，增加了系统开发难度。

本文将可配置高速串行收发器、数字锁相环技术与光通信相结合，设计了一种基于随路时钟恢复的多源数据光纤传输系统，以期能够改进现有解决方案的性能指标，提供一种高效实用的串并转换与并串转换技术。

1　系统架构设计

基于随路时钟恢复的多源数据光纤传输系统架构如图 1 所示，它由信号采集端与信号恢复端两部分组成，通过光纤实现数据交互。信号采集端通过现场可编程逻辑门阵列(Field Programmable Gate Array，FPGA)完成多源信号的采集，结合光电转换模块(本文以 SFP＋为例)实现信号的电光转换。其中，FPGA 主要完成多源采样数据的缓存与随路时钟的分频，根据传输帧格式对各通道的缓存数据进行流量控制，对待发射的数据进行加扰处理，并控制 FPGA 内部(Gigabit Transceiver，GTX)收发器以实现数据的并串转换。

信号恢复端通过 SFP＋模块实现信号的光电转换，结合 FPGA 与时钟恢复电路完成原始数据的提取与恢复。首先，FPGA 利用 GTX 收发器实现数据的串并转换，根据传输协议完成帧同步，提取信号采集端的各通道随路时钟分频信息，并将该信息输出至时钟恢复电路。其次，FPGA 负责对时钟恢复电路进行倍频功能的配置，使之能够正确地恢复出各通道的原始随路时钟。最后，FPGA 对接收到的数据进行解扰处理，根据时钟恢复电路恢复出的各通道原始随路时钟完成流量控制与信号恢复。

需要特别说明的是，在基于随路时钟恢复的多源数据光纤传输系统架构图中，实线箭头表示在 GTX 收发器的参考时钟域内进行的数据处理过程，而虚线箭头表示在随路时钟域内进行的数据处理过程。

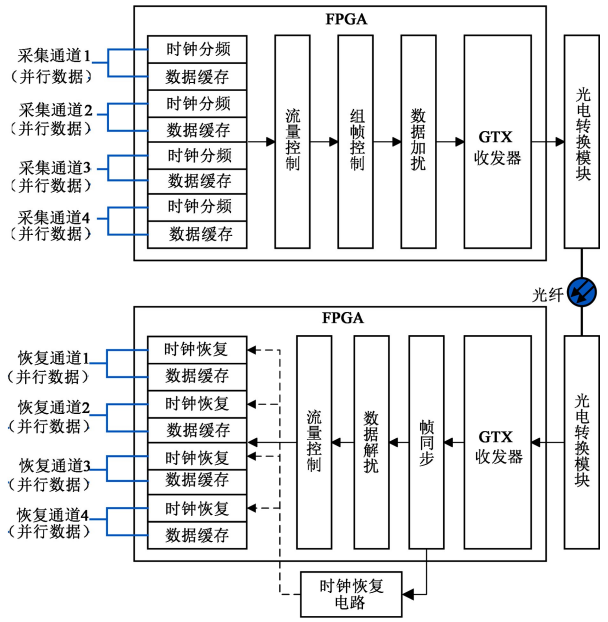

图 1　基于随路时钟恢复的多源数据光纤传输系统架构

2　系统硬件设计

2.1　高速串行收发器

本系统采用 Xilinx 7 系列 FPGA，其内部 GTX 收发器具有高度可配置性，并与可编程逻辑资源紧密集成，支持 500 Mb/s～12.5 Gb/s 范围内的传输带宽，提供基于 IP 配置的多种数据传输协议，完成传输数据的串并转换与并串转换[12]。

GTX 收发器的接收和发送方向均由物理媒介适配层(Physical Media Attachment，PMA)和物理编码子层(Physical Coding Sublayer，PCS)两部分组成，其结构如图 2 所示。在数据发送方向上，PMA 和 PCS 完成线路编码器、发送缓冲器、并串转换器等功能，在数据接收方向上，这两部分则共同完成串并转换器、时钟修正和通道绑定、线路译码、接收缓冲等功能。

一方面，PCS 部分为数字电路，主要提供丰富的物理编码层特性，并集成了负责信道绑定和时钟修正的弹性缓冲。另一方面，PMA 部分为模拟电路，主要用于实现数据串行化和解串，通过集成预加重、均衡、时钟发生及时钟恢复等功能，提供高性能的串行接口特性。其中，时钟发生器及时钟恢复电路用于将时钟与数据绑定发送，以及将时钟从接收到的数据流中恢复出来，从而避免了在高速传输条

件下时钟与数据分开传输所带来的时钟抖动等问题。

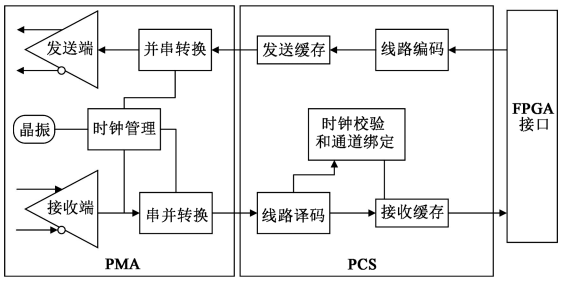

图 2 GTX 收发器内部结构

相比于专用高速收发器件，采用 FPGA 内部的 GTX 收发器构建多源数据光纤传输系统，具有更灵活的接口模式与更高速的通信速率。但是，由于 GTX 收发器的参考时钟频率要求是非常严格的，因此，GTX 收发器无法将并行数据的随路时钟作为参考时钟，在数据处理过程中需要在 GTX 参考时钟与随路时钟之间进行切换。

2.2 时钟恢复电路

本系统采用 Si5347 构建时钟恢复电路，实现随路时钟的恢复。Si5347 是一款高性能抖动衰减时钟倍增器，内部集成了四个任意频率的数字锁相环，是需要最大集成度和独立定时路径的最佳时钟选择，在光通信、数据基站以及高速互联等领域中获得了广泛应用。其中，Si5347 内部的每个数字锁相环都可以访问四个输入中的任何一个，并且可以在任意通道上输出低抖动的时钟，其内部数字锁相环结构如图 3 所示。

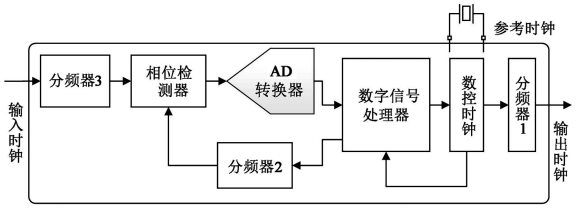

图 3 Si5347 内部数字锁相环结构图

数字锁相环技术运用数字信号处理(Digital Signal Processing，DSP)高速运算替代通常采用的分离器件搭建的锁相环滤波电路，由于不需要外接器件，可将单板的噪声对锁相环的影响降到最低。DSP 运算处理相位检测器的相差脉冲，产生一个数字频率控制字来调制一个数控时钟，配合内部各个数字分频器，以实现宽范围输入和输出频率之间的倍频与分频。

Si5347 的输入时钟为 8 kHz～250 MHz，最大输出时钟为 712.5 MHz，允许用户通过 SPI 接口对其内部寄存器进行配置，完成相应的时钟锁定与恢复，且其输出时钟的抖动性能小于 100 fs。同时，该芯片能够提供输入时钟锁定、输出时钟锁定以及初始化过程等状态指示信息，系统可以根据这些指示信息判断相应的随路时钟信号是否已成功锁定与恢复。因此，系统通过合理的软件设计与控制方法，在 Si5347 允许的输入输出频率范围内，能够稳定高效地完成多源随路时钟的恢复。

3 系统软件设计

3.1 随路时钟恢复流程

在高速串行链路中，数据通常以一定的帧格式进行封装与传输[13-14]，本系统采用的传输帧格式如图 4 所示，其中，N 表示一帧中包含的分包数量，M 表示系统中存在的独立信号通道数量。

如上文所述，Si5347 具有四个独立的数字锁相环，因此，本系统最多可以对四个独立通道的随路时钟进行恢复，即 $M \leqslant 4$。为了使 GTX 收发器能够从高速串行链路中提取参考时钟，需要对所传输的数据进行加扰处理。其中，帧同步字主要用于实现比特同步，因此，无需进行加扰处理。

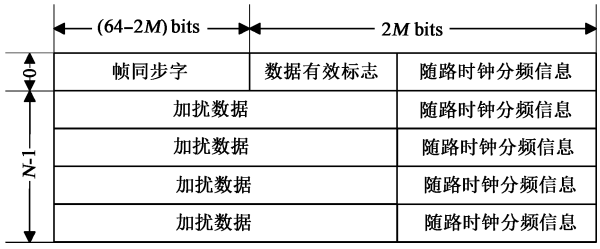

图 4 传输帧格式

本系统中，GTX 收发器采用的参考时钟为 156.25 MHz，数据位宽为 64 bit。当随路时钟频率较高时，直接利用参考时钟对随路时钟进行采样会导致较大的偏差，因此，在信号采集端，需要对随路时钟进行分频处理，之后再利用参考时钟对分频后的随路时钟进行采样，并将该信息与数据一起传输至系统信号恢复端。

在信号恢复端，利用 GTX 收发器从高速串行链路中提取出的参考时钟，利用该参考时钟按照传输帧格式，将随路时钟的分频信息从传输数据中提取出来，并作为 Si5347 的输入时钟。同时，为了确保 Si5347 能够利用随路时钟分频信息完成频率锁

定与倍频，实现原始随路时钟的还原，在信号采集端，需要将随路时钟分频，再利用 156.25 MHz 的参考时钟对其进行采样，以保证时钟的采样精度满足 Si5347 的接收性能要求。时钟采样误差如式(1)所示：

$$e_n = \frac{f_n}{f_{\mathrm{GTX}} \times D} \tag{1}$$

式中，f_n 表示第 n 个通道的随路时钟，f_{GTX} 为 GTX 收发器采用的参考时钟，D 表示分频系数，e_n 表示第 n 个通道的时钟采样误差。

e_n 需要达到 Si5347 内部锁相环的捕获跟踪参数要求，建议将随路时钟分频至 15 kHz 以内。

因此，需要根据各通道随路时钟的频率，设置合适的分频系数，完成随路时钟的分频与采样，随路时钟恢复的具体流程如图 5 所示。

此外，为了实现一定动态范围内随路时钟的自适应恢复，可以根据随路时钟的动态范围，划分若干种 Si5347 的配置参数，通过周期性地判断时钟锁定状态，对配置参数进行重置。

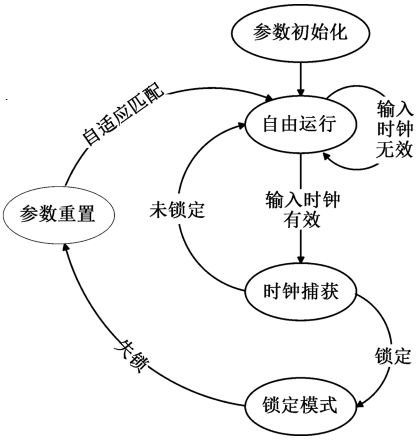

图 5　随路时钟恢复方法

3.2　动态数据流量控制

由于 FPGA 具备灵活的接口配置方式，本系统可根据各通道信号采集数据的实际传输需求，在系统传输带宽范围内，对各通道的数据位宽与随路时钟进行调整，使两者之间的关系满足如下约束条件：

$$\sum_{n=1}^{M} f_n \times bit_n \leqslant \frac{(N-1) \times (64-M)}{N} \times f_{\mathrm{GTX}} \tag{2}$$

式中，bit_n 表示第 n 个通道的数据位宽。

上式表明，各通道信号采集数据带宽之和必须小于系统的实际传输带宽。由图 5 可知，在 M 一定的情况下，N 越小，帧同步字造成的开销越小，系统的实际传输带宽越大。在 N 一定的情况下，M 越大，随路时钟造成的开销越大，系统的实际传输带宽越小。

在满足式(2)的情况下，系统通过对两端的数据缓存器进行流量控制，确保各通道数据缓存区稳定地处于非空非满的状态，不会出现数据溢出或读空的情况。在信号采集端，各通道采样数据在各自的随路时钟驱动下写入相应的数据缓存区，同时，在 GTX 收发器的参考时钟驱动下，当缓存区内的数据量达到一定的门限时，读取数据并在帧格式中进行有效数据的标记。

在信号恢复端，在随路时钟尚未成功锁定与恢复之前，需要对各个数据缓存区进行复位处理，以确保没有错误数据的进入缓存区内。当随路时钟成功锁定与恢复之后，根据帧格式中的数据有效标记，在 GTX 收发器的参考时钟驱动下，将数据写入各通道的缓存区内，等待各个数据缓存区的数据量达到一定的门限时，再将缓存区内的数据利用恢复的各随路时钟向外输出，这样能够更好地使得信号恢复端的数据缓存区稳定地处于非空非满的状态，保证数据实时有效地连续传输。

4　系统测试及分析

本节通过构建测试环境，验证系统的工作流程与实际性能。如上文所述，测试环境包括信号采集端与信号恢复端，两端通过光纤实现互联。为了简化测试流程，仅考虑单一采样通道的情况。

在信号采集端，首先，利用内置的 50 MHz 晶振作为 FPGA 驱动时钟，通过调用 FPGA 内部的直接数字合成器(Direct Digital Synthesizer，DDS)模块，生成数据位宽为 12 bit 的 200 kHz 正弦波；其次，利用该内置的 50 MHz 时钟对该正弦波进行采样，并将采样数据存入数据缓存区中，分频系数设置为 8192；最后，经过流控、组帧、加扰等一系列处理流程，实现数据的并串转换与电光转换。

在信号恢复端，首先，完成数据的光电转换、串并转换以及帧同步，提取随路时钟分频信息，利用示波器对信号采集端的随路时钟分频信息与信号恢复端的随路时钟分频恢复信息进行采样，结果如图 6 所示。其中，信号采集端的随路时钟分频采样结果 C_1 为 6.103 532 kHz，信号恢复端提取的随路时钟分频采样结果 C_2 为 6.103 530 kHz，测试结果表明，该系统能够有效地实现随路时钟分频信息的传输与

提取。

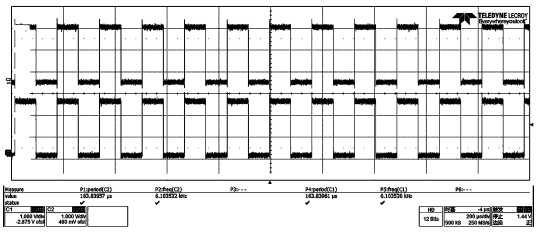

图 6 分频时钟恢复结果

其次，将提取出的随路时钟分频信息输出至 Si5347，Si5347 利用该分频信息按照自适应参数配置流程，对该随路时钟进行锁定与恢复，利用示波器对信号采集端的原始随路时钟与信号恢复端的恢复随路时钟进行采样，结果如图 7 所示。其中，信号采集端的原始随路时钟采样结果 C_1 为 50.087 MHz，信号恢复端的恢复随路时钟采样结果 C_2 为 50.028 MHz，测试结果表明，该系统能够有效地实现随路时钟的传输与恢复。

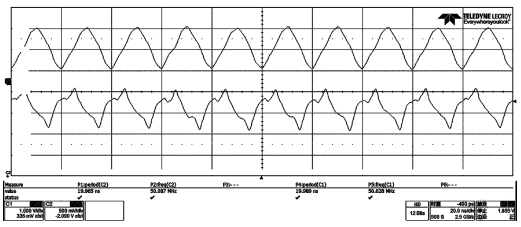

图 7 随路时钟恢复结果

最后，利用 Si5347 恢复的随路时钟完成流量控制与数据输出，利用 FPGA 内部 ILA 模块进行数据分析，结果如图 8 所示。

其中，rd_data[11：0]为信号恢复端的输出数据，sin[11：0]为信号采集端的采样数据，为了便于测试分析，将该采样数据通过并行数据线从信号采集端连接到信号恢复端，并利用统一的时钟进行采样。从 LIA 的采样结果可以看出，信号恢复端的数据缓存区储存数量 rd_data_count_b[11：0]能够保持稳定，缓存区处于非空非满的状态，数据持续输出。同时，rd_data[11：0]与 sin[11：0]构成的波形完全一致，证明了该系统的有效性与正确性。

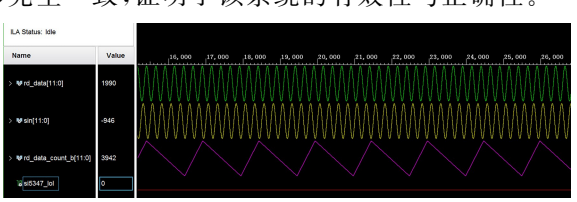

图 8 流量控制测试结果

5 结束语

针对多源高速并行数据传输系统的优化展开研究，重点讨论了传输帧格式、流量控制、随路时钟分频以及恢复等关键问题。在系统实现过程中，设计了一种自适应时钟匹配方法，提高了时钟捕获的动态范围。测试结果表明，相比现有的解决方案，该系统运行稳定、适应性强、性能优异，具有较高的工程实用价值。

参考文献：

[1] 孙振亚，刘栋斌，方 伟，等. 高密度模块化 TDI CCD 成像系统设计[J]. 红外与激光工程，2018，47(6)：164-171.
Sun Z Y，Liu D B，Fang G W，et al. Design of high density modularity TDI CCD imaging system[J]. Infrared and Laser Engineering，2018，47(6)：164-171.

[2] 李君豪，毕丽霞，王永利. 多通道高速数据安全传输系统的设计与实现[J]. 电子技术应用，2018，44(9)：125-128.
Li J H，Bi L X，Wang Y L. Design and implementation of multi-channel high-speed data security transmission system[J]. Application of Electronic Technique，2018，44(9)：125-128.

[3] 李正军，周志权，赵占锋. 基于 FPGA 的高速数据传输系统设计与实现[J]. 计算机测量与控制，2016(9)：188-190，194.
Li Z J，Zhou Z Q，Zhao Z F. Design and implementation of high-speed data transmission based on FPGA[J]. Computer Measurement & Control，2016(9)：188-190，194.

[4] 马 放，任勇峰，单彦虎，等. 基于 CML 的高速数据传输电路设计[J]. 电子器件，2016(1)：94-97.
Ma Fang，Ren Y F，Shan Y H，et al. Design of high-speed data transmission circuit based on the CML[J]. Chinese J. of Electron Devices，2016(1)：94-97.

[5] 白宏义，李锦明，郭 淳. 基于 PXI 的 LVDS 高速通信板卡设计[J]. 仪表技术与传感器，2020，448(5)：37-40.
Bai H Y，Li Jinming，Guo C. Design of LVDS high speed communication board based on PXI[J]. Instrument Technique and Sensor，2020，448(5)：37-40.

[6] 薛 栋，李 杰，张德彪，等. 基于 LVDS 的高速数据回读系统设计[J]. 中北大学学报(自然科学版)，2021，42(2)：187-192.
Xue Dong，Li Jie，Zhang Debiao，et al. Design of high-speed data readback system based on LVDS[J]. J. of North University of China (Natural Science Edi.)，2021，42(2)：187-192.

[7] 龚华达，戴 跃，张小辉，等. 基于 FPGA 的高速多路 LVDS 差分总线组传输技术[J]. 光通信技术，2016，40(7)：16-18.
Gong H D，Dai Y，Zhang X H，et al. High speed multi-LVDS differential BUS transmission technique based on FPGA[J]. Optical Commun. Technol.，2016，40(7)：16-18.

[8] 陈一波，杨玉华，王红亮，等. 高速数据采集与光纤传输系统的设计与实现[J]. 电子技术应用，2016，42(10)：73-76.
Chen Y B，Yang Y H，Wang H L，et al. Design and implementation of high speed data acquisition and fiber-optical transmission system[J]. Application of Electronic Technique，2016，42(10)：73-76.

[9] 和　爽，王红亮. 基于 JESD204B 的射频信号高速采集系统设计[J]. 电子器件，2020，43(1)：124-127.
He Shuang，Wang Hongliang. Design of high-speed acquisition system of RF signal based on JESD204B[J]. Chinese J. of Electron Device，2020，43(1)：124-127.

[10] 王　维，王　巍. 基于多核 DSP 的 RapidIO 通信接口应用[J]. 通信技术，2017，50(5)：1060-1065.
Wang W，Wang W. Application of RapidIO communication interface based on multi-core DSP [J]. Communications Technology，2017，50(5)：1060-1065.

[11] 孔德伟，袁国顺，刘小强. 基于 FPGA 的万兆以太网链路的设计与实现[J]. 微电子学与计算机，2019，36(12)：21-25.
Kong D W，Yuan G S，Liu X Q. The design and implementation of 10 gigabit ethernet link based on FPGA[J]. Microelectronics & Computer，2019，36(12)：21-25.

[12] 李　聪，向　新，王　瑞，等. 基于 FPGA 的数字信号处理模块设计与实现[J]. 计算机工程与设计，2020，41，4(6)：1586-1591.
Li Cong，Xiang Xin，Wang Rui，et al. Design and implementation of digital signal processing module based on FPGA[J]. Computer Engineering and Design，2020，41(6)：1586-1591.

[13] Jia J，Jing P. Design and implementation of digital signal processing module based on PCI bus and FPGA[C]// Proc. of Inter. Industrial Informatics & Computer Engineering Conf.，2015.

[14] 李歆昊，张　旻. 基于人工免疫的链路层协议帧同步字识别[J]. 电子与信息学报，2017，39(3)：561-567.
Li X H，Zhang M. Frame synchronization word identification of link layer protocol based on artificial immune[J]. J. of Electronics & Information Technol.，2017，39(3)：561-567.

作者简介：

覃江毅(1989—)，男，广西玉林人，博士，助理研究员，主要研究方向为高速信号采集与光纤通信系统设计；

王　凯(1990—)，男，山东济宁人，博士，助理研究员，主要研究方向为人工智能系统设计。

(上接第 589 页)

[12] Shorten C，Khoshgoftaar T M. A survey on image data augmentation for deep learning[J]. J. of Big Data，2019，6(1)：1-48.

[13] 梁　楠，赵政辉，周　依，等. 基于滑动窗口的深度卷积神经网络乳腺 X 线摄影图像肿块分割算法[J]. 中国医学物理学杂志，2020，37(12)：1513-1519.
Liang N，Zhao Z H，Zhou Y，et al. An algorithm of mass segmentation in mammogram by using deep convolutional neural network based on sliding patch[J]. Chinese J. of Medical Physics，2020，37(12)：1513-1519.

[14] Gao M，Bagci U，Lu L，et al. Holistic classification of CT attenuation patterns for interstitial lung diseases via deep convolutional neural networks[J]. Computer Methods in Biomechanics and Biomedical Engineering：Imaging & Visualization，2018，6(1)：1-6.

[15] 冉令燕. 基于卷积神经网络的图像分类研究[D]. 西安：西北工业大学，2018.
Ran L Y. Convolutional neural networks based image classification [D]. Xi'an：Northwestern Polytechnical University，2018.

[16] Qiu T，Wen C，Xie K，et al. Efficient medical image enhancement based on CNN-FBB model [J]. Image Processing Lett.，2019，13(10)：1736-1744.

[17] Liu L，Wu F X，Wang Y P，et al. Multi-receptive-field CNN for semantic segmentation of medical images[J]. IEEE J. of Biomedical and Health Informatics，2020(99)：1-1.

[18] Li M，Renjun S，Xuming R，et al. Combining DC-GAN with ResNet for blood cell image classification[J]. Medical & Biological Engineering & Computing，2020，58(6)：1251-1264.

[19] Garbin C，Zhu X，Marques O. Dropout vs. batch normalization：an empirical study of their impact to deep learning[J]. Multimedia Tools and Applications，2020，79(2)：1-39.

[20] Menon A K，Jayasumana S，Rawat A S，et al. Long-tail learning via logit adjustment[J]. arXiv：2007.07314，2020(preprint).

[21] Ming J T C，Noor N M，Rijal O M，et al. Enhanced automatic lung segmentation using graph cut for interstitial lung disease[C]// Proc. of IEEE Confer. on Biomedical Engin. and Sciences，2014：17-21.

[22] Zeng C Y，Gu L，Liu Z Z，et al. Review of deep learning approaches for the segmentation of multiple sclerosis lesions on brain MRI[J]. Frontiers in Neuroinformatics，2020，12(4)：954-962.

作者简介：

雷雨婷(1996—)，女，湖北荆门人，硕士生，研究方向为图像处理；

张　东(1963—)，男，湖北武汉人，博士，教授，研究方向为信号处理与微系统。