光电器件

DOI：10.16818/j.issn1001－5868.2021061502

用于图像传感器的自调节加速补偿锁相环设计

邓智耀，刘　博*，孙立功，王鹏飞，段文娟，张金灿

（河南科技大学 电气工程学院，河南 洛阳 471000）

摘　要： 设计了一款用于高速图像传感器的可自调节、加速补偿CMOS电荷泵锁相环电路，通过在传统锁相环电路拓扑中，附加“双模式”逻辑时控的、低功耗加速充电补偿模块，实现了锁定时间与功耗的双重优化。基于180 nm/1.8 V CMOS工艺完成锁相环的电路设计和性能仿真，结果表明，基于所提出的加速补偿方案，改进后的锁相环可有效满足图像传感器对低功耗、高速、高频和低噪声输出特性的需求。在输入频率为1 GHz的参考信号时，压控振荡器可达到0.55～2.82 GHz，即2.27 GHz的频率范围，相位噪声为－98.149 dBc/Hz@1 MHz，锁定时间缩短至5.2 μs，整体功耗仅为1.98 mW，同时输出的抖动噪声可低至2.81 μV/$\sqrt{\text{Hz}}$@1 MHz，多个性能指标优于所对比的同类锁相环电路。

关键词： CMOS高速图像传感器；锁相环；快速锁定；低功耗；开关控制逻辑电路

中图分类号： TP212　**文章编号：** 1001－5868(2021)05－0630－05

A Phase Locked Loop Built-in Self-regulating Acceleration Compensation Circuit for Image Sensoring

DENG Zhiyao, LIU Bo, SUN Ligong, WANG Pengfei, DUAN Wenjuan, ZHANG Jincan

(Electronic Science and Technol., School of Electrical Engin., Henan University of Science and Technol., Luoyang 471000, CHN)

Abstract: A self-adjustable CMOS charge pump phase-locked loop (CPLL) circuit with accelerated compensation for high-speed image sensors is designed. Regarding to traditional PLL topology, a " dual-mode " logical clock-controlled and low-power accelerated charging compensation module is added to achieve synchronize optimization in locking time and power consumption. Based on the 180 nm/1.8 V CMOS process, the circuit design and performance simulation are implemented. The results show that, based on the proposed acceleration compensation scheme, the improved PLL can meet the requirements of high-speed image sensoring application with low noise, low power and high frequency. When a reference signal of 1 GHz is input, the proposed voltage-controlled ring-oscillator reaches 0.55～2.82 GHz with 2.27 GHz frequency range, phase noise is －98.149 dBc/Hz@1 MHz, locking time is shortened to 5.2 μs, average power consumption is only 1.98 mW, and the jitter noise in output can be as low as 2.81 μV/$\sqrt{\text{Hz}}$@1 MHz. The proposed PLL has significant superior circuit in power and locking time compared with some other design cases.

Key words: CMOS high-speed image sensor; phase locked loop; fast phase locked; low power consumption; switch control logic circuit

收稿日期：2021－06－15.

基金项目：国家自然科学基金项目(61704049,61804046)；河南省科技厅科技计划项目(192102210087,202102210322)；河南科技大学研究生质量提升工程项目(2020YZL-008).

* **通信作者：**刘　博

0　引言

电荷泵锁相环是图像传感器(CIS)芯片中必不可少的控制“源”器件，为芯片系统提供基准时钟[1-3]。高频、宽带、低耗、高速是目前锁相环研发技术性能要求的重点[4-5]。随着图像传感器向高度集成化方向发展，传感器中所搭载锁相环模块的数量和指标要求已经显著增长[6-8]。锁定时间作为锁相环的关键性能参数之一，尤其在高频系统应用中，影响整个电路系统的工作效率。此外，作为锁相环最基本的设计约束和条件，关注锁定时间的同时，振荡频率、调谐范围、相位噪声以及功耗等指标也需满足工程应用的需求[8-10]。

本研究基于 180 nm/1.8 V CMOS 工艺设计了一种改进型锁相环辅助充电模块，在满足振荡频率、抖动噪声以及相位噪声的条件下，在不损失功耗效率的同时优化锁相环的锁定时间。在具体设计过程中，对该补偿电路进行了逻辑重组和逻辑门数量的优化，使所设计的电路具有结构简单、功耗低、锁定速度快的特点。

1　传统加速锁定方案

电荷泵锁相环(Phase Locked Loop，PLL)的传统电路结构如图 1 所示，通常由五个基本模块：鉴频鉴相器(PFD)、电荷泵(CP)、环路滤波器(LPF)、压控振荡器(VCO)和分频器(DIV)组成。其工作原理是，通过鉴频鉴相器将输入参考信号与反馈信号进行比较，产生的相位差按一定比例由电荷泵和环路滤波器转换成电压信号，该电压进一步控制并调节压控振荡器的输出频率，直到参考信号和反馈信号的相位和频率同步，最终完成锁定功能。

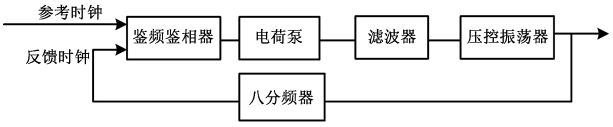


图 1　传统锁相环的电路结构

锁相环的噪声特性直接影响其工作精度，包括相位噪声、闪烁噪声、边缘动态杂散特性等，是极其重要的电气指标。在传统的锁相环电路中，为有效抑制噪声，通常采取减小环路滤波器(LPF)－3 dB 带宽 w_{lpf} 的方法，即以牺牲带宽换取低噪声特性：

$$w_{lpf} \propto \frac{1}{C} \tag{1}$$

尽管如此，如式(1)所示，滤波模块中的主电容 C 与带宽成反比，减小带宽即意味着设置取值更大的电容，从而势必延长在该电容的充放电时间，最终导致整体锁相环系统的锁定速度降低。在对传统锁相环进行设计时，需根据实际工程需求进行折中和取舍。因此，采取减小滤波主电容的加速方案将导致噪声特性的恶化，同时无源器件也增大了版图面积，提高了芯片成本。因此，本文提出采用外加辅助充电模块的新型锁相环加速方案，在不调整滤波器电容尺寸的情况下，通过提高滤波器的充电电流，最终实现加速锁定的功能。

2　本文提出的锁定方案

传统锁相环辅助加速电路的基本结构如图 2 所示。加入了一组受控的辅助鉴频鉴相器和电荷泵，通过充电以缩短锁定时间。同时，子电路模块数量和工作复杂度的增加，造成整体锁相环电路的电路功耗较传统结构大幅增加。为解决该问题，本文提出在该辅助充电模块中构建一组逻辑开关和时钟控制电路，最终在不增加额外电路功耗的条件下，实现锁相环快速锁定，达到速度与功耗的性能均衡。

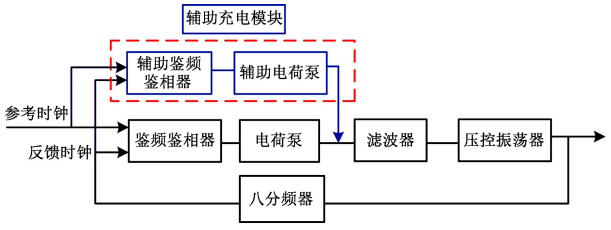


图 2　传统锁相环辅助充电模块的电路结构

本文提出的改进电路如图 3 所示，锁相环中附加设置的改进型辅助加速模块由一组辅助鉴频鉴相器、电荷泵和一组开关 S_1，S_2 构成，该模块功能又分为“加速锁定”和“无耗待机”两种工作模式。模式 1：加速锁定，当参考时钟与反馈时钟的频率相差较大时，两者相位差输出为高电平。进一步地，在辅助充电模块中，开关逻辑控制电路在时域的相位差的绝对值以正脉冲信号输出，该脉冲使开关 S_1，S_2 导通，之后辅助充电模块启动充电工作，辅助电荷泵模块与原始电荷泵形成输出电流，为下一级环路滤波器中的主电容 C_1 充电；模式 2：无耗待机，参考时钟与反馈时钟形成反相使输出为低电平，开关逻辑控制电路的输出跳变为低电平，此时开关 S_1，S_2 断开，停止加速功能。该模式实现的逻辑控制有效减小了

辅助电路非工作状态下带来的额外功耗。

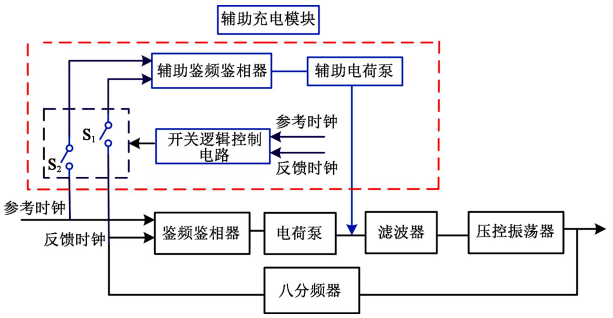


图 3 本文提出的锁相环辅助充电模块的电路结构

为了缩减辅助充电模块本身的电路规模以抑制功耗，本文对提出的辅助充电电路进行了最简化设计。如图 4 所示，提出只使用异或门实现开关逻辑控制，V_{clk} 表示输入参考时钟信号，V_{div} 表示反馈信号，N 表示开关控制逻辑电路的输出端，该端也是 S_1，S_2 的控制端。对输入输出的逻辑状态进行定义后，开关控制逻辑的真值表如表 1 所示。

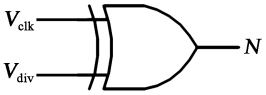


图 4 本文提出的辅助充电模块开关控制逻辑电路

表 1 开关控制逻辑电路真值表

输入时钟电平	反馈时钟电平	开关控制逻辑电平	开关状态
高	高	高	导通
高	高	低	断开
低	高	高	导通
低	低	低	断开

此外，开关 S_1，S_2 使用器件数目最简化的传输门结构，电路结构如图 5 所示。当输入端 S 为高电平时，SB 反相为低电平，传输门导通，参考时钟与反馈时钟信号顺利输入充电模块。反之，传输门输出为高阻态，将整体锁相环电路与辅助充电模块完全断开。

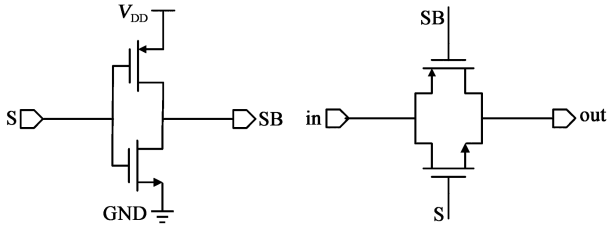
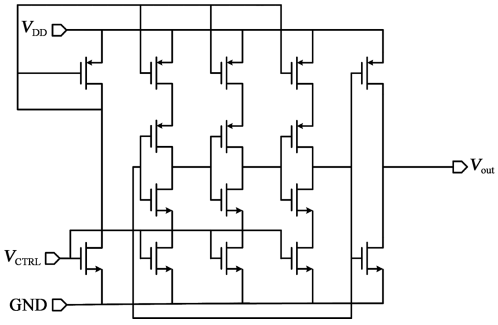


图 5 本文所使用的开关内部电路结构

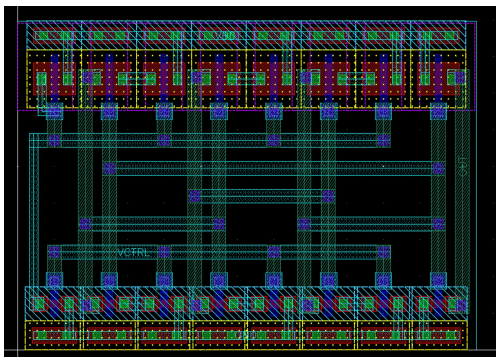
3 参数优化和仿真分析

采用 180 nm/1.8 V CMOS 工艺，采用 Cadence IC 环境对所提出电荷泵锁相环联合辅助充电模块进行整体电路的设计实现和调试，并进一步通过仿真对电路性能及所提出的加速与功耗的折中设计方案进行分析和有效性验证。

压控振荡器是模拟架构电荷泵锁相环的最核心部件，作为振荡能量源，其功耗占整体锁相环动态功耗的比重高达 50%以上。因此，与传统的大尺寸、高功耗 LC-压控振荡器相比，本文采用了图 6(a)所示的有源全晶体管式小型压控环路振荡器。图 6(b)为 VCO 版图，采用水平对称布局结合规则通道布线以实现器件和走线的最佳匹配，基于最小物理设计规则实现最紧凑的版图布局，面积压缩至 12.5 μm×8.9 μm。与使用无源大尺寸电感和电容器件的传统 LC 压控振荡器相比，在面积上具有明显优势。尽管有源 MOS 晶体管在相位噪声上稍处劣势，但该环路振荡器设计复杂度低，且能有效实现在静态功耗、电路面积、设计和工艺成本等方面最大程度的优化。



(a) 电路图



(b) 版图

图 6 全晶体管式压控环路振荡电路

首先对环路振荡器进行调参和迭代设计。图 7 所示曲线为不同压控输入所对应输出振荡频率的仿真结果，可以看出在提取寄生参数以后，该环路振荡器后仿真的输出振荡频率可以从 550 MHz 延展到 2.82 GHz，带宽高达 2.27 GHz，可以为图像传感器提供更宽的调谐范围和更多频点的时钟选择。此外，

该振荡器也可扩展应用于 LS 频段，即 2.48 GHz 频率段的卫星导航、WiFi 和蓝牙等便携式无线通信设备和系统中。

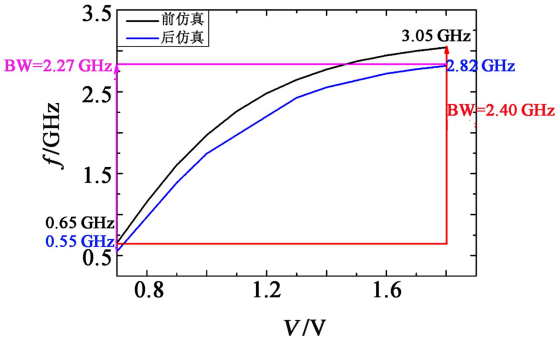


图 7　调谐范围的前仿真和后仿真的结果对比

接下来，针对整体锁相环电路进行输出瞬态仿真及相应噪声分析。图 8 是对 VCO 的相位噪声随偏移频率变化的仿真结果，对比前仿真的 −81.129 dBc/Hz@1 MHz，后仿真的相位噪声结果为 −98.149 dBc/Hz@1 MHz，有一定程度的优化。图 9 是锁相环输出波形图，由图可知，输出电压峰-峰值约为 1.8 V 电源电压的满量程输出，具有良好的输出摆幅特性。

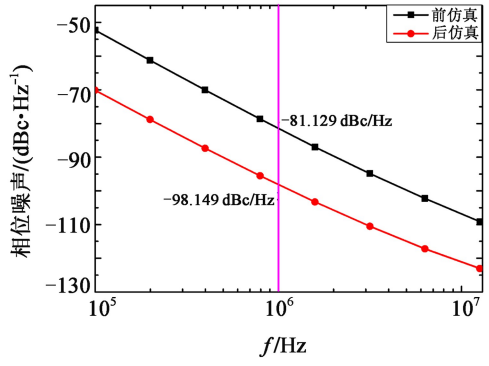


图 8　相位噪声的前仿真和后仿真的结果对比

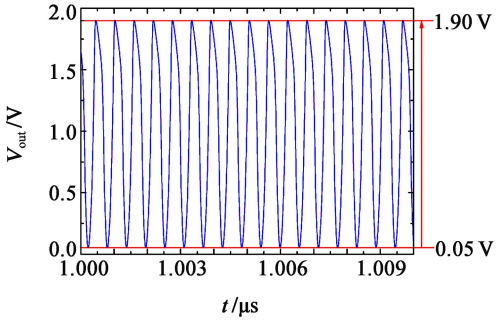


图 9　本文设计的锁相环输出波形

在此基础上，进一步对单独子模块的环路振荡器的相位噪声、整体锁相环电路受多种噪声的影响，以及集总归一化后的输出电压抖动特性进行了仿真分析。由仿真结果可知，环路 VCO 在频率偏移 1 MHz 处的相位噪声为 −98.149 dBc/Hz。同时，经过本文改进以后的锁相环整体电路，输出电压抖动噪声为 2.81 $\mu V/\sqrt{Hz}$，如图 10 所示，综合噪声特性良好。

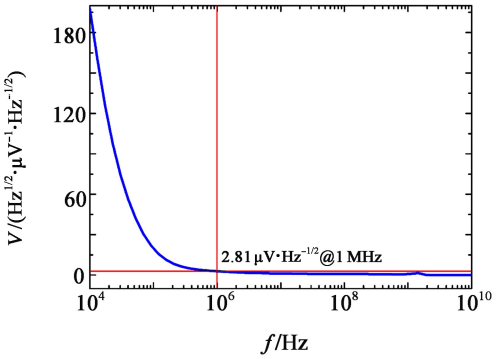


图 10　输出噪声抖动仿真结果

最后，对本研究重点改进的加速锁定功能，通过锁相环瞬态输出仿真进行有效性分析和验证。在电源电压为 1.8 V 的室温条件下，用输入频率为 1 GHz 的参考时钟信号对整体锁相环电路进行瞬态仿真分析，图 11 为仿真结果。从图中可观测到，基于所提出的加速充电辅助方案，当环路 VCO 的控制电压从 0.7 V 的初始值振荡上升至 1.65 V 时，锁相环实现稳定输出，可认为已完成锁定。此时，锁相环的中心振荡频率为 1.69 GHz，同时可测出从初始振荡调频到最终锁定的时间约为 5.2 μs。

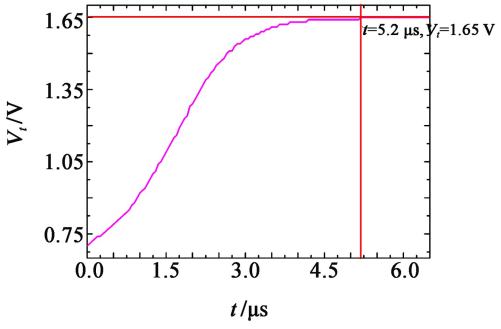


图 11　本文设计的锁相环锁定时间

表 2 列举了多个同种类电荷泵锁相环的设计案例，并与本研究进行了性能对比。由表 2 可看出，在电源电压、工作温度和调谐带宽相近的条件下，基于本研究所提出的加速锁定的辅助电路结构可以实现所有案例中最快速的锁定时间，同时，在输出抖动噪声性能可接受的情况下，所提出加速充电模块中的开关逻辑控制电路结构精简，整体锁相环电路的平均工作功耗可低至 1.98 mW，对比文献[13]中的

9.72 mW 及表中的其他设计，在低功耗特性上占据明显优势，实现了锁定加速与低功耗的同步优化，能够有效满足相关工程应用的需求。

表 2 本文提出的锁相环电路与其他设计案例参数对比

参考工作	工艺/nm	电源电压/V	调谐带宽/GHz	相位噪声/(dBc·Hz^{-1})	功耗/mW	锁定时间/μs
本文	180	1.80	2.27	−98.15	1.98	5.20
文献[1]	130	1.50	0.28	N/A	2.82	10.50
文献[4]	180	1.80	0.18	−105.00	2.50	16.60
文献[8]	130	1.5	0.30	−109.00	12.00	N/A
文献[11]	14	0.8	2.69	−113.60	13.40	310.00
文献[12]	55	1.20	1.20	−110.04	20.00	15.00
文献[13]	180	1.80	0.27	−125.11	9.72	1.70
文献[14]	180	1.80	0.33	−114.28	19.80	20.00
文献[15]	180	1.80	0.54	−90.00	11.00	50.00
文献[16]	65	N/A	1.80	N/A	9.00	9.34
文献[17]	180	1.8	2.55	−102.25	6.85	1.03

4 结束语

采用 CMOS 180 nm/1.8 V 工艺设计了一款应用于高速图像传感器的电荷泵锁相环电路，内置自调节“双模式”充电补偿模块，有效实现了锁定速度和功耗的双重优化。充电补偿模块在锁定过程中，可自调节开启“加速锁定”和“低耗待机”两种工作模式，在增加电路规模实现高速锁定的同时，保证了低功耗运行。在 Cadence IC 设计平台，采用 180 nm/1.8 V CMOS 工艺完成电路设计和仿真。结果显示，当输入 1 GHz 参考时钟信号时，所提出的锁相环锁定时间约为 5.2 μs，电路平均功耗仅为 1.98 mW。作为最核心部件的压控环路振荡器，基于版图寄生提取的后仿真相位噪声为 −98.149 dBc/Hz@1 MHz，振荡频率为 0.55～2.82 GHz，频率带宽达 2.27 GHz。在频率偏移 1 MHz 时，锁相环整体噪声特性表现良好，输出抖动噪声仅为 2.81 $\mu V/\sqrt{Hz}$。与其他同类型锁相环设计案例相比，本文所提电路结构在满足 CMOS 图像传感器高频、高速、低噪、低耗的设计要求的同时，在快速锁定时间和功耗上均具有一定优势。

参考文献：

[1] 刘戈扬，李 明，祝晓笑，等. 用于高速 CMOS 图像传感器的锁相环模块[J]. 半导体光电，2018，39(4)：497-501.
Liu G Y，Li M，Zhu X X，et al. Phase-locked loop module for high-speed CMOS image sensor [J]. Semiconductor Optoelectronics，2018，39(4)：497-501.

[2] Liu Y H，Heucel J H C，Kuramochi T，et al. An ultera-low power 1.7～2.7 GHz fractional-N sub-sampling digital frequency synthesizer and modulator for IOT applications in 40 nm CMOS[J]. IEEE Trans. on Circuts and Systems，2017，64(5)：1094-1105.

[3] 陆城富，杨 波. 仿生毛发流速传感器的控制电路设计[J]. 传感器与微系统，2020，39(3)：80-83.
Lu Chengfu，Yang Bo. Design of control circuit for bio-inspired hair flow sensor [J]. Transducer and Microsystem Technologies，2020，39(3)：80-83.

[4] Arjun R P，Liter S. A TDC-less all-digital phase locked loop for medical implant applications [J]. Microprocessors and Microsystems，2019，6(8)：168-178.

[5] 阳怡伟，张 靖，吴治军，等. 一种用于 CMOS 图像传感器的锁相环设计[J]. 半导体光电，2015，36(3)：322-326.
Yang Y W，Zhang J，Wu Z J，et al. A phase-locked loop design for CMOS image sensor[J]. Semiconductor Optoelectronics，2015，36(3)：322-326.

[6] Zhuang J，Staszewski R B. A low-power all-digital PLL architecture based on phase prediction[C]// Proc. of 19th IEEE Inter. Conf on Electionics，Circuts and Systems (ICECS)，2012：797-800.

[7] Wang N，Wang P，Alipour-Fadine A，et al. Physical-layer security of 5G wireless networks for IOT：Challenges and opportunities[J]. IEEE Internet of Things J.，2019，6(5)：8169-8181.

[8] Taekwang J，Jeong S，Blauuw P D. A noise reconfigurable all-digital phase-locked loop using a switched capacitor-based frequency-locked loop and a noise fetector[J]. IEEE J. of Solid-State Circuits，2018，53(1)：50-51.

[9] Li X，Zhang J，Zhang Y，et al. A 5.7～6.0 GHz CMOS PLL with low phase noise and −68 dBc reference spur[J]. Int. J. Electron. Commun.，2018，85：23-31.

[10] Yu F，Qiang T，Wang W Z，et al. A 2.7 GHz low phase noise LC-QVCO using the gate-modulated coupling technique [J]. Wireless Personal Comm.，2016，86(2)：671-681.

[11] Ikeda S，Lee S，Ito H. A 0.5 V 5.96 GHz PLL with amplitude-regulated current-reuse VCO[J]. IEEE Microwave and Wireless Components Lett.，2017，27(3)：302-305.

[12] Yao C，Ni R，Lau C，et al. A 14 nm 0.14 psrms fractional-N digital PLL with a 0.2 ps resolution ADC-assisted coarse/fine-conversion chopping TDC and TDC nonlinearity calibration[J]. IEEE J. of Solid-State Circuts，2017，52(12)：3446-3457.

[13] Qiu Y S，Zhao L，Zhang F. Design of 0.35 ps RMS Jitter 4.4～5.6 GHz frequency synthesizer with adaptive frequency calibration using 55 nm CMOS technology[J]. Circuits，Systems and Signal Proc.，2018，37：1479-1504.

[14] Aravinda K，Telugu K R. Integer-N charge pump phase locked loop for 2.4 GHz application with a novel design of phase frequency detector [J]. IET Circuts，Devices & Systems，2019，1751(858)：60-65.

（下转第 640 页）

5 结论

针对物联网、移动终端等领域对 CO_2 红外气体传感器微型化、集成化的迫切需求，本文研制出一款X型悬空桥式微热板结构的MEMS红外光源，其总体尺寸为2 mm×2 mm×0.3 mm。其内部加热丝走线方式采用温度分布均匀性更优的环形走线，具有功耗低(46 mW)、热响应时间快(24 ms)、特征谱段发光强度大的特点，可为 CO_2 红外气体传感器提供微型化、低功耗、辐射特性好的光源芯片。

参考文献：

[1] 郑玲娇，牛新涛，王嘉宁，等. 中红外二氧化碳传感器的研制及在农业中的应用[J]. 光子学报，2017，46(8)：150-157.
Zheng Lingjiao，Niu Xintao，Wang Jianing，et al. Development and agricultural application of a mid-infrared carbon dioxide sensor system[J]. Acta Photonica Sinica，2017，46(8)：150-157.

[2] 裴 昱，张加宏，李 敏，等. 恒温NDIR二氧化碳气体传感器研究[J]. 激光与红外，2021，51(2)：189-195.
Pei Yu，Zhang Jiahong，Li Min，et al. Research on constant temperature NDIR carbon dioxide gas sensor[J]. Laser & Infrared，2021，51(2)：189-195.

[3] Barth A. Infrared spectroscopy of proteins[J]. Biochimica et Biophysica Acta，2007，1767(9)：1073-1101.

[4] 田 英，熊继军，关新锋，等. MEMS红外光源研究及应用[J]. 微纳电子技术，2012，49(9)：607-612.
Tian Ying，Xiong Jijun，Guan Xinfeng，et al. Research and application of MEMS infrared source[J]. Micronanoelectronic Technology，2012，49(9)：607-612.

[5] Yang J，Cheng Y，Yuan Y，et al. Design and optimization of an integrated MEMS gas chamber with high transmissivity [J]. Digital Communications and Networks，2021，7(1)：82-91.

[6] 李世超. 微型化CO气体分析仪关键技术研究[D]. 邯郸：河北工程大学，2021.
Li Shichao. Research on key technology of miniaturized CO gas analyzer[D]. Handan：Hebei University of Engineering，2021.

[7] 关新锋. 基于MEMS红外光源阵列的光电标识技术研究[D]. 太原：中北大学，2013.
Guan Xinfeng. Photoelectric identification technology based on MEMS infrared source array[D]. Taiyuan：North University of China，2013.

[8] 张 鹏，丑修建，刘 立，等. MEMS红外光源光谱特性及温度特性测试研究[J]. 红外技术，2017，39(3)：288-291.
Zhang Peng，Chou Xiujian，Liu Li，et al. Research on spectral and temperature characteristic test of MEMS infrared light source[J]. Infrared Technology，2017，39(3)：288-291.

[9] 李中洲，余 隽，周君伟，等. 用于气体传感器的微热板工艺流程与性能对比[J]. 仪表技术与传感器，2018，42(1)：17-20.
Li Zhongzhou，Yu Jun，Zhou Junwei，et al. Comparison on process and performance of microhotplate for gas sensors[J]. Instrument Technique and Sensor，2018，42(1)：17-20.

[10] Li Y，Yu J，Wu H，et al. Design and fabrication of a CMOS compatible MHP gas sensor[J]. AIP Advances，2014，4：031339.

作者简介：

杨 靖(1981—)，男，山东郓城人，博士，研究员级高级工程师，主要从事智能传感器及微系统研究；

袁宇鹏(1989—)，男，湖南新化人，博士，高级工程师，主要从事传感器及感知微系统研究。

(上接第634页)

[15] Chiu W H，Huang Y H，Lin T H. A dynamic phase error compensation technique for fast-locking phase-locked loops [J]. IEEE J. of Solid-State Circuits，2010，45(6)：1137-1149.

[16] Zahra G K，Seyed A I A. Fully integrated fractional-N phase-locked loop for GNSS standards[J]. IET Microwaves，Antennas & Propagation，2019，13(13)：2391-2395.

[17] Amourah M，Whately M. A novel switched capacitor filter based low-area and fast-locking PLL [C]// 2015 IEEE Custom Integrated Circuits Conf.，2015：1-6.

[18] 冯国林，常玉春，马艳华. 一种应用于图像传感器的全数字锁相环设计[J]. 半导体光电，2021，42(1)：106-109.
Feng G L，Chang Y C，Ma Y H. Design of an all-digital phase-locked loop applied to image sensor [J]. Semiconductor Optoelectronics，2021，42(1)：106-109.

作者简介：

邓智耀(1997—)，男，广西桂林人，硕士研究生，主要研究方向为低功耗快速锁定模拟、数字锁相环及其应用系统；

刘 博(1982—)，男，辽宁锦州人，博士，副教授，主要研究方向为混合信号/低功耗模拟/射频集成电路设计及优化算法。