宽禁带半导体材料与器件专题

DOI：10.16818/j.issn1001－5868.2022060201

具有栅介质电场屏蔽作用的新型 GaN 纵向槽栅 MOSFET 器件设计

黎城朗[1]，吴千树[1]，周毓昊[1]，张津玮[1]，刘振兴[1]，张　琦[1]，刘　扬[1,2,3]*

（1. 中山大学 电子与信息工程学院，广州 510006；2. 中山大学 电力电子及控制技术研究所，广州 510275；
3. 广东省第三代半导体 GaN 电力电子材料与器件工程技术研究中心，广州 510275）

摘　要： 基于氮化镓(GaN)等宽禁带(WBG)半导体的金氧半场效应晶体管(MOSFET)器件在关态耐压下，栅介质中存在与宽禁带半导体临界击穿电场相当的大电场，致使栅介质在长期可靠性方面受到挑战。为了避免在 GaN 器件中使用尚不成熟的 p 型离子注入技术，提出了一种基于选择区域外延技术制备的新型 GaN 纵向槽栅 MOSFET，可通过降低关态栅介质电场来提高栅介质可靠性。提出了关态下的耗尽区结电容空间电荷竞争模型，定性解释了栅介质电场 p 型屏蔽结构的结构参数对栅介质电场的影响规律及机理，并通过权衡器件性能与可靠性的关系，得到击穿电压为 1 200 V、栅介质电场仅 0.8 MV/cm 的具有栅介质长期可靠性的新型 GaN 纵向槽栅 MOSFET。

关键词： 氮化镓；栅介质可靠性；功率 MOSFET；纵向槽栅结构；电场屏蔽

中图分类号： TN386.2　**文章编号：** 1001－5868(2022)03－0466－06

Design of Novel Vertical GaN-Based Trench Gate MOSFET with Electric Field Shielding Function of Gate Dielectric

LI Chenglang[1], WU Qianshu[1], ZHOU Yuhao[1], ZHANG Jinwei[1],
LIU Zhenxing[1], ZHANG Qi[1], LIU Yang[1,2,3]

(1. School of Electronics and Information Technology, Sun Yat-Sen University, Guangzhou 510006, CHN; 2. Institute of Power Electronics and Control Technology, Sun Yat-Sen University, Guangzhou 510275, CHN; 3. Guangdong Third Generation Semiconductor GaN Power Electronic Materials and Device Engineering Technology Research Center, Guangzhou 510275, CHN)

Abstract: Metal-oxide-semiconductor field effect transistor (MOSFET) devices based on wide bandgap (WBG) semiconductors such as gallium nitride (GaN) have a high electric field equivalent to the critical breakdown electric field of WBG semiconductor in the gate dielectric under the off-state voltage, which dampens the long-term reliability of the gate dielectric. In order to avoid using the immature p-type ion implantation technology in GaN devices, a new type of vertical GaN-based trench gate MOSFET based on selective area epitaxy is proposed, which can improve the gate dielectric reliability by reducing the off-state gate dielectric electric field. And a process preparation based on selective region epitaxy is designed to avoid the etching damage of MOS interface. The space charge competition model of the depletion region junction capacitance in the off-state is proposed, and the influence law and mechanism of the structural parameters of p-type shielding structure on the gate dielectric electric field are qualitatively explained. By trade off the relationship between device performance and reliability, a novel vertical GaN-based trench gate MOSFET with long-term

收稿日期：2022－06－02.
基金项目：广东省重点领域研发计划资助项目(2020B010174003).
*通信作者：刘　扬
E-mail： liuy69@mail.sysu.edu.cn

reliability of gate dielectric is obtained with the breakdown voltage of 1 200 V and gate dielectric electric field of 0.8 MV/cm.

Key words:　GaN; gate dielectric reliability; power MOSFET; vertical trench gate structure; electric field shielding

0　引言

随着高质量 GaN 单晶衬底产业进程的不断成熟，纵向结构的 GaN 功率电子器件成为研究热点，而其中绝缘栅型 GaN MOSFET 由于栅极漏电小、栅控能力强等优点而得到广泛研究[1-4]。

但是，栅介质氧化层电场过大引起的栅介质可靠性问题普遍存在于宽禁带半导体的 MOSFET 中[5-7]。在传统的硅(Si)基 MOSFET 中，由于 Si 的临界击穿电场较低，Si 发生雪崩击穿时二氧化硅(SiO_2)栅介质中的电场(0.9 MV/cm)比 SiO_2 可承受的最大电场(约 10 MV/cm)低了一个数量级，因此 Si 基 MOSFET 鲜少关注氧化层在大电场下的可靠性问题。但在 GaN 和(氧化铝)Al_2O_3 组成的 MOS 结构中，当 GaN 最大电场达到其临界击穿值 3.3 MV/cm 时，根据高斯定理，Al_2O_3 栅介质层中会存在至少 3.45 MV/cm 的大电场，远大于为保证其可靠性而设置的电场 0.8 MV/cm(栅介质氧化层可承受最大电场的 1/10)。由于 MOS 界面态以及介质层缺陷的存在，过大的栅介质电场不仅会导致栅极漏电流增大，降低器件的耐压性能[5]，而且还会导致器件在高频的开关过程中，界面态和缺陷对电子的俘获加剧。若不能及时释放出电子，器件导通时沟道电子受到的库仑散射将增大，导致电子迁移率降低，器件导通电阻增加。此外，对电子的俘获和释放造成的动态充放电行为的不同时性，还会导致阈值电压的漂移[8-9]，严重影响器件的长期可靠性。

为了保证栅介质在高温高压及高频开关下的可靠性，需要对 GaN 纵向 MOSFET 进行结构上的改良，以降低高漏压下的栅介质电场。在碳化硅(SiC)领域，通常采用 p 型离子注入以及干法刻蚀形成具有栅介质电场屏蔽作用的双沟槽结构[6-7,10]，如图 1 所示。但是，由于 GaN 材料特性问题，目前通过离子注入形成 p-GaN 的工艺仍不成熟，激活注入的 p 型 Mg 离子所需要的 1 300 ℃高温会导致 GaN 在高温下分解[11-13]。此外，离子注入与干法刻蚀造成的晶格损伤也会对所形成的 p 型屏蔽结构和槽栅结构带来质量和可靠性上的不利影响[14-15]。

因此，为了避免使用不成熟的 p 型离子注入技术以及干法刻蚀形成槽栅结构，本文提出了一种基于选择区域外延制备技术的、具有栅介质电场屏蔽作用的新型 GaN 纵向槽栅结构 MOSFET，并基于 TCAD 仿真研究了结构参数对栅介质电场和器件性能的影响，可为新型 GaN 纵向 MOSFET 的设计提供一定的指导。

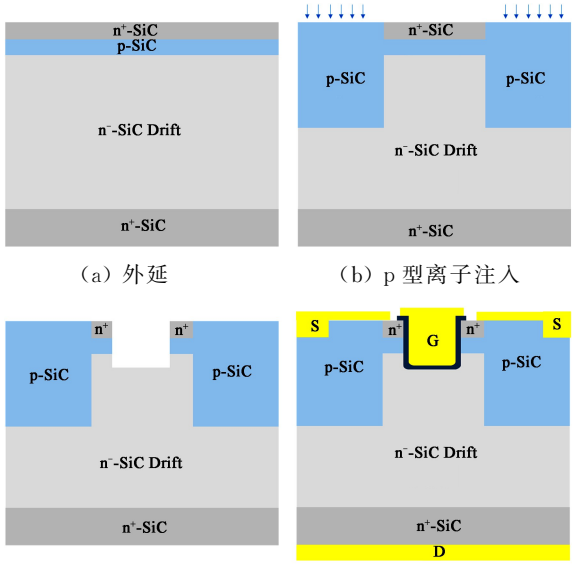


图 1　具有栅介质电场屏蔽作用的 SiC 器件工艺流程

1　新型器件结构及工艺流程

图 2 为具有栅介质电场屏蔽作用的新型 GaN 纵向槽栅结构 MOSFET，该结构通过深入器件漂移层内部的 p-GaN(栅介质电场p型屏蔽层)，对器件

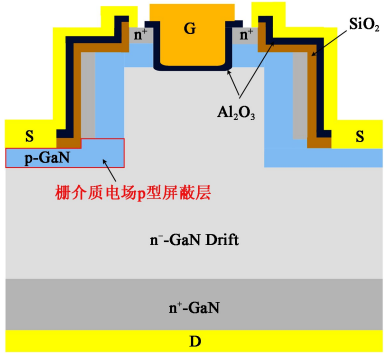
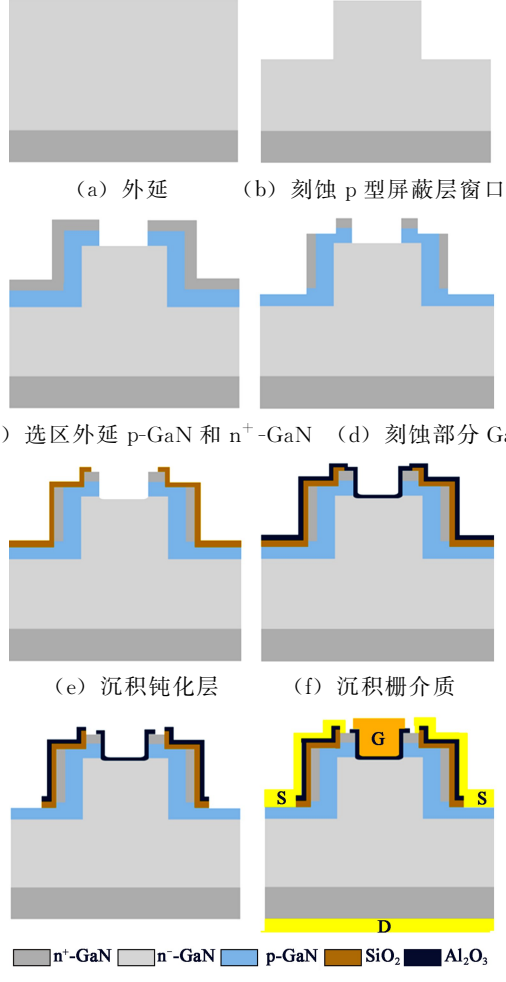


图 2　具有栅介质电场屏蔽作用的新型 GaN MOSFET

内部的电场分布进行调控，将原本位于栅槽拐角处的最大电场移至器件内部的 pn 结处，从而降低栅介质电场。

该结构的工艺流程如图 3 所示，其特点在于，在外延层中刻蚀出 p 型屏蔽层窗口后，通过 MOCVD 选择区域外延 p 型 GaN，形成具有栅介质电场屏蔽作用的 p 型屏蔽结构，同时，自然形成栅槽结构，从而可以避免干法刻蚀对界面造成晶格损伤，提高沟道电子的迁移率以及 MOS 界面的可靠性[16-17]。与图 1 中的 SiC 器件结构相比，屏蔽栅介质电场的 p 型屏蔽层更薄，离表面更近，更容易通过退火将钝化 Mg 离子的 H 原子从深层 p-GaN 中扩散出去[18-19]，从而有利于提升 p-GaN 的激活率和空穴浓度。此外，有文献报道[20-22]，凹槽侧壁二次外延的 p-GaN 存在掺杂浓度较低的情况，如图 4 所示，为了避免侧壁 p-GaN 掺杂浓度较低导致侧壁穿通漏电情况的发生，在选区外延 p-GaN和源区 n^+-GaN后，通过



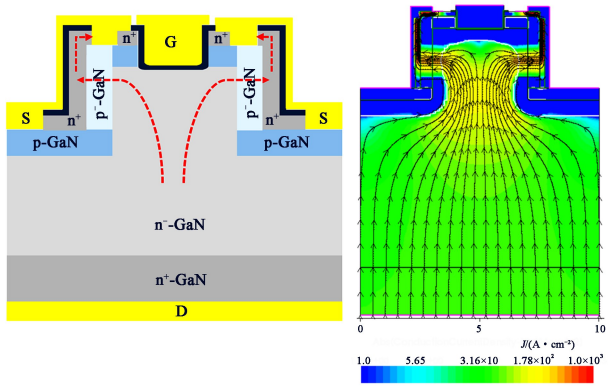
（a）外延 （b）刻蚀 p 型屏蔽层窗口

（c）选区外延 p-GaN 和 n^+-GaN （d）刻蚀部分 GaN

（e）沉积钝化层 （f）沉积栅介质

（g）暴露源极接触窗口 （h）蒸镀电极

图 3 基于选择区域外延的工艺流程



（a）器件结构图 （b）电流密度分布仿真图

图 4 侧壁 p-GaN 掺杂浓度较低导致的侧壁穿通漏电

工艺流程第四步刻蚀部分源区 n^+-GaN 和 p-GaN，来截断 p-GaN 完全耗尽后从源区 n^+-GaN 到源极之间的电流通道。而较厚的侧壁 SiO_2 钝化层沉积，也有利于减少刻蚀后可能出现的侧壁漏电以及栅介质爬坡断裂造成的漏电。

2 结构参数对栅介质电场的影响

为了给该新型 GaN MOSFET 的设计提供一些理论依据，基于 TCAD 仿真探究了栅介质电场 p 型屏蔽层的结构参数对栅介质电场的影响规律及其机理。

仿真的结构和参数分别如图 5 和表 1 所示，仿真采用的物理模型包括但不限于极化模型、杂质完全电离模型、反型层和积累层电子迁移率模型等。

对栅介质电场 p 型屏蔽层的间距、深度、宽度和掺杂浓度对栅介质电场 E_{oxide} 的影响进行了研究。如图 6 所示，提取了器件在关态耐压 1 200 V 下栅介质中的最大电场随结构参数的变化，可以看到，p 型屏蔽层的间距和深度对栅介质电场的影响较大，间距的减小和深度的增大，都会大幅降低栅介质的电场；而宽度和掺杂浓度的增大，仅会轻微降低栅介质电场。

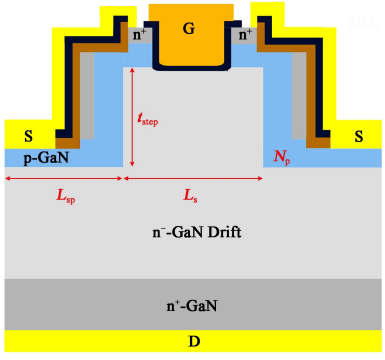
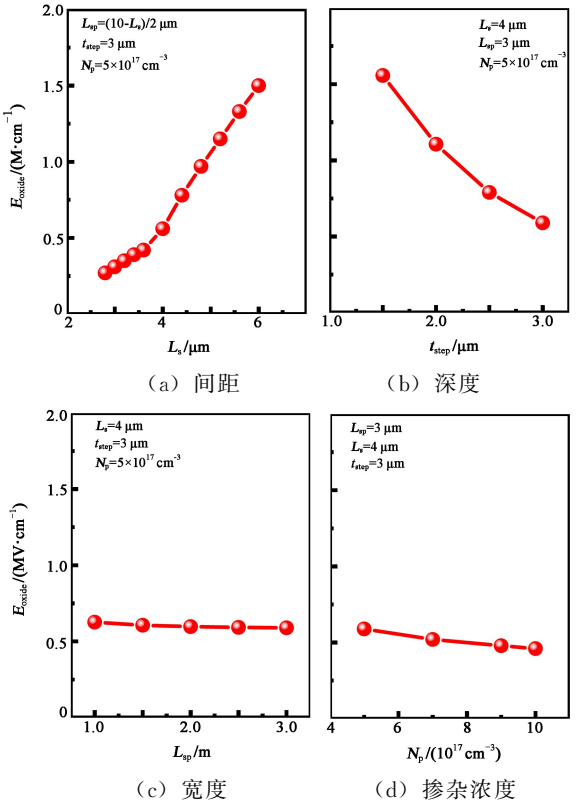


图 5 仿真结构及探究的结构变量

表 1　仿真结构的结构参数

结构参数	数值
源区 n^+-GaN 厚度/μm	0.2
源区 n^+-GaN 掺杂浓度/cm^{-3}	2×10^{18}
p-GaN 厚度/μm	0.5
n-GaN 漂移层厚度/μm	10
n-GaN 掺杂浓度/cm^{-3}	1×10^{16}
漏区 n^+-GaN 厚度/μm	2
漏区 n^+-GaN 掺杂浓度/cm^{-3}	2×10^{18}
栅极宽度/μm	2
Al_2O_3 栅介质厚度/nm	50
SiO_2 钝化层厚度/nm	100



（a）间距　（b）深度

（c）宽度　（d）掺杂浓度

图 6　各结构参数对栅介质电场的影响

为了定性解释结构参数对电场分布的影响机理，提出了一种关态下的耗尽区结电容空间电荷竞争模型。该模型将关态下器件的耗尽区近似地划分为 3 个部分，如图 7 所示。由于 pn 结耗尽区势垒电容可以表达为与平行板电容形式一样的表达式(1)，因此每个部分可视为一个平行板电容：

$$C=\frac{LZ\varepsilon_r\varepsilon_0}{X_D} \tag{1}$$

其中，ε_r 和 ε_0 分别为 GaN 的相对介电常数和真空介电常数，耗尽区宽度 X_D 可以类比为平行板电容的板间距离，所划分部分对应的宽度 L 与长度 Z 的乘积对应平行板电容的面积。而在相同漏极偏压 V_D 下，平行板电容极板上的电荷量 Q 将取决于其电容 C 的大小。

$$Q=C\cdot V_D \tag{2}$$

由于栅介质电场 p 型屏蔽层结构参数的改变会对所划分的三个电容的宽度以及板间距离产生影响，因此结构参数的变化会改变电容的大小，调控负空间电荷和栅极中的感应负电荷数量及分布，影响器件不同区域对正空间电荷发出的电场线的竞争关系，从而改变电场线在局部区域的疏密情况，改变器件中的电场分布。

以 p 型屏蔽层之间的间距 L_s 为例，当间距减小时，两侧电容的宽度 L_{sp} 增大，中间电容的宽度 L_s 减小，因此两侧电容增大，中间电容减小，相同偏压下，两侧电容上级版中的负电荷量增加，中间电容负电荷量减小。此消彼长下，漂移层耗尽区中正空间电荷发出的电场线在竞争中更多地被两侧屏蔽层中的负电荷终结，使得栅介质区域的电场线密度减少，栅介质电场大幅降低。

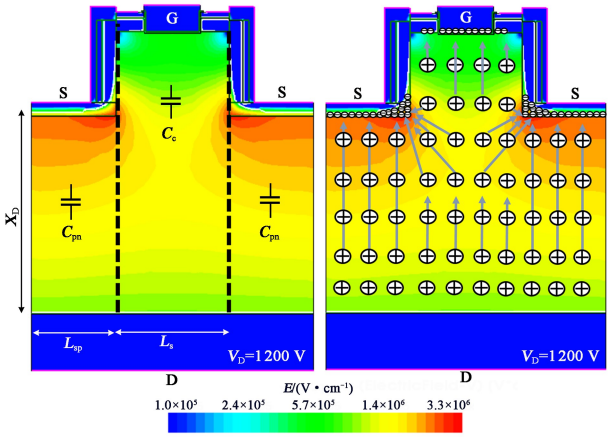
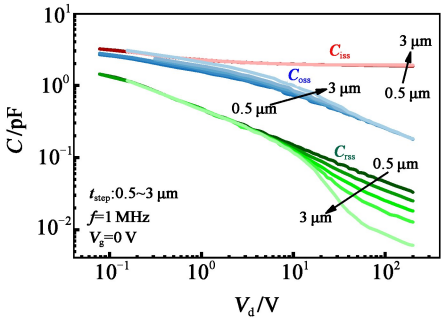


图 7　耗尽区结电容空间电荷竞争模型和电场线分布

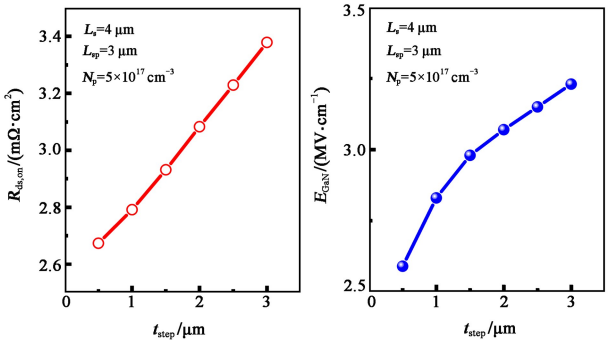
需要补充说明的是，所提出的耗尽区结电容空间电荷竞争模型具有一定局限性。它把耗尽区近似地划分为 3 个独立的平行板电容，然而实际中，一是负电荷不会像平行板电容一样均匀分布在表面，而是根据电磁原理在空间上有一定分布；二是电容之间会相互影响，并非独立，如连接两侧和中间电容的横向侧壁 p-GaN 耗尽区结电容并没有被充分考虑。但这个模型的优点是可以通过 p 型屏蔽层中明显的负电荷量变化及其对电场线的竞争现象，使得结构参数对器件电场分布的影响规律更容易被定性理解。

虽然栅介质电场 p 型屏蔽层的设计有利于降低栅介质电场，提升栅介质的可靠性，但与此同时也会对器件的电容、导通电阻以及 GaN 最大电场产生影

响，从而影响器件的性能。如图 8 所示，以 p 型屏蔽层的深度 t_{step} 为例，深度的增加会增大器件的输入输出电容、导通电阻以及 GaN 最大电场，从而使得器件的开关速度变慢、导通损耗增加、耐压特性降低。因此，在设计结构参数时需综合考虑器件的性能和可靠性之间的关系，做出权衡。



（a）电容



（b）导通电阻　　（c）GaN 最大电场

图 8　p 型屏蔽层深度对器件特性的影响

综上所述，为了使新结构器件既具有高耐压特性，同时又能保证栅介质的长期可靠性，最优的情况是当 p 型屏蔽层拐角处的 GaN 最大电场达到临界击穿电场 3.3 MV/cm 时，栅介质的最大电场刚好为 Al_2O_3 的可靠性要求电场 0.8 MV/cm。当栅介质电场 p 型屏蔽层的间距为 4.4 μm、宽度为 3 μm、深度为 3 μm，掺杂浓度为 5×10^{17} cm^{-3} 时恰好满足要求，器件具有 1 200 V 击穿电压和 3.19 mΩ·cm^2 比导通电阻。该新型 GaN 纵向槽栅结构 MOSFET 通过牺牲一定的器件性能，在保证具有较高耐压、较低比导通电阻的同时，在栅介质长期可靠性方面具有显著的优势。

3　总结

本文针对 GaN 纵向槽栅结构 MOSFET 在关态耐压下的栅介质可靠性问题，提出了一种基于选择区域外延技术制备的、具有栅介质电场屏蔽作用的新型 GaN 纵向槽栅结构 MOSFET，可避免使用不成熟的 GaN p 型离子注入以及干法刻蚀对 MOS 界面造成的晶格损伤。通过 TCAD 仿真和模型研究分析了 p 型屏蔽层的结构参数对器件性能和可靠性的影响及其机理，获得了击穿电压为 1 200 V 且具有栅介质长期可靠性的器件。纵向型 GaN 功率器件是未来 GaN 功率电子器件能力提升的必由之路，本文新结构工艺的设计对于纵向结构 GaN 功率电子器件的发展具有重要的科学意义和实用价值。

参考文献：

[1] Xing H L, Green D S, Yu H J, et al. Memory effect and redistribution of Mg into sequentially regrown GaN layer by metalorganic chemical vapor deposition[J]. Jap. J. of Appl. Phys., 2003, 42(1): 50-53.

[2] Otake H, Chikamatsu K, Yamaguchi A, et al. Vertical GaN-based trench gate metal oxide semiconductor field-effect transistors on GaN bulk substrates[J]. Appl. Phys. Express, 2008, 1(1): 155-162.

[3] Gupta C, Lund C, Chan S H, et al. In situ oxide, GaN interlayer-based vertical trench MOSFET (OG-FET) on bulk GaN substrates[J]. IEEE Electron Device Lett., 2017, 38(3): 353-355.

[4] Sun M, Zhang Y, Gao X, et al. High-performance GaN vertical fin power transistors on bulk GaN substrates[J]. IEEE Electron Device Lett., 2017, 38(4): 509-512.

[5] Gupta C, Chan S H, Pasayat S S, et al. Reverse breakdown studies of GaN MOSCAPs and their implications in vertical GaN power devices[J]. J. of Appl. Phys., 2019, 125(12):.

[6] Nakamura T, Nakano Y. High performance SiC trench devices with ultra-low RON[C]// 2011 Inter. Electron Devices Meeting, 2011.

[7] Harada M K T K. Determination of optimum structure of 4H-SiC trench MOSFET[C]// 2012 24th Inter. Symp. on Power Semiconductor Devices & ICs, 2012: 253-256.

[8] Lagger P, Ostermaier C, Pobegen G, et al. Towards understanding the origin of threshold voltage instability of AlGaN/GaN MIS-HEMTs[C]// IEEE 2012 Inter. Electron Devices Meeting, 2013.

[9] 何　亮，刘　扬. 第三代半导体 GaN 功率开关器件的发展现状及面临的挑战[J]. 电源学报，2016，14(4)：1-13.
He Liang, Liu Yang. Recent progress and challenges of GaN-based power electronic devices[J]. J. of Power Supply, 2016, 14(4): 1-13.

[10] Kojima T, Harada S, Kobayashi Y, et al. Self-aligned formation of the trench bottom shielding region in 4H-SiC UMOSFET[C]// 2015 Inter. Conf. on Solid State Devices and Materials, 2015.

[11] Vechten J A V, Zook J D, Horning R D, et al. Defeating

compensation in wide gap semiconductors by growing in *H* that is removed by low temperature de-ionizing radiation[J]. Jap. J. of Appl. Phys., 1992, 31(11): 3662-3663.

[12] Feigelson B N, Anderson T J, Abraham M, et al. Multicycle rapid thermal annealing technique and its application for the electrical activation of Mg implanted in GaN[J]. J. of Crystal Growth, 2012, 350(1): 21-26.

[13] Greenlee J D, Feigelson B N, Anderson T J, et al. Symmetric multicycle rapid thermal annealing: Enhanced activation of implanted dopants in GaN[J]. Ecs J. of Solid State Science and Technol., 2015, 4(9): 382-386.

[14] Zhang Y, Sun M, Liu Z, et al. Trench formation and corner rounding in vertical GaN power devices[J]. Appl. Phys. Lett., 2017, 110(19): 2224.

[15] Chen F, Tang W X, Yu G H, et al. Effect of U-shape trench etching process on electrical properties of GaN vertical trench metal-oxide-semiconductor field-effect transistor[J]. Acta Physica Sinica, 2020, 69(9): 098501.

[16] Zhang J, He L, Li L, et al. High-mobility normally off Al_2O_3/AlGaN/GaN MISFET with damage-free recessed-gate structure[J]. IEEE Electron Device Lett., 2018, 39: 1720-1723.

[17] Zheng Y, Yang F, He L, et al. Selective area growth: A promising way for recessed gate GaN MOSFET with high quality MOS interface[J]. IEEE Electron Device Lett., 2016, 37(9): 1193-1196.

[18] Tadjer M J, Feigelson B N, Greenlee J D, et al. Selective p-type doping of GaN : Si by Mg ion implantation and multicycle rapid thermal annealing[J]. Ecs J. of Solid State Science and Technol., 2016, 5(2): 124-127.

[19] Limpijumnong S, Van de Walle C G. Stability, diffusivity, and vibrational properties of monatomic and molecular hydrogen in wurtzite GaN[J]. Physical Rev. B, 2003, 68(23): 235203.

[20] Su P Y, Liu H, Yang C, et al. Lateral and vertical growth of Mg-doped GaN on trench-patterned GaN films[J]. Appl. Phys. Lett., 2020, 117(10): 102110.

[21] Liu H, Fu H, Fu K, et al. Non-uniform Mg distribution in GaN epilayers grown on mesa structures for applications in GaN power electronics[J]. Appl. Phys. Lett., 2019, 114(8): 082102.

[22] Yang C, Fu H, Kumar V N, et al. GaN vertical-channel junction field-effect transistors with regrown p-GaN by MOCVD[J]. IEEE Trans. on Electron Devices, 2020, 67(10): 3972-3977.

作者简介：

黎城朗(1996—)，男，广东省中山市人，硕士研究生，主要研究方向为GaN功率器件；

刘　扬(1969—)，男，吉林省长春市人，博士，教授，博士生导师，主要研究方向为宽禁带半导体材料与器件。