光电器件

DOI：10.16818/j.issn1001－5868.2022031402

碳化硅 MOSFET 电学参数的电容-电阻法评估

杨 霏[1]，田丽欣[1]，申占伟[2*]，张文婷[1]，孙国胜[2]，魏晓光[1]

（1. 先进输电技术国家重点实验室(国网智能电网研究院有限公司)，北京 昌平 102209；
2. 中国科学院半导体研究所 半导体材料科学重点实验室，北京 100083）

摘 要： 阈值电压、栅内阻、栅电容是碳化硅(SiC)金属氧化物半导体场效应晶体管(MOSFET)的重要电学参数，但受限于器件寄生电阻、栅介质界面态等因素，其提取过程较为复杂且容易衍生不准确性。文章通过器件建模和实验测试，揭示了 MOSFET 的栅电容非线性特征，构建了电容-电阻串联电路测试方法，研究了 SiC MOSFET 的栅内阻和阈值电压特性。分别获得栅极阻抗和栅源电压、栅极电容和栅源电压的变化规律，得到栅压为－10 V 时的栅内阻与目标值误差小于 0.5 Ω，以及串联电容相对栅源电压变化最大时的电压近似为器件阈值电压。相关结果与固定电流法作比较，并分别在 SiC 平面栅和沟槽栅 MOSFET 中得到验证。因此，该种电容-电阻法为 SiC MOSFET 器件所面临的阈值电压漂移、栅极开关振荡现象提供较为便捷的评估和预测手段。

关键词： 碳化硅；金属氧化物半导体场效应晶体管；阈值电压；栅内阻；小信号模型

中图分类号： TN386 **文章编号：** 1001－5868(2022)04－0770－07

Evaluation of the Electrical Parameters of SiC MOSFET by Capacitance-Resistance Method

YANG Fei[1], TIAN Lixin[1], SHEN Zhanwei[2], ZHANG Wenting[1], SUN Guosheng[2], WEI Xiaoguang[1]

(1. State Key Laboratory of Advanced Power Transmission Technology, State Grid Smart Grid Research Institute Co., Ltd., Beijing 102209, CHN; 2. Key Laboratory of Semiconductor Material Sciences, Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100083, CHN)

Abstract: The threshold voltage, gate internal resistance, and the gate capacitance are the key electrical parameters of silicon carbide (SiC) metal-oxide-semiconductor field-effect transistors (MOSFETs). However, the extraction process is complicated and prone to inaccuracies due to the limited factors such as the parasitic resistance, gate-dielectric interface state in the devices. Therefore, through device modeling and experimental testing, the nonlinear characteristics of gate capacitance of MOSFETs were revealed, and a capacitance-resistance series circuit test method was constructed. Then, the gate internal resistance and threshold voltage characteristics of SiC MOSFETs were studied. The variation law of gate impedance and gate-source voltage, gate capacitance and gate-source voltage were obtained separately in this paper, revealing that when at a gate voltage of －10 V, the error between the gate internal resistance and the target value was less than 0.5 Ω. Meanwhile, the voltage at the maximum variation of series capacitance with respect to the gate source voltage was approximated as the device threshold voltage. The results were compared with those attained by the constant current method, and verified in SiC planar-gate and trench-gate MOSFETs respectively. Therefore, this

收稿日期：2022－03－14.

基金项目：国家电网科技计划项目(5500-202058402A-0-0-00).

* **通信作者：**申占伟 **E-mail：**zwshen@semi.ac.cn

capacitance-resistance method provides a relatively convenient method for evaluating and predicting the characteristics of the threshold voltage drift and gate switching oscillations in SiC MOSFET.

Key words: SiC; MOSFET; threshold voltage; internal gate resistance; small-signal model

0　引言

在相同的击穿电压情况下，第三代半导体碳化硅(SiC)基器件的导通电阻只有传统硅(Si)器件的1/200，极大地降低了变换器的导通损耗[1-2]。因此，SiC 功率器件在高效节能方面扮演着极其重要的角色，可以满足未来电力系统对电力电子器件耐高压低功耗的需求。

近些年来，国内外对 SiC 基功率器件都做了大量研究，而且卓有成效地推动了 SiC 基功率器件研制和应用的高速发展[3]。其中，SiC 基金属氧化物半导体场效应晶体管(MOSFET)器件有了长足的发展并且在 2011 年实现了商品化，但是载流子迁移率仍然较低(典型值 30 cm^2/Vs)，比 SiC 体材料(1 000 cm^2/Vs)低两个数量级[4-6]。这是由于 SiC 基 MOSFET 器件的研制需要热氧化 SiC 表面获得栅氧化层。涉及 Si 和 C 两种元素的氧化反应容易在 SiO_2/SiC 界面形成界面陷阱。虽然当前 SiC 基功率器件正从二极管等简单器件向复合型的 MOSFET 器件发展，但解决 SiO_2/SiC 界面态问题一直是制约器件长期可靠性工作的关键技术挑战。界面态衍生的问题，包括阈值电压不稳定、动态开关引起栅极振荡及栅介质失效等，尤其引起人们的广泛关注[7]。

为了满足 SiC MOSFET 可靠性应用要求，需要对退化前性能进行正确的评估和推演，以设计高鲁棒性电路[8]。为此，人们通常会记录 SiC MOSFET 的转移特性(阈值电压)、栅电容、栅电荷特性，它们能够深刻地折射出器件动静态性能的退化[9]，并有利于开发准确的小信号电路模型。阈值电压(V_{TH})是用于建模和表征 SiC MOSFET 的重要参数，尤其是伴随着 SiC MOS 高密度界面态和迁移率退化的影响条件，提取器件阈值电压显得格外重要。有许多方法可以提取 SiC MOSFET 阈值电压，包括转移特性线性外推、固定电流法、电路建模等[10-12]。

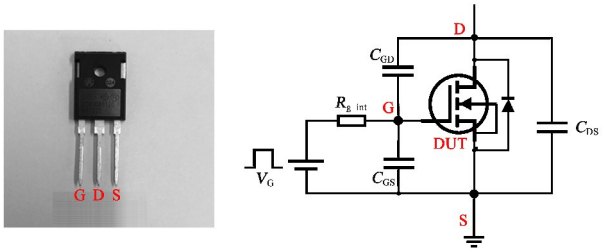
另一方面，SiC MOSFET 在高场应力、高频瞬态应力、高温环境等方面仍然缺乏进一步的实验验证和建模，寄生电感或者电容会造成输出特性的电磁干扰，并伴随着高开关频率、栅极振荡等问题给器件的栅介质造成负担，从而不利于 MOSFET 的长期稳定性工作[13]。因此，通过实验测试与建立器件模型，进而对影响其开关性能的栅电容、栅内阻提取方法展开研究是十分必要的。

本文将根据 SiC MOSFET 器件的栅电容实现小信号电路模型的构建，基于该模型的评估标准，可以根据任何电流水平的小信号特性来确定器件关键性能指标。因此，从电路应用的角度出发，对器件物理结构进行相关的构建和分析，该技术有望广泛应用于 SiC MOSFET 阈值电压和动态参数的提取，实现 SiC MOSFET 器件静态和动态性能退化的很好预测和判断。

1　SiC MOSFET 电学参数分析

1.1　实验方法

本文中，选用 TO-247 封装形式的 SiC MOSFET 为研究对象，如图 1(a)所示为 Wolfspeed 第二代双注入平面栅型 SiC MOSFET(SiC DMOSFET)(C2M0080120)，器件耐压等级为 1 200 V，导通电阻为 80 mΩ。采用安捷伦 B1505A 半导体参数分析仪测试表征器件静态和动态特性，具体参数设置将会在下文中陈述。图 1(b)为被测试的三端结构 SiC MOSFET 器件(DUT)的等效电路图，其中包括栅内阻 R_{g_int}，以及栅源电容 C_{GS}、栅漏电容 C_{GD} 和漏源电容 C_{DS}。SiC MOSFET 的开关过程正是对这些电容进行充放电完成的，因此它们对器件的开关损耗和开关时间起着关键作用，也对本文的测试结果分析提供了重要依据。



(a)　器件照片　　(b)　等效电路

图 1　TO-247 封装 SiC MOSFET 器件及其等效电路

1.2 栅电容

为了评估 SiC MOSFET 器件栅内阻、阈值电压等关键电学参数，有必要首先对 MOSFET 内部电容特性展开深入的理论建模研究，从而为基于小信号方法提取器件关键电学参数奠定基础。本文对 SiC DMOSFET 的器件电容建立相关的模型，通常用输入电容 C_{iss}、输出电容 C_{oss}、米勒电容 C_{rss} 来表征。其中 $C_{iss}=C_{GS}+C_{rss}$，$C_{oss}=C_{DS}+C_{rss}$，$C_{rss}=C_{GD}$[2]。根据图 2 所示的 SiC DMOSFET 器件内部结构，获得相关电容的解析表达式如下：

$$C_{GS}=C_{N^+}+C_{SM}+C_{GSS}=\frac{X_{PL}}{W_{CELL}}\left(\frac{\varepsilon_{OX}}{t_{OX}}\right)+\frac{W_G}{W_{CELL}}\left(\frac{\varepsilon_{OX}}{t_{IEOX}}\right)+C_P \tag{1}$$

$$C_{rss}=\frac{W_G-2X_{PL}}{2W_{CELL}}\left(\frac{C_{OX}C_{S,M}}{C_{OX}+C_{S,M}}\right) \tag{2}$$

$$C_{oss}=\left(\frac{W_{CELL}-W_G+2X_{PL}}{W_{CELL}}\right)\sqrt{\frac{qN_D}{2\varepsilon_s(V_{DS}+V_{bi})}} \tag{3}$$

其中，t_{OX} 为栅氧化层厚度，t_{IEOX} 为内绝缘层厚度，N_D 为漂移区掺杂浓度，V_{DS} 为漏源电压，V_{bi} 为 p 基区和漂移区之间的自建电势，W_G 为栅极宽度，W_{cell} 为元胞尺寸，X_{PL} 为 N^+ 源区和 P 型基区的横向结深。栅极和 N^+ 源区的交叠电容为 C_{N^+}，栅极和 P 型基区的交叠电容为 C_P，源电极和栅电极的交叠电容为 C_{SM}，栅氧化层与 JFET 区域的半导体耗尽层电容为 $C_{S,M}$，与漏电极和源电极相关联的输出电容为 C_O。在获得 Wolfspeed 1 200 V/80 mΩ SiC DMOSFET 芯片内部结构的基础上，针对电容特性进行实验和解析模型比较，其结果如图 3(a)所示。解析表达式中半导体电容如 $C_{S,M}$ 和 C_{oss} 与漏源电压直接负相关，即随着漏源电压的增大而减小。实际上 SiC 基 MOS 结构随着漏源电压的增大达到反型层时，反型层有效屏蔽了电场向半导体内部渗透，这就导致实际中的半导体电容在达到一定的漏源电压后基本不再变化。这就造成了 C_{oss} 和 C_{rss} 的解析解与实测结果在高漏源电压区域存在不一致现象。此外，阱区掺杂、外延掺杂等参数是根据经验估值计算而获得，因此这在一定程度上影响了栅电容解析解和测试结果的吻合度。从图中还可以看出，MOSFET 的栅漏传输电容和输出电容具有非线性特征，随着漏源电压的增大而逐渐减小，这说明栅极和漏极之间存在着较强的耦合作用，因此在建立器件开关损耗的解析模型时需要重点考虑。

图 3(b)所示为 C_P 和 C_{GD} 随栅源电压变化的模型曲线，两者之和总电容 SUM 随着栅源电压的变化呈现 U 型变化趋势(将在下文进一步解释)。上述针对 SiC MOSFET 的栅电容与漏源电压和栅源电压依赖关系的模拟计算，尤其是结合器件元胞结构对器件栅极和 SiC 有源区各个部分的交叠电容进行建模，有助于理解 SiC MOSFET 的栅电容特性。图 2 器件元胞结构中各个区域的特征电容为后来提取 SiC MOSFET 器件栅内阻、阈值电压提供了相关理论依据，从而能够基于器件物理模型和物理意义定性地分析交流小信号测量值的变化规律。

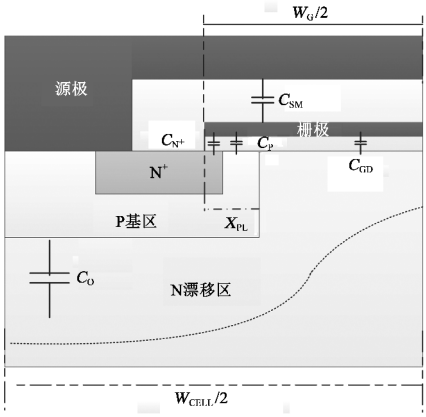
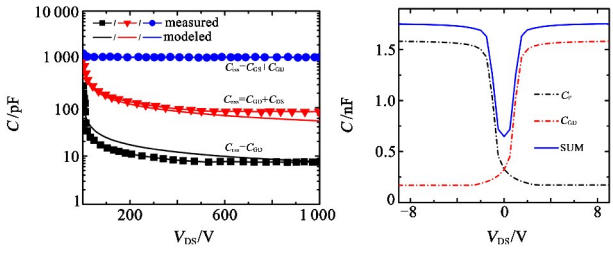


图 2 SiC DMOSFET 器件电容示意图



(a) 漏源电压 (b) 栅源电压

图 3 SiC MOSFET 的电容与漏源电压和栅源电压的关系

1.3 阈值电压

正如前文所提，典型的阈值电压提取方法包括外推转移特性曲线的线性区与 x 轴的交点，其中转移特性是通过扫描栅源电压获得漏极电流的曲线。类似地，也可以通过外推跨导曲线获得 MOSFET 器件的阈值。目前较为方便可行的是通过恒定电流法，即通过已知的沟道宽长比 $r=W/L$ 和固定的漏源电流做判断(例如，阈值漏电流 $I_{TH}=100\ \text{nA}\cdot r$)，然而这种方法过度依赖于器件沟道长度和宽度，因此需要额外的芯片测试单元和测试步骤。在 SiC MOSFET 器件产业界，也利用另一种固定电流法

(CC)来提取阈值电压。通常也是通过短接漏极和栅极，且扫描栅源电压使得漏极电流达到固定值时的电压定义为阈值电压。然而，源漏寄生的接触电阻将影响所谓的目标漏极电流，尤其是当 SiC MOS 界面存在大量的界面态时，界面陷阱抑制了载流子迁移率进而影响着漏源电流的实际大小。

图 4 所示为 Wolfspeed 1 200 V/80 mΩ SiC DMOSFET 器件的阈值电压测试曲线。由图可知，当漏源电流为 5 mA 时的栅源电压为 1.95 V，即为阈值电压 V_{TH}。与 C2M0080120 产品手册中的数值基本很接近(2.0 V＜V_{TH}＜4.0 V，测试条件为 $V_{DS}=V_{GS}$，$I_D=5$ mA)，其差别可能源自于不同批次器件的测试结果或者测试设备的测量误差。

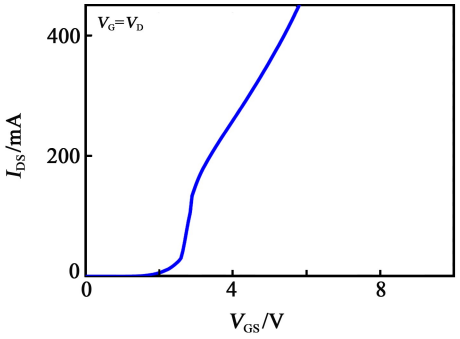


图 4　Wolfspeed SiC DMOSFET 阈值特性测试曲线

2　基于 C_S-R_S 提取电学参数

2.1　基于 C_S-R_S 提取栅内阻

这里首先需要定义阻抗 Z 这一参数，阻抗通常定义为器件或电路在给定频率下对某一交流信号所表现出的总阻力，是用于表征电子器件、电子电路的重要参数。一个阻抗矢量包括实部电阻 R 和虚部电抗 X，即串联阻抗 $Z=R+jX$。1.1 和 1.2 节介绍了 SiC MOSFET 器件的等效电路及相关电容的物理模型，因此，SiC MOSFET 器件的电学参数可以用电路阻抗特性来反映。采用 B1505A 测试设备基本上可以测量待测器件阻抗的实部和虚部，从中计算出各种阻抗参数，从而基于串联或者并联模式，获得所需器件等效电路模型的测量参数值。

器件串联等效电路模型并不能在较为宽泛的频率范围内准确描述元器件的阻抗特性，因为器件各个节点中的寄生效应会对阻抗产生频率依赖性。尤其是，在串联 C_S-R_S 等效电路模型方面，频率响应的不同归因于有效电容的变化。在此基础上，结合 SiC MOSFET 的栅内阻和栅电容特性，可以获得等效的串联 C_S-R_S 电路模型，进而通过扫描不同栅源电压下的交流小信号得到器件的 R_S-V_{GS} 和 C_S-V_{GS} 特性曲线。

阈值电压是 SiC MOSFET 开关过程中的一个重要参数，在器件串联 C_S-R_S 等效电路中也可以作为关键参考点。当栅源电压 V_{GS} 大于阈值电压 V_{TH} 器件处于开启状态时，导通电阻通常为毫欧姆量级，此时的小信号等效电路如图 5 所示。栅极和 P 型基区的交叠电容 C_P 随着栅源电压的变化而变化，SiC/SiO_2 界面态密度进一步影响着 C_P 的大小。此时在 C_S-R_S 模式下，器件等效为 $R_{g_int}+C_{P+}+C_{GD+}+C_{GSS+}$。

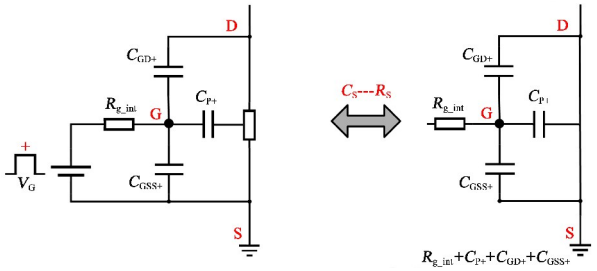


图 5　SiC MOSFET 开启时的串联 C_S-R_S 等效电路

当栅源电压 V_{GS} 小于阈值电压 V_{TH} 器件处于关断时，导通电阻近似为无穷大。由于 V_{GS} 为负值，栅极和 N 型基区的交叠电容则处于耗尽区，产生的耗尽层电容较小，而栅极和 P 型基区的交叠电容 C_P 处于积累区，对总电容贡献比例上升。同时，靠近源区的寄生电阻通常为毫欧姆量级，可以忽略不计。此时的小信号等效电路如图 6 所示。因此在 C_S-R_S 模式下，器件等效为 $R_{g_int}+C_{P-}+C_{GD-}+C_{GSS-}$，由此获得的实部信号等效于栅内阻 R_{g_int}。

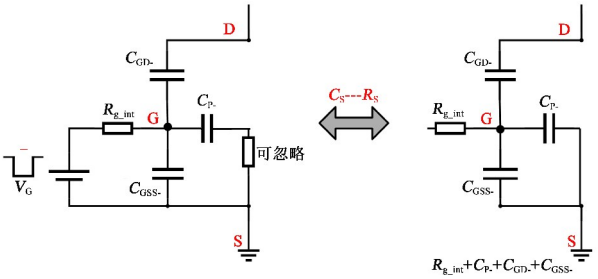


图 6　SiC MOSFET 关断时的串联 C_S-R_S 等效电路

图 7 是基于 B1505A 测试获得的 Wolfspeed SiC DMOSFET 的 R_S-V_{GS} 特性曲线。其中，栅源电压在−10 V～+10 V 变化，交流小信号幅值设置为 30 mV，高低电平分别接栅极和源极，漏极和源极短接，同时被测器件的测试频率分别为 100，500 kHz

和 1 MHz。获得栅源电压为－10 V 时的阻抗 R 值为 3.5 Ω，与 C2M0080120 产品的 datasheet 中 R_{g_int} 数值(3.9 Ω)相比误差小于 0.5 Ω。从图中可以看到，在不同的频率下 R_S-V_{GS} 曲线表现出差异性，一方面由于 MOSFET 栅电容和界面态电容都受到频率的影响而发生漂移。另一方面，测试器件的阻抗 Z 为

$$Z = R_{g_int} + \mathrm{j}\frac{1}{2\pi\omega C_T} \tag{4}$$

其中，ω 为测试频率，C_T 为总串联电容。根据等式可知被测器件的串联阻抗在 R-C 电路中要受到频率 ω 和电容 C_T 的耦合影响而展现出不同的频率和谐振特性。同时，为了尽可能准确地评估栅内阻特性，需要尽可能高的器件测试频率或者尽可能大的总串联电容，从而降低容抗对栅内阻的干扰。这也是选择足够负的栅压下和频率为 1 MHz 来提取器件栅内阻特性的原因之一。

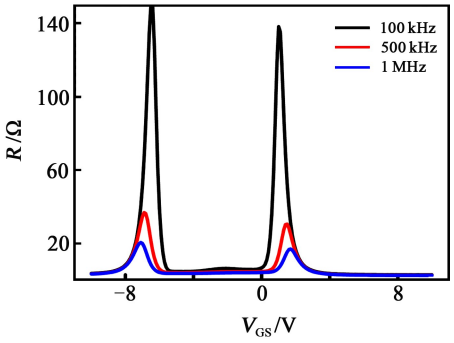


图 7 Wolfspeed SiC DMOSFET 的 R_S-V_{GS} 测试曲线

2.2 基于 C_S-R_S 提取阈值电压

MOS 结构的电容-电压(C-V)特性是评估器件平带电压和电荷的重要依据。由图 2 可知，SiC MOSFET 元胞结构的每个特征电容构成了器件小信号等效电路模型。在一定程度上，基于 C_S-R_S 测得的 C_S-V_{GS} 特性曲线能够反映出 SiC MOSFET 器件的沟道阈值电压特性。

图 8 是基于 B1505A 测试获得的 Wolfspeed SiC DMOSFET C_S-V_{GS} 特性曲线。由图 2，5 和 6 可知，C_{N^+}，C_P 和 C_{GD} 的变化影响着 C_S 的变化，且相比较下，C_P 和 C_{GD} 占比稍高。当栅源电压 V_{GS} 为较大的负值(绝对值大)时，栅极和 N^+ 源区的交叠电容 C_{N^+} 以及栅极和漏极的交叠电容 C_{GD} 均处于耗尽状态，而栅极和 P 型基区的交叠电容 C_P 则处于积累状态，见图 3(b)。由于三者均具有相同的氧化层厚度，积累电容接近于氧化层电容，耗尽层电容相比于积累电容而言可忽略。因此，测得的 C_S 具有高值。类似地，当栅源电压 V_{GS} 为较大的正值(绝对值大)时，栅极和 N^+ 源区的交叠电容 C_{N^+} 以及栅极和漏极的交叠电容 C_{GD^+} 均处于积累状态，而栅极和 P 型基区的交叠电容 C_P 则处于耗尽状态，见图 3(b)。此时，测得的 C_S 同样具有高值。当栅源电压 V_{GS} 位于两者之间的区域时，可以定性地认为 C_S 具有折中特点。

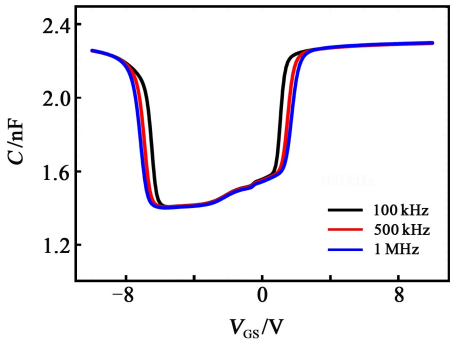


图 8 Wolfspeed SiC DMOSFET 的 C_S-V_{GS} 测试曲线

很明显，C_P 由积累转为耗尽再到弱反型、强反型体现在 $V_{GS}>0$ 区域，此时 C_{GD} 与氧化层电容较为接近(积累区域)，因而对电容变化率影响较小。而这个范围正是提取 SiC MOSFET 阈值电压的重要区域。对于 MOS 结构来讲，耗尽层电容为半导体一侧电荷对表面势的微分，即：

$$C_D = \mathrm{d}Q_s/\mathrm{d}\varphi_s \tag{5}$$

栅极和 P 型基区交叠电容 C_P 的变化依赖于半导体表面附近的电子浓度的变化。强反型时，反型层内的电荷密度随能带弯曲的变化率最大，等效地认为强反型时的电荷密度随栅电压变化的变化率最大。假设此时的反型层电荷密度为 Q_{invS}，则阈值电压近似为

$$V_{TH} = f^{-1}(V)\Big|_{f=\max\left(\frac{\mathrm{d}^2Q_s}{\mathrm{d}V^2}\right),\,Q_s=Q_{invS}} \tag{6}$$

由式(5)得到下式：

$$\frac{\mathrm{d}^2Q_s}{\mathrm{d}V^2} = \frac{\mathrm{d}\left(\frac{\mathrm{d}Q_s}{\mathrm{d}V}\right)}{\mathrm{d}V} \propto \frac{\mathrm{d}C_p}{\mathrm{d}V} \tag{7}$$

因此，结合式(5)，(6)和(7)可知阈值电压 V_{TH} 近似为 $C'_S(V_{GS})$最大值时的栅源电压。

基于此，对图 8 的 C_S-V_{GS} 曲线(频率为 1 MHz)求导获得图 9 所示的曲线。在 $V_{GS}>0$ 区域，由曲线得到峰值位置近似为 $V_{TH}=1.7$ V。这一结果与前述恒定电流法所得的数值相比误差为 0.25 V。

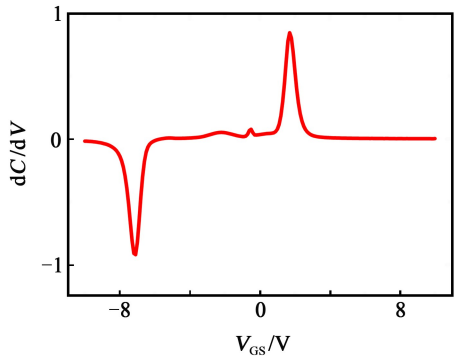


图 9　Wolfspeed SiC DMOSFET $C'_S(V_{GS})$曲线

2.3　基于 SiC 沟槽栅 MOSFET 器件的测试结果验证

为了验证前述的研究思路，本文针对 SiC 沟槽栅 MOSFET(UMOSFET)开展相关测试研究工作，并对结果进行验证，器件耐压等级为 1 200 V，导通电阻为 30 mΩ。图 10 所示为 Infineon SiC UMOSFET 器件的阈值电压测试曲线。当漏源电流为 10 mA 时，栅源电压约为 3.7 V，即为阈值电压 V_{TH}。其值在 IMW120R030M1H 产品手册中的数值范围之内(3.5 V$<V_{TH}<$5.7 V，测试条件为 $V_{DS}=V_{GS}$，$I_D=$10 mA)。

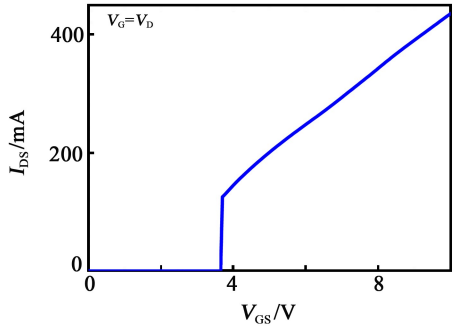


图 10　Infineon SiC UMOSFET 阈值特性测试曲线

图 11 是基于 B1505A 测试获得的 Infineon SiC UMOSFET 的 R_S-V_{GS} 特性曲线。测试频率分别为 100，500 kHz 和 1 MHz。获得栅源电压为−10 V 时的内阻 R 值为 3.5 Ω，与 IMW120R030M1H 产品手册中的 R_{g_int}(3.0 Ω)相比误差为 0.5 Ω。

图 12 是测试获得的 Infineon SiC UMOSFET C_S-V_{GS} 特性曲线。由于 Infineon SiC UMOSFET 具有独特的半包屏蔽层沟槽结构，其表现出的 C_S-V_{GS} 特性与 DMOSFET 不同[14]，但同样受到频率的影响而展现出频移特性。

最后，对图 12 中频率为 1 MHz 的 C_S-V_{GS} 曲线求导获得图 13 所示的曲线。在 $V_{GS}>0$ 区域，得到峰值位置为 $V_{GS}=4.0$ V。结合式(5)，(6)和(7)可知这一值近似等效为阈值电压 V_{TH}。这一结果与前述恒定电流法所得的数值相比误差为 0.3 V，从而验证了前述方法的可行性。

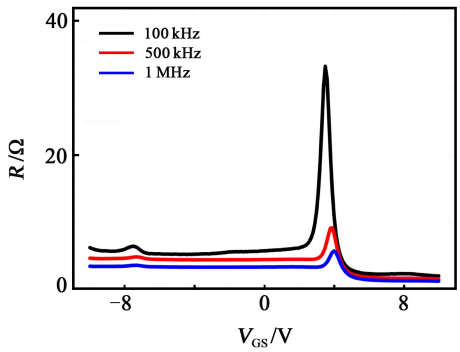


图 11　Infineon SiC UMOSFET 的 R_S-V_{GS} 测试曲线

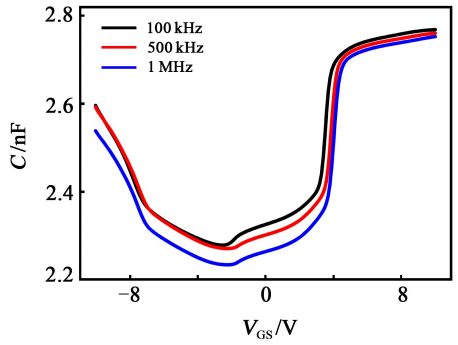


图 12　Infineon SiC UMOSFET C_S-V_{GS} 测试曲线

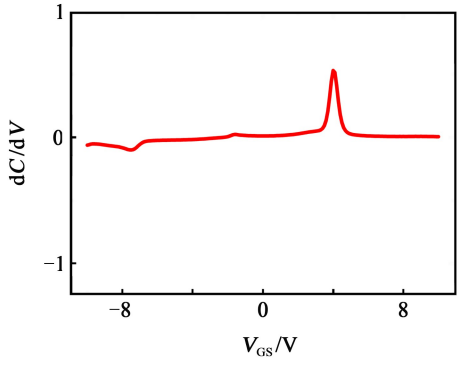


图 13　Infineon SiC UMOSFET 的 C'_S-V_{GS} 曲线

表 1 汇总了 SiC DMOSFET 和 UMOSFET 的测试结果。后者与前者相比具有较高的阈值电压，从而有利于提高电路的安全工作范围。整体上，基于器件串联 C_S-R_S 等效电路获得的阈值电压和栅内阻与传统方法具有一定的吻合度。其优点是基于

表 1　SiC MOSFET 电参数测试结果比较

电参数	SiC DMOSFET		SiC UMOSFET	
	Datasheet	测试值	Datasheet	测试值
V_{TH}/V	(2　4)	1.95	(3.5　5.7)	3.7
R_{g_int}/Ω	3.9	3.5	3.0	3.5
$V_{TH}(C_S$-$R_S)$/V	/	1.7	/	4.0

C_S-R_S 模式，仅通过一次扫描栅源电压可分别获得栅内阻、阈值电压、栅电容等关键静态和动态电学参数，因此可用于器件高温、高频开关过程中栅介质可靠性的评估和预测。

3 结论

本文以 SiC MOSFET 器件的电容和电阻特性为基础，采用动态测试方法提取器件的阈值电压和栅内阻关键参数。首先对 SiC MOSFET 内部电容特性展开深入的器件物理建模，获得与测试结果变化趋势基本吻合的解析模型。在此基础上，基于器件 C_S-R_S 串联等效电路模型得到栅内阻特性，其中 SiC DMOSFET 和 UMOSFET 的栅内阻与 datasheet 数值误差均在 0.5 Ω 以内。其次，基于 C_S-R_S 模型揭示了栅电容的变化特点，并由此判断正栅压下电容-电压的斜率最大值位置近似等效为 V_{TH}，获得并验证 V_{TH} 与固定电流法的数值较为吻合。以上研究方法能较为简便地同时获取 SiC MOSFET 的关键静态和动态电学参数，从而为预测和评估器件的使用寿命提供重要的理论和实验依据。

参考文献：

[1] Kimoto T, Cooper J A. Fundamentals of Silicon Carbide Technology: Growth, Characterization, Devices and Applications[M]. New York: John Wiley & Sons, 2014.

[2] Baliga B J. Silicon Carbide Power Devices [M]. World Scientific, 2006.

[3] 盛 况，任 娜，徐弘毅. 碳化硅功率器件技术综述与展望[J]. 中国电机工程学报，2020，40(6)：1741-1753.
Sheng Kuang, Ren Na, Xu Hongyi. A recent review on silicon carbide power devices technology[J]. Proc. CSEE, 2020, 40(6): 1741-1753.

[4] Shen Z, Zhang F, Chen J, et al. Effects of annealing on the interfacial properties and energy-band alignment of AlN dielectric on 4H-SiC[J]. Appl. Phys. Lett., 2020, 117(10): 102105.

[5] Haney S K, Misra V, Lichtenwalner D J, et al. Investigation of nitrided atomic-layer-deposited oxides in 4H-SiC capacitors and MOSFETs[C]// Materials Science Forum, 2013, 740: 707-710.

[6] Shen Z W, Zhang F, Dimitrijev S, et al. Comparative study of electrical characteristics for n-type 4H-SiC planar and trench MOS capacitors annealed in ambient NO[J]. Chinese Phy. B, 2017, 26(10): 107101.

[7] Cabello M, Soler V, Rius G, et al. Advanced processing for mobility improvement in 4H-SiC MOSFETs: A review[J]. Materials Science in Semiconductor Proc., 2018, 78: 22-31.

[8] Schlünder C. Device reliability challenges for modern semiconductor circuit design-A review[J]. Advances in Radio Science, 2009, 7(3): 201-211.

[9] Ullmann B, Puschkarsky K, Waltl M, et al. Evaluation of advanced MOSFET threshold voltage drift measurement techniques [J]. IEEE Trans. on Device and Materials Reliability, 2019, 19(2): 358-362.

[10] Ortiz-Conde A, Sánchez F J G, Liou J J, et al. A review of recent MOSFET threshold voltage extraction methods[J]. Microelectronics Reliability, 2002, 42(4/5): 583-596.

[11] Jouha W, El Oualkadi A, Dherbécourt P, et al. A new extraction method of SiC power MOSFET threshold voltage using a physical approach [C]// 2017 Inter. Conf. on Electrical and Information Technologies, 2017: 1-6.

[12] Bucher M, Makris N, Chevas L. Generalized constant current method for determining MOSFET threshold voltage [J]. IEEE Trans. on Electron Devices, 2020, 67(11): 4559-4562.

[13] Shen Z, Zhang F, Yan G, et al. High-frequency switching properties and low oxide electric field and energy loss in a reverse-channel 4H-SiC UMOSFET[J]. IEEE Trans. on Electron Devices, 2020, 67(10): 4046-4053.

[14] Siemieniec R, Peters D, Esteve R, et al. A SiC trench MOSFET concept offering improved channel mobility and high reliability[C]// 2017 19th European Conf. on Power Electronics and Applications, 2017: 1-13.

作者简介：

杨 霏(1977—)，男，博士，教授级高工，从事碳化硅材料及电力电子器件研制工作；

申占伟(1989—)，男，博士，助理研究员，从事碳化硅功率器件设计、关键工艺及器件应用研究。