光电器件

DOI：10.16818/j.issn1001－5868.2022040902

一种应用于 CMOS 图像传感器的列级高精度 ADC 设计

张为森，马艳华*，曲　杨，常玉春

（大连理工大学 微电子学院，辽宁 大连 116000）

摘　要： 针对 CMOS 图像传感器高精度和低功耗的需求，设计了一种 14 位列级模数转换器（ADC）。在传统斜坡式模数转换器（RAMP ADC）架构基础上，采用了 3 位逐次逼近型模数转换器（SAR ADC）与 11 位 RAMP ADC 相结合的两步式结构，有效缩短了量化时间。RAMP ADC 部分采用高低时钟的计数方法，可显著降低计数区间内的功耗。同时，提出了 RAMP-SAR-RAMP 切换的相关双采样逻辑，可进一步减少静态随机存取存储器（SRAM）数量，从而缩小版图面积。采用 0.18 μm 标准 CMOS 工艺进行仿真，结果表明：在 600 MHz 时钟、单沿计数的工作模式下，ADC 量化时间为 9.32 μs，在 1.8 V 数字电源电压下，计数区间内功耗均值为 8.51 μW。

关键词： SAR/RAMP ADC；两步式；高精度；量化时间；CMOS 图像传感器

中图分类号： TN47　**文章编号：** 1001－5868(2022)05－0867－06

A Column-level High Resolution ADC Design for CMOS Image Sensor

ZHANG Weisen, MA Yanhua, QU Yang, CHANG Yuchun

(School of Microelectronics, Dalian University of Technology, Dalian 116600, CHN)

Abstract: Aiming at the requirements of high precision and low power consumption for CMOS image sensor, a 14 bit column-level ADC was proposed. Based on the architecture of RAMP ADC, the two-step structure composed of 3-bit SAR ADC and 11-bit RAMP ADC was adopted, which reduced the quantization time effectively. In the module of RAMP ADC, the high-low clock counting method was employed to reduce the power consumption in the counting part. The correlated double sampling logic of RAMP-SAR-RAMP switch was proposed, which could decrease the number of SRAM and further reduce the layout area. Simulation results based on the 0.18 μm standard CMOS process show that under the working mode of 600 MHz clock and single edge counting, the quantization time of ADC is 9.32 μs, and the average power consumption in the counting part is 8.51 μW under the 1.8 V digital power supply.

Key words: SAR/RAMP ADC; two-step; high resolution; quantization time; CMOS image sensor

0　引言

随着 CMOS 图像传感器（CIS）的飞速发展，其广泛应用于移动设备、工业生产及航空航天等领域。为了进一步提升图像质量及传感器性能，CMOS 图像传感器需要具有高精度、高速、低功耗等特性，模数转换器（ADC）对上述指标起到了关键作用[1-4]。

列级 ADC 是目前 CIS 中使用的主流 ADC 架构，即在每列像素下方的读出电路中放置一列 ADC，从而使 CIS 在速度、功耗和设计难度等方面达到较好的平衡。列级 ADC 主要包括 Σ-Δ 型、流水线型、列并行循环型、逐次逼近式（SAR）和斜坡式（RAMP）等[5-8]。其中，RAMP ADC 结构简单，可以实现列间均一性的有效控制，相比其他类型 ADC 具有更小的面积，因此更适用于面积相对狭窄的列级电路中。如图 1 所示，传统 RAMP ADC 将像素

收稿日期：2022－04－09.

基金项目：国家重点研发计划项目（2019YFB2204101）；工信部产业技术基础公共服务平台项目（CEIEC-2020-ZM02-0093/4）.

* 通信作者：马艳华　E-mail：mayanhua@dlut.edu.cn

复位电压和像素信号电压分别与斜坡进行比较，得到计数区间。计数器依据时钟的累积得到最终量化结果。然而，对于 n 位 RAMP ADC，量化像素信号电压阶段至少需要 2^n-1 个时钟，且随着 ADC 精度的提高，在量化时间成倍增长的同时也会带来功耗的提升。

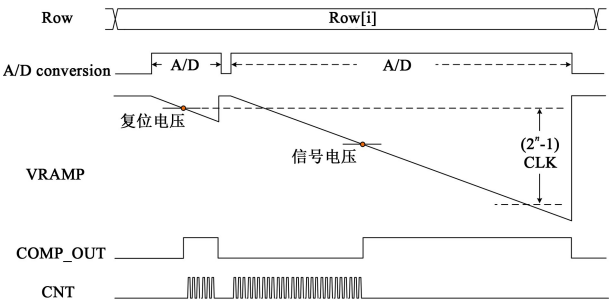


图 1 传统 RAMP ADC 时序

针对 RAMP ADC 量化时间长、功耗较高的问题，国内外研究人员陆续开展了相应研究。马成等[9-10]提出的双时钟 RAMP ADC，减小了 RAMP ADC 所需的功耗，但量化时间与传统 RAMP ADC 相同。Kim[11]和 Hwang 等[4]提出了两步 RAMP ADC，首先确定被测电压范围，然后通过改变斜坡起始电压或采用多斜坡发生器进行细量化，从而缩短量化时间。但是前者对斜坡发生器的设计要求较高，而多斜坡发生器易由于斜坡发生器之间斜率的失配而导致线性度降低，且功耗较高。Kim[12]和 Tang[2]提出的 SAR/RAMP ADC，可以缩短 ADC 的量化时间，但是模数转换器(DAC)电容阵列在列间难以匹配，且此种方法需要分别量化像素复位电压与像素信号电压，从而需要更多的静态随机存取存储器(SRAM)来存储两组信息，导致版图面积进一步增加。

本文针对 RAMP ADC 在量化时间和功耗方面存在的问题，提出了一种 14 位高精度列级 ADC 设计方法。将 SAR ADC 与双时钟 RAMP ADC 相结合，提高转化速度并降低功耗。同时，通过两种 ADC 的两次切换完成相关双采样(CDS)操作，无需对像素复位电压与像素信号电压进行两次独立的量化，节省了 SRAM 数量，从而减小版图面积[9-15]。

1 电路设计及分析

1.1 电路结构

本文设计的 14 位列级 ADC 的结构如图 2 所示。采样保持电路、DAC 阵列、比较器、锁存器 Latch 与控制 DAC 下极板开关的 Logic 模块构成 SAR ADC；采样保持电路、斜坡产生电路、比较器、控制计数器的逻辑模块 ADC Logic、计数器模块 Counter 及 SRAM 构成 RAMP ADC。两种 ADC 共用一个比较器。14 位列级 ADC 的高 3 位采用 SAR ADC 提升速度，其余 11 位采用双时钟计数的 RAMP ADC 降低功耗。

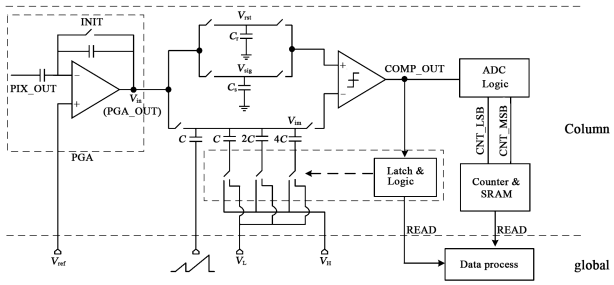


图 2 本文设计的 14 位列级 ADC 结构图

像素复位电压和像素信号电压经可编程增益放大器(PGA)模块，减小读出电路的等效输入噪声，改变像素输出的摆幅方向和增益。通过 INIT 开关将像素复位电压经 PGA 设为定值 V_{ref}，即 $V_{rst}=V_{ref}$。在此基础上，将像素信号电压与复位电压的差值 ΔV 进行反相放大得到 V_{sig}，如式(1)所示：

$$V_{sig}=V_{rst}+Gain\times(-\Delta V) \tag{1}$$

$$Gain=-A/(1+\beta\times A) \tag{2}$$

其中，$Gain$ 为 PGA 的放大倍数，如式(2)所示，A 为 PGA 中运放的开环放大倍数，β 为输入端电容与反馈电容的比值。

PGA 的输出通过开关连接 V_{rst} 及 V_{sig} 的存储单元，并与 DAC 的上极板 V_{im} 通过开关相连。在像素输出复位电压时，PGA 的 INIT 开关闭合，PGA_OUT 输出 V_{ref}。V_{rst} 和 V_{im} 端将 V_{ref} 电压分别采样至电容 C_r 和 DAC 上极板。像素输出信号电压时，V_{sig} 端将 PGA 的输出采样后量化。控制计数器的逻辑模块 ADC Logic 根据比较器输出及时序控制计数器工作。SRAM 将计数器结果进行存储，在进行数据处理后输出至片外。

1.2 工作原理

为了降低像素输出的噪声和消除比较器的失调电压，需要实现像素输出的 CDS 操作。11 位 RAMP ADC 可以实现像素复位电压 V_{rst} 的量化。采用加减计数器可以在 SAR ADC 切换至 RAMP ADC 后，在 V_{rst} 的基础上继续量化像素信号电压

V_{sig}，从而实现 CDS。本文所提出的列级 ADC 量化原理如图 3 所示，量化范围为 $V_L \sim V_H$，量化结果为 $D_{out}\langle 13:0\rangle$，具体量化过程如下：

(1)量化 V_{rst}。采用 RAMP ADC 的小斜坡信号量化 V_{rst} 电压并将其数字码暂存在 RAMP ADC 的 SRAM 中；

(2)3 位 SAR ADC 粗量化。切换至 SAR ADC 量化 V_{sig} 的高三位，DAC 电容阵列依次为 $4C$，$2C$，C，C，其中一个电容 C 下极板接 RAMP 信号，其余三个电容下极板通过开关分别接至 V_L 与 V_H 电压。每个量化周期开始前，该下极板均与 V_L 相连。在量化 V_{sig} 阶段，首先将 $4C$ 电容下极板从 V_L 切换至 V_H，V_{im} 端电压由 V_L 升至 V_M。若比较器输出 0 则 $4C$ 下极板切换回 V_L；若比较器输出 1 则 $4C$ 下极板保持 V_H，同时得到 SAR〈2〉。进而，依次将 $2C$，C 电容下极板从 V_L 切换至 V_H，操作过程与 $4C$ 相同，最终得到 V_{sig} 高三位对应的数字码 SAR〈2：0〉；

(3)11 位 RAMP ADC 细量化。在量化高三位对应的数字码后，即确定了 V_{sig} 所在区间。切换回 RAMP ADC，并用大斜坡量化 V_{sig}。在之前得到的 V_{rst} 基础上继续进行计数得到 RAMP〈12：0〉，其中包含符号位与溢出位。将 SAR〈2：0〉与 RAMP〈12：0〉经数据处理模块后得到最终的结果 $D_{out}\langle 13:0\rangle$。

通过 RAMP ADC 与 SAR ADC 的两次切换使 CDS 在 RAMP ADC 内完成，无需单独对 V_{rst} 进行量化，有效节约了存储 V_{rst} 的 SRAM 数量。

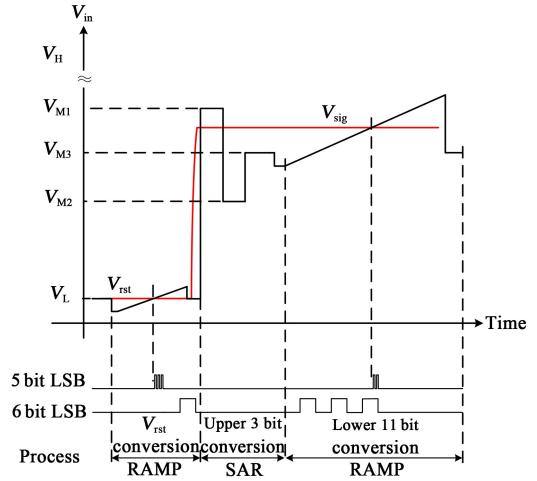


图 3　本文 RAMP ADC 工作原理

由于比较器存在失调电压，斜坡信号相较被测电压需要预留一定的余量，以确保被测电压在斜坡量化范围内，并校正 SAR ADC 向 RAMP ADC 切换时的误差。如图 4 所示，由于量化时存在噪声使比较器产生误差[16]，在 SAR ADC 第三次逻辑判断时，若 V_{sig} 实际小于 V_{M3} 但被误判为大于，需要在 RAMP 量化阶段减去该部分误差 Δ，反之亦然。符号位 RAMP〈12〉为 1 时代表量化结果为负数；为 0 代表量化结果 RAMP〈11：0〉为正数。SAR〈2：0〉与量化结果求差或和即可得到 $D_{out}\langle 13:0\rangle$。

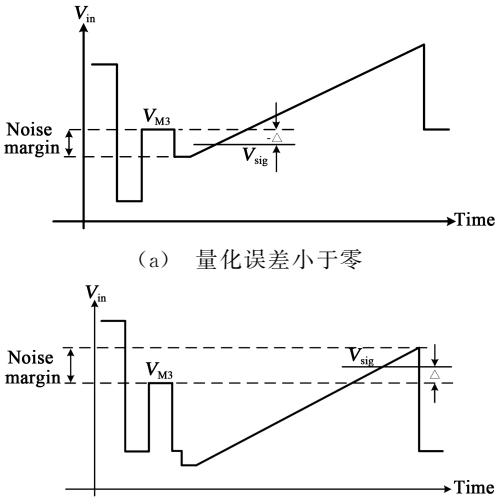


图 4　本文 RAMP ADC 量化误差

ADC 逻辑控制模块根据比较器的输出及时序来控制计数器工作。本文 RAMP ADC 采用双时钟计数方法[9-10]，分为快速时钟 CNT_LSB 与慢速时钟 CNT_MSB。ADC 的低 5 位使用快速时钟计数，高 6 位使用慢速时钟计数，其计数方法如图 5 所示。

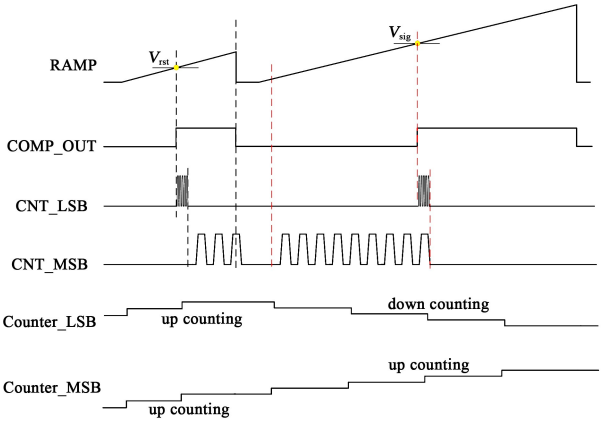


图 5　双时钟计数方法

量化 V_{rst} 阶段，COMP_OUT 翻转时刻开始用 CNT_LSB 计数。当翻转后第一个完整的 CNT_MSB 时钟到来时，开始用 CNT_MSB 计数，直至小

斜坡结束后的第一个下降沿。

量化 V_{sig} 阶段，CNT_MSB 从大斜坡开始后的第一个完整周期到来时开始计数，直至 COMP_OUT 翻转后的第一个下降沿到来。CNT_LSB 从 COMP_OUT 翻转时刻开始计数，与 CNT_MSB 同时结束计数。

CNT_MSB 一直为向上计数，CNT_LSB 在量化 V_{rst} 阶段为向上计数，在量化 V_{sig} 阶段为向下计数，从而实现了大斜坡信号的量化。再令其结果与小斜坡对应的量化值求差，则可得到最终量化结果。求差过程通过在计数器中预置数实现。计数器中 D 触发器的清零端和置 1 端属组合逻辑，在图像传感器中可通过串行外设接口(SPI)设置其初始值。

2 仿真结果及版图

2.1 仿真结果

本文采用 0.18 μm 标准 CMOS 工艺，基于 Cadence 仿真软件，对所提出的 14 位列级 ADC 进行了仿真验证。如图 6 所示，在 CNT_LSB 为 600 MHz 单沿计数情况下，ADC 量化周期为 9.32 μs，相同条件下传统 14 位 RAMP ADC 的量化周期约为 30 μs。仿真结果表明，所提 ADC 可有效缩短量化时间。

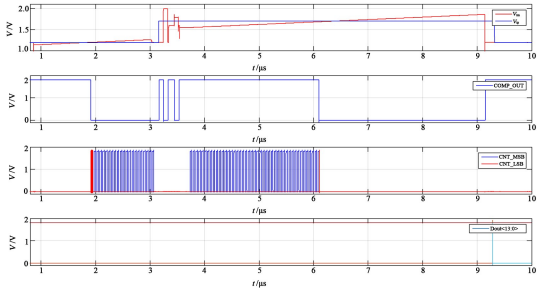
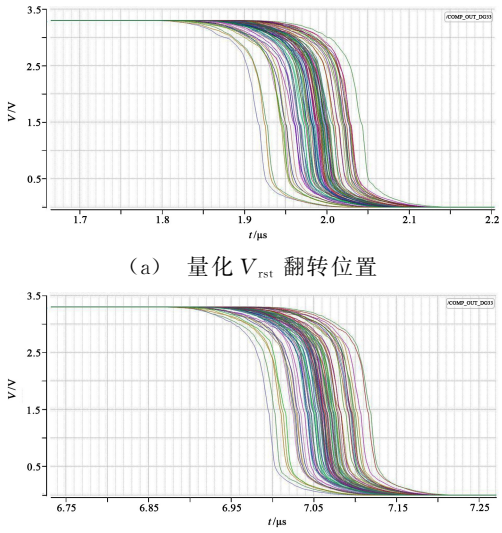


图 6 本文 14 位列级 ADC 仿真结果

图 7 为 CDS 时间的瞬态噪声仿真结果，仿真时设置 Number of Runs = 100，V_{rst} = 1.2 V，V_{sig} = 2.75 V，即令 V_{sig} 位于大斜坡上端。比较器翻转的平均时间间隔为 5.252 μs，由噪声引起 CDS 时间误差的标准差为 4.78 ns，RAMP ADC 中计数器的快速时钟 CNT_LSB 周期为 1/600 MHz = 1.67 ns，因噪声引入的误差可能带来 3LSB 的影响。

图 8 为数字电源电压为 1.8 V 时，单时钟 RAMP ADC 与本文所提双时钟 RAMP ADC 的瞬态电流对比结果。由图可见，在计数的开始和结束时刻，二者电流消耗相当(红色框内部分)，在其余计数区间内单时钟 RAMP ADC 电流明显大于双时钟 RAMP ADC。通过计算该区间内两种 ADC 消耗的电流均值可得，双时钟计数 RAMP ADC 在计数区间的瞬态电流在 SS 工艺角下最高，约为 4.73 μA，较单时钟 RAMP ADC 在计数区间节省约 90% 的功耗，如图 9 所示。因此，使用双时钟 RAMP ADC 可以有效减小计数器功耗。



(a) 量化 V_{rst} 翻转位置

(b) 量化 V_{sig} 翻转位置

图 7 CDS 时间瞬态噪声仿真结果

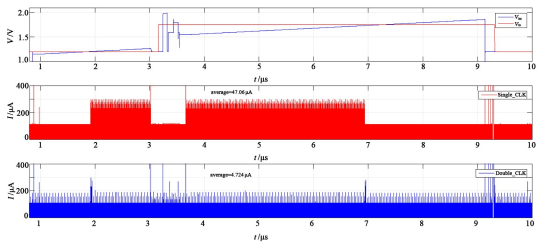


图 8 单时钟与双时钟 RAMP ADC 瞬态电流对比

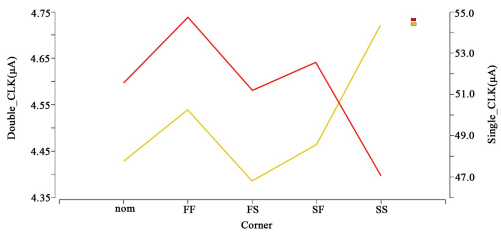


图 9 各工艺角下单时钟与双时钟 RAMP ADC 的瞬态电流对比

图 10 为本文所设计的列级 ADC 的输入输出曲线。可以看出，当 V_{sig} 达到 2.8 V 时输出码值达到最大值。

取图 10 红色框中部分进行仿真，得到 SAR 与 RAMP ADC 切换时的输入电压与输出码值关系如图 11 所示，非切换位置输入电压与输出码值的关系如图 12 所示。1LSB 对应的输入电压值为 (V_H —

$V_L)/(2^{14}-1)$，每两个输入电压之间取 10 个点。为便于观察，横轴只显示 $V_L+C\cdot(V_H-V_L)/(2^{14}-1)$ 中的常数 C。

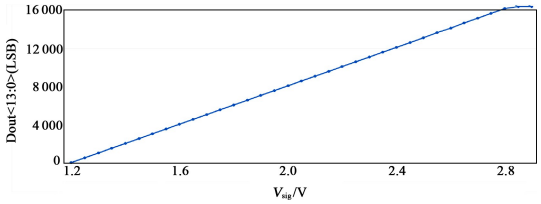


图 10　14 位列级 ADC 输入输出曲线

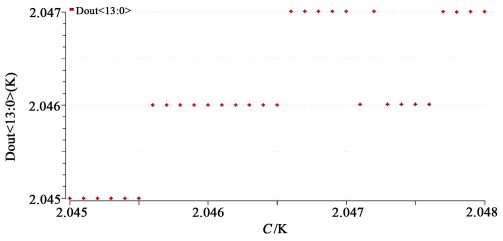


图 11　切换位置输入与输出关系

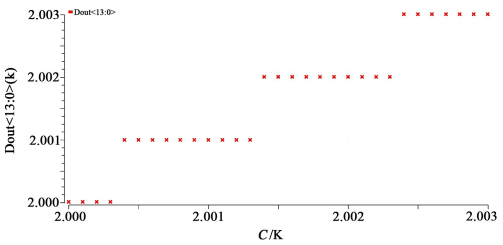


图 12　非切换位置输入与输出关系

2.2　版图

图 13 为 128 列 ADC 与数据处理模块的版图，版图面积为 1 358 μm×640 μm。每列 ADC 列宽为 5 μm。

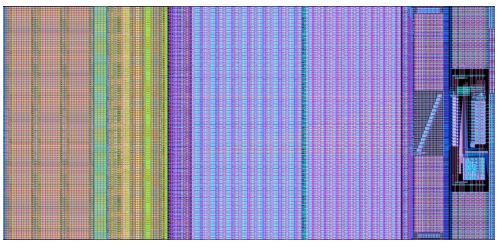


图 13　128 列 ADC 与数据处理模块版图

3　结论

为了提升图像传感器图像质量，本文提出了一种应用于 CMOS 图像传感器的列级 14 位高精度 ADC。采用了 3 位 SAR ADC 粗量化和 11 位 RAMP ADC 细量化的方法，减小了列级 ADC 的量化时间。同时，通过两种 ADC 在量化时的两次切换，使 CDS 在 RAMP ADC 内完成，节省了所需的 SRAM 数量，并在量化切换时，通过 RAMP ADC 斜坡的余量来校正切换时产生的误差。最后，在 RAMP ADC 中采用了双时钟计数方法，有效降低了功耗。仿真结果表明，所提 14 位列级 ADC 量化时间为 9.32 μs，功耗较单时钟计数方式降低约 90%。

参考文献：

[1] Matsuo S, Bales T J, Shoda M, et al. 8.9-megapixel video image sensor with 14-b column-parallel SA-ADC[J]. IEEE Trans. on Electron Devices, 2009, 56(11): 2380-2389.

[2] Tang F, Chen D G, Wang B, et al. Low-power CMOS image sensor based on column-parallel single-slope/SAR quantization scheme[J]. IEEE Trans. on Electron Devices, 2013, 60(8): 2561-2566.

[3] Snoeij M F, Theuwissen A, Makinwa K, et al. Multiple-ramp column-parallel ADC architectures for CMOS image sensors [J]. IEEE J. of Solid-State Circuits, 2007, 42(12): 2968-2977.

[4] Hwang Y, Song M. Design of a CMOS image sensor based on a 10-bit two-step single-slope ADC[J]. J. of Semiconductor Technology and Science, 2014, 14(2): 246-251.

[5] Chae Y, Cheon J, Lim S, et al. A 2.1 Mpixels, 120 Frame/s CMOS image sensor with column-parallel ADC architecture [J]. IEEE J. of Solid-State Circuits, 2011, 46(1): 236-247.

[6] Kitamura K, Watabe T, Sawamoto T, et al. A 33-megapixel 120 Frame/s 2.5-watt CMOS image sensor with column-parallel two-stage cyclic analog-to-digital converters[J]. IEEE Trans. on Electron Devices, 2012, 59(12): 3426-3433.

[7] Nie K, Zha W, Shi X, et al. A single slope ADC with row-wise noise reduction technique for CMOS image sensor[J]. IEEE Trans. on Circuits and Systems Ⅰ: Regular Papers, 2020, 67(9): 2873-2882.

[8] Xue F, Wei X, Hu Y, et al. Design of a 10-bit 50 MSPS pipeline ADC for CMOS image sensor[C]// Huangzhou: 2014 9th IEEE Conf. on Industrial Electronics and Applications, 2014: 891-895.

[9] Ma C, Xin G S, Li J, et al. Status counting double edge slope ADC for CMOS image sensors[C]// Qingdao: 2018 14th IEEE Inter. Conf. on Solid-State and Integrated Circuit Technol. (ICSICT), 2018.

[10] Mo C, Liu Y, Li Y, et al. A 4-M pixel high dynamic range, low-noise CMOS image sensor with low-power counting ADC [J]. IEEE Trans. on Electron Devices, 2017, 64(8): 3199-3205.

[11] Kim H J. 11-bit column-parallel single-slope ADC with first-step half-reference ramping scheme for high-speed CMOS image sensors[J]. IEEE J. of Solid-State Circuits, 2021, 56(7): 2132-2141.

[12] Kim M, Hong S, Kwon O. An area-efficient and low-power 12-b SAR/single-slope ADC without calibration method for

CMOS image sensors[J]. IEEE Trans. on Electron Devices, 2016, 63(9): 3599-3604.

[13] 马 成. 基于高动态像素及高速低功耗 ADC 的 CMOS 图像传感器研究[D]. 长春: 吉林大学, 2019.
Ma Cheng. Research on CMOS image sensors with high dynamic range pixel and high speed low power ADC[D]. Changchun: Jilin University, 2019.

[14] Liu G, Yu N, Zhang H, et al. A fully differential SAR/single-slope ADC for CMOS imager sensor[C]// Xi'an: IEEE Inter. Conf. on Electron Devices and Solid-State Circuits (EDSSC), 2019.

[15] Zhen W, Xu L, et al. Design of a column-parallel SAR/SS two-step hybrid ADC for sensor arrays[C]// 2021 IEEE 15th Inter. Conf. on Anti-counterfeiting, Security, and Identification (ASID), 2021: 172-176.

[16] Fang T, Yuan C, Zhao X. Single slope/SAR column-parallel ADC with mixed-signal error correction[C]// 2013 IEEE 56th Inter. Midwest Symp. on Circuits and Systems (MWSCAS), 2013: 237-240.

作者简介:

张为森(1992—),男,黑龙江省伊春市人,硕士研究生,主要研究方向为 CMOS 图像传感器;

马艳华(1982—),女,博士,副教授,博士生导师,研究领域包括:高性能航空发动机智能控制、故障诊断与差错控制;深度学习与面向人工智能的 FPGA 硬件加速;FPGA 及嵌入式系统设计开发。