光电器件

DOI：10.16818/j.issn1001－5868.2022061503

基于 SAR-SS 架构的图像传感器专用高速列级 ADC 设计

刘宇帆，刘炯晗，程　禹，曲　杨，钟国强，常玉春*

（大连理工大学 微电子学院，辽宁 大连 116024）

摘　要： 针对图像传感器中传统列级模数转换器（ADC）难以实现高帧频的问题，提出了一种由逐次逼近寄存器型（SAR）ADC 和单斜坡型（SS）ADC 组成的混合型高速列级 ADC，使转换周期相较于传统的 SS ADC 缩短约 97%；利用 SAR ADC 的电容实现像素的相关双采样（CDS），在模拟域做差，使 CDS 的量化时间缩短至一个转换周期，进一步提高了 ADC 的量化速度；为了保证列级 ADC 的线性度，提出了一种 1 bit 冗余算法，可实现＋0.13/－0.12 LSB 的微分非线性和＋0.18/－0.93 LSB 的积分非线性。基于 180 nm CMOS 工艺的仿真结果表明，该列级 ADC 在 50 MHz 时钟下，转换周期仅为 1 μs，无杂散动态范围为 73.50 dB，信噪失真比为 66.65 dB，有效位数为 10.78 bit。

关键词： 图像传感器；高速列级 ADC；逐次逼近寄存器 ADC；单斜坡 ADC；混合型 ADC；相关双采样

中图分类号： TN43；TP212　**文章编号：** 1001－5868(2022)06－1119－05

Design of High-speed Column-level ADC for Image Sensor Based on SAR-SS Architecture

LIU Yufan, LIU Jionghan, CHENG Yu, Qu Yang, ZHONG Guoqiang, CHANG Yuchun

(School of Microelectronics, Dalian University of Technology, Dalian 116024, CHN)

Abstract: Aiming at the problem that achieving high frame rate for traditional column-level analog-to-digital converter (ADC) in the image sensor is difficult, a hybrid high-speed column-level ADC consisting of a successive approximation register (SAR) ADC and a single slope (SS) ADC was proposed, which reduced the conversion period by about 97% compared with the traditional SS ADC. Achieving correlated double sampling (CDS) of the pixel by the capacitance of the SAR ADC, and making a difference in the analog domain, the quantization time of CDS was shortened to one conversion period, which further improved the quantization speed of ADC. In order to ensure the linearity of column-level ADC, a 1 bit redundancy algorithm was proposed, which could achieve differential nonlinearity of +0.13/−0.12 LSB and integral nonlinearity of +0.18/−0.93 LSB. Simulation results based on 180 nm CMOS process show that the column-level ADC has a conversion period of only 1 μs, a spurious-free dynamic range of 73.50 dB, a signal-to-noise distortion ratio of 66.65 dB, and an effective number of bits of 10.78 bit at a clock of 50 MHz.

Key words: image sensor; high-speed column-level ADC; successive approximation register ADC; single slope ADC; hybrid ADC; correlated double sampling

收稿日期：2022－06－15.

基金项目：国家自然科学基金项目(11975066)；大连市科学技术局项目(2020RT01).

* **通信作者：**常玉春　**E-mail:** yuchun_chang@qq.com

0 引言

在图像传感器(CIS)芯片中,图像传感器的帧数与列级 ADC 的转换速率直接相关。受面积限制,传统的列级 ADC 通常使用单斜坡(SS)ADC 对数据进行量化,量化周期为 2^N 个时钟周期,其中 N 是 ADC 的位数,难以应用于高帧率 CIS。与 SS ADC 相比,逐次逼近寄存器(SAR)ADC 仅需 N 个时钟周期即可完成量化,但是其缺点也十分明显,由于电容失配导致 SAR ADC 的线性度难以满足图像传感器的要求。实际中往往通过增大 SAR ADC 的单位电容来减小失配,但这会由于面积的增大导致不能应用于图像传感器[1-3]。

本文在权衡面积和速度的前提下,提出一种新颖的混合式高速列级 ADC。该 ADC 粗搜索采用 SAR ADC 的逐次逼近方式,细搜索采用斜坡逼近方式,并且利用 SAR ADC 的电容进行相关双采样[4]。在 50 MHz 的 ADC 时钟频率下,本文提出的 SAR-SS ADC 转换时间仅为 1 μs,相比之下传统的 SS ADC 的转换时间约为 40 μs,转换时间减少了约 97%[5]。

1 SAR-SS ADC 的架构设计

本文所提出的 7 bit SAR ADC 加 5 bit SS ADC 的混合式 ADC 结构如图 1 所示。整体结构以 SAR ADC 为基础,包含电容式数模转换器(CDAC)、动态比较器、SAR-SS Logic、斜坡发生器、开关 S1、S2 和采样电容 C_s。

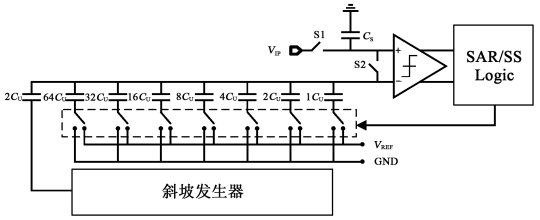


图 1 SAR-SS ADC 结构

图 2 展示了 SAR-SS ADC 的时序图,工作过程共分为三个阶段:采样阶段,SAR 阶段,SS 阶段。图中 PIX_OUT 为图像传感器像素输出的电压,包括 RST 电压和 SIG 电压,VIP 是由可调增益放大器(PGA)放大后的电压,列级 ADC 需要对此电压进行量化。

在采样阶段,当 S1 和 S2 同时闭合时,RST 电压被采样到 CDAC 的上极板。当 S1 闭合、S2 断开时,SIG 电压被采集到电容 C_S 的上极板,从而实现相关双采样。

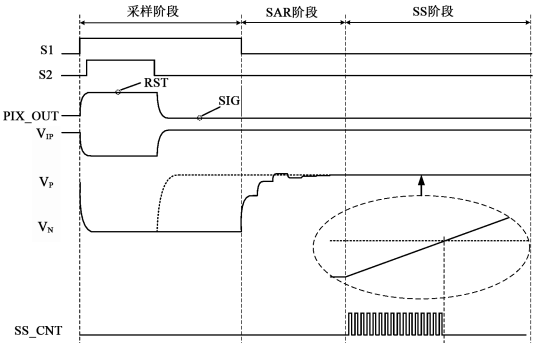


图 2 SAR-SS ADC 时序图

在 SAR 阶段,SAR-SS Logic 根据比较结果,将 CDAC 对应权重电容的下极板连接到 V_{ref} 或 GND。根据电荷重分配原理,在 SAR 阶段结束时,CDAC 电容整列输出电压表达式为

$$V_{SAR}=V_{RST}+V_{REF}\sum_{i=1}^{7}\frac{2^{i-1}}{2^7+1}\cdot \mathrm{D_SAR}[i] \quad (1)$$

式中,V_{RST} 为 PGA 反向放大后的像素 RST 电压,V_{REF} 为 ADC 输入的参考电压,D_SAR[i]表示比较器产生的第 i 位数字码。

在 SS 阶段,斜坡发生器会产生一个 0 到 V_{REF} 的斜坡信号,同时 SAR-SS Logic 中的计数器开始计数,如图 2 中 SS_CNT 所示,直至比较器发生翻转。根据电容分压原理,此时 V_N 的表达式为

$$V_N=V_{SAR}+V_{REF}\sum_{j=1}^{5}\frac{2^{j-5}}{2^7+1}\mathrm{D_SS}[j] \quad (2)$$

式中,D_SS[j]表示 SS 阶段计数器所产生的第 j 位数字码。

当比较器发生翻转时,V_P 等于 V_N。由于 VP 采样的是 SIG 电压,因此,结合式(1)和(2)可得到下列公式:

$$V_{SIG}-V_{RST}=V_{REF}\left(\sum_{i=1}^{7}\frac{2^{i-1}}{2^7+1}+\sum_{j=1}^{5}\frac{2^{j-5}}{2^7+1}D\right) \quad (3)$$

由式(3)可知,SAR-SS ADC 在一次转换周期内可以完成对像素输出电压的 CDS,利用 SAR ADC 快速完成高 7 位量化,减小 SS ADC 量化幅值,缩短量化时间。

2 SAR-SS ADC 的电路设计

动态比较器、斜坡发生器和电容阵列是 SAR-SS ADC 的关键电路。本文采用了两级带预放大的

动态比较器和 1 bit 冗余的电容阵列，用来减少比较器误判导致的误码情况。

2.1　动态比较器

本文所设计的动态比较器如图 3 所示，其中包含一个预放大器和动态比较器。图中 M1～M7 是预放大电路，M9～M19 为 StrongARM 动态比较器[6]。采用预放大加锁存器的结构可以有效减少回踢噪声，并且能提升比较器的速度和准确率。比较器复位阶段，CLKC 为 1，将动态比较器输出 V_{OP} 和 V_{ON} 复位到 GND；比较阶段 CLKC＝0，预放大电路将 V_P 和 V_N 的差值进行放大。为了提高预放大电路的增益，M5 和 M6 以负阻连接方式接入电路，预放大电路的增益为

$$A_V = \frac{g_{m2,3}}{g_{m4,7} - g_{m5,6}} \tag{4}$$

式中，$g_{m2,3}$，$g_{m4,7}$ 和 $g_{m5,6}$ 分别为对应管子的跨导。当 M5 管和 M4 管的跨导值非常接近时，预放大电路得到一个比较高的增益。第二级的 StrongARM 比较器将预放大后的电压值进行锁存，得到最终的比较结果。

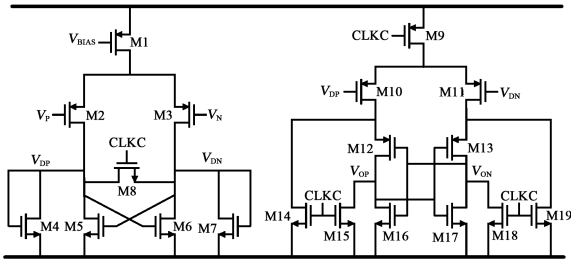


图 3　动态比较器电路图

2.2　斜坡信号发生器

斜坡信号发生器作为量化低 5 bit 的关键电路，需要产生一个准确且稳定的斜坡。通常产生斜坡信号的电路有积分器和 DAC[7]，但其都需要一个较高精度和较大带宽的放大器做缓冲级，并且受工艺失配影响较大，增大了设计难度。本文采用的斜坡发生器采用可控式电容充电斜坡发生器，避免了高精度、高带宽运放的使用，并且斜坡精度主要由时钟控制，对失配敏感度低，其电路如图 4 所示。

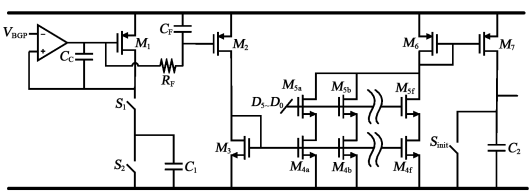


图 4　斜坡信号发生器电路图

其中，运算放大器和 M1 管构成一个反馈回路，电容 C_C 为弥勒电容，其作用是补偿环路的相位裕度。该环路将 M1 漏端电压钳位在 V_{BGR}。S1，S2 和 C_1 共同组成开关电阻，其等效阻值为

$$R_{eq} = \frac{1}{f \cdot C_1} \tag{5}$$

式中，f 为控制 S1，S2 非交叠时钟的频率。V_{BGR} 在等效电阻产生一个恒定的电流，并且通过电流镜耦合到 M2。根据式(5)，可知该电流大小为

$$I_{D2} = V_{BGR} \cdot f \cdot C_1 \tag{6}$$

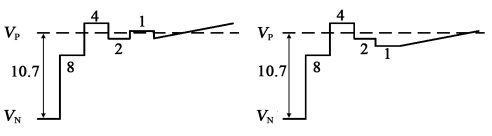
R_F 和 C_F 组成低通滤波器，滤除开关时钟产生的高频噪声。M3～M7 组成一个 6 bit 电流舵 DAC，以 I_{D2} 电流为基准，并由 D5～D0 控制对电容 C_2 的充电电流大小。S_{init} 为斜坡发生器的复位开关，用于控制斜坡产生的时间。

通过调节时钟频率可为本文设计的列级 ADC 提供一个精准且可控的斜坡信号，并且通过加入 D5～D0 的数字控制信号，可以减小失配导致的斜坡精度降低。

2.3　1 bit 冗余电容阵列

传统的二进制权重 CDAC 阵列的每位电容权重等于其余低位电容权重之和。若比较器在中间过程中发生误判，就算后续所有判断都正确，最后结果仍会产生超过 1 LSB 的误差，进而引入较大的非线性。为了减少非线性，本文设计的电容阵列采用 1 bit 冗余算法，将 RAMP 对应的电容权重设置为 2，即每位电容权重小于其余低位电容权重之和。在逐次比较过程中，即使比较器在中间过程中发生误判，仍能保证正确的数字码输出。

本文采用的 1 bit 冗余算法如图 5 所示，此时输入电压 V_P 和 V_N 相差 10.7，若比较器未出错，在 SAR 阶段结束时，V_N 与 V_P 相差 0.7。若比较器在第三次判断时出错，则在 SAR 阶段计数时，V_N 与 V_P 将相差 1.7，若 RAMP 对应电容权重为 1，则比较器将不会发生翻转。本文提出的 1 bit 冗余算法将 RAMP 部分的权重设置为 2，即使比较器判断出错，V_N 依然可以逼近 V_P，使比较器发生翻转，从而保证了 ADC 的线性度。



(a)　比较器未出错　　(b)　比较器出错

图 5　1 bit 冗余算法示意图

3 仿真结果与版图

本文采用 180 nm CMOS 工艺，基于 Cadence 仿真软件，对所提出的列级 SAR-SS ADC 进行了仿真验证。

图 6 展示了动态比较器的仿真结果。在 50 MHz 时钟下，固定比较器正向输入端电压 V_P 不变，反向输入端电压 V_N 为 V_P 正负 1 mV 的斜坡。由图可知，当 V_N 大于 V_P 时，比较器输出信号 V_{OP} 和 V_{ON} 发生翻转。由于动态比较器仅在时钟上升沿来临时改变输出，因此本文设计的比较器延时为 ±20 ns。SAR-SS Logic 中计数器时钟周期恰好为 20 ns，因此比较器最大引入误差为 1 LSB。

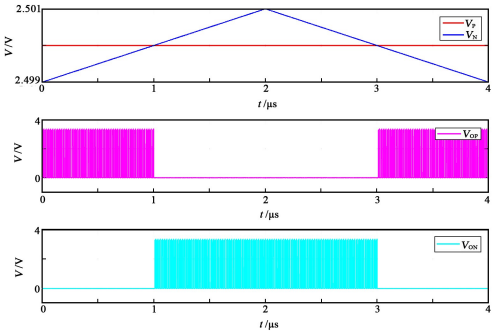


图 6 动态比较器仿真结果

斜坡发生器的仿真结果如图 7 所示。由图可知，斜坡发生器在 4 μs 后稳定，并在之后的每个转换周期内均能为 SAR-SS ADC 提供一个固定斜率的 RAMP 信号。

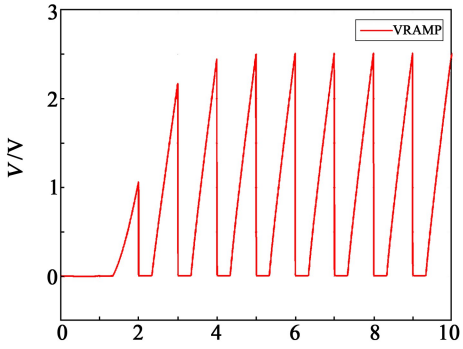


图 7 斜坡发生器仿真结果

图 8 为 SAR-SS ADC 的仿真结果。在 50 MHz 的 ADC 时钟下，0～0.2 μs 为采样阶段，V_{RST} 和 V_{SIG} 分别被采样到 V_P 和 V_N 端的采样电容上；0.2～0.34 μs 为 SAR 阶段，V_N 逐次逼近至 V_P；0.34～1 μs 为 SS 阶段，此阶段 SS 计数时钟一直持续至比较器翻转。整个转换周期为 1 μs，而在相同条件下传统 11 bit SS ADC 的转换周期约为 40 μs，由此可见本文设计的 SAR-SS ADC 的转换时间大幅缩短。

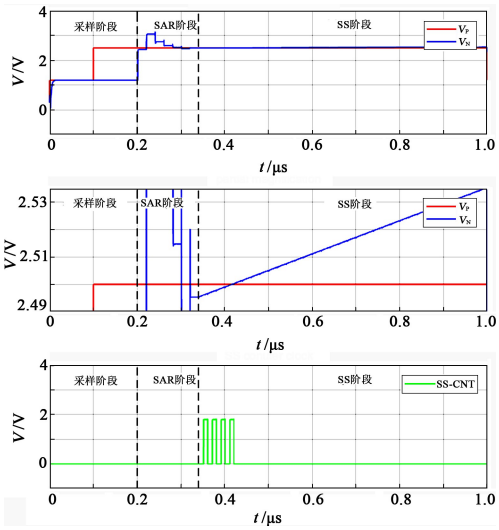


图 8 SAR-SS ADC 仿真结果

图 9 展示了本文设计 ADC 的静态特性仿真结果，在 1 MS/s 的采样率下，可以看出 ADC 的微分非线性(DNL)为 +0.13/−0.12 LSB，积分非线性(INL)为 +0.18/−0.93 LSB。结果表明，本文所提出的 1 bit 冗余算法可以有效保证 ADC 的线性度，使其满足图像传感器读出链对列级 ADC 的要求。

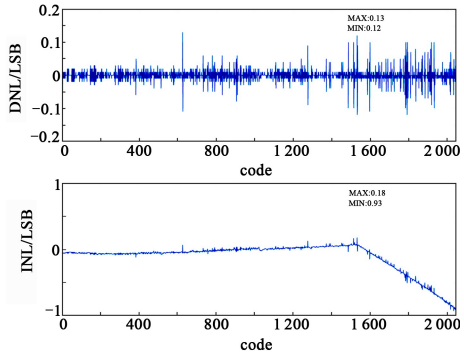


图 9 DNL 和 INL 仿真结果

图 10 展示了本文设计 ADC 的动态特性仿真结果，在 1 MS/s 的采样率下，可以看出信噪失真比

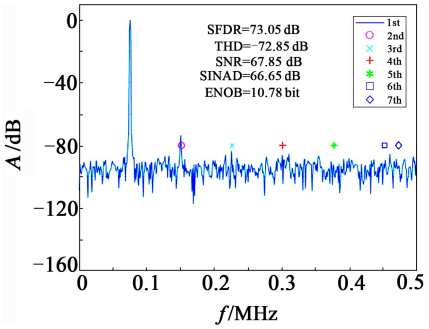


图 10 ADC 动态特性仿真结果

(SINDR)为 66.65 dB,无杂散动态范围(SFDR)为 73.50 dB,总谐波失真(THD)为 72.85 dB。

本文设计的 SAR-SS ADC 基于 180 nm CMOS 工艺实现,版图布局如图 11 所示,单列 SAR-SS ADC 面积为 40 μm×600 μm,相较文献[8]的面积缩小了近 50%。

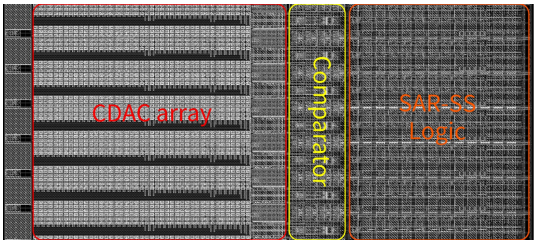


图 11　SAR-SS ADC 版图

4　总结

本文采用混合 SAR ADC 和 SS ADC 的方式设计了一款应用于图像传感器读出链的列级 SAR-SS ADC。其转换时间由传统 SS ADC 的 40 μs 缩短到 1 μs,版图面积与文献[8]的相比也减小了 50%,在不消耗较大面积情况下,将极大地提高图像传感器的帧率。采用 1 bit 冗余算法使 ADC 的线性度得到保证。在 1 μs 的转换时间下可实现+0.13/−0.12 LSB 的 DNL 和+0.18/−0.93 LSB 的 INL,有效位数为 10.78 bit。

参考文献:

[1] Tang F, Cao Y, Zhao X. Single slope/SAR column-parallel ADC with mixed-signal error correction[C]//Proc. Inter. Midwest Symp. on Circuits and Systems (MWSCAS), 2013: 237-240.

[2] Tang F, Chen D G, Wang B, et al. Low-power CMOS image sensor based on column-parallel single-slope/SAR quantization scheme[J]. IEEE Trans. on Electron Devices, 2013, 60(8): 2561-2566.

[3] Kim M, Hong S, Kwon O. An area-efficient and low-power 12-b SAR/single-slope ADC without calibration method for CMOS image sensors[J]. IEEE Trans. on Electron Devices, 2016, 63(9): 3599-3604.

[4] Martin-Gonthier P, Magnan P. CMOS image sensor noise analysis through noise power spectral density including under sampling effect due to readout sequence[J]. IEEE Trans. on Electron Devices, 2014, (61)8: 2834-2842.

[5] Cho N, Song B, Kim K, et al. A VGA CMOS image sensor with 11 bit column parallel single-slope ADCs[C]// Proc. Inter. SoC Design Conf. (ISOCC), 2010: 25-27.

[6] Razavi B. The StrongARM latch [J]. IEEE Solid-State Circuits Magazine, 2015, 2(7): 12-17.

[7] Liu G, Yu N, Zhang H, et al. A fully differential SAR/single-slope ADC for CMOS imager sensor[C]// Proc. Inter. Conf. on Electron Devices and Solid-State Circuits (EDSSC), 2019: 1-3.

[8] Kim H, Hwang S, Chung J, et al. A dual-imaging speed-enhanced CMOS image sensor for real-time edge image extraction[J]. IEEE J. of Solid-State Circuits, 2017, 52(9): 2488-2497.

作者简介:

刘宇帆(1998—),男,河南省焦作市人,硕士研究生,主要研究方向为列级模数转换器的设计;

常玉春(1973—),男,博士,教授,博士生导师,研究方向包括 CMOS 图像传感器及图像信号处理电路等。