光电器件

DOI：10.16818/j.issn1001－5868.2022102401

基于SAR ADC的短波红外焦平面数字化读出电路研究

陶文刚[1,2,3,4]，汪鸿祎[1,2,3]，陆逸凡[1,2,3]，景　松[1,2]，黄松垒[1,2*]，方家熊[1,2*]

（1. 中国科学院上海技术物理研究所 传感技术联合国家重点实验室，上海 200083；
2. 中国科学院上海技术物理研究所 中国科学院红外成像材料与器件重点实验室，上海 200083；
3. 中国科学院大学，北京 100049；4. 上海科技大学，上海 200083）

摘　要： 片上集成数字化是红外焦平面的主要发展方向之一，其关键技术是在读出电路内部集成模数转换（ADC）模块。针对线列InGaAs焦平面的数字化需求，采用了一种基于非二进制的冗余位SAR ADC设计方案。整个读出电路包括读出电路单元和模数转换单元。读出电路单元采用的是电容跨阻放大器（CTIA）结构，其结构线性度好，注入效率高；模数转换单元采用的是SAR ADC，其结构简单，功耗低。文章采用非二进制校准的方法对CDAC模块进行设计，通过在电容阵列中插入冗余位来提高ADC的转换速度和精度，并使用下极板采样技术来提高采样精度。在0.18 μm CMOS工艺模型下，完成了14 bit的SAR ADC的设计。仿真结果表明：在采样率为1 MS/s条件下，SAR ADC的信噪比（SNR）为74 dB，有效位数为13.4 bits。

关键词： 读出电路；数字化；逐次逼近；短波红外焦平面

中图分类号： TN402　**文章编号：** 1001－5868(2023)01－0039－05

Research on Short-Wave IRFPA Digital Readout Circuit Based on SAR ADC

TAO Wengang[1,2,3,4], WANG Hongyi[1,2,3], LU Yifan[1,2,3],
JING Song[1,2], HUANG Songlei[1,2], FANG Jiaxiong[1,2]

(1. State Key Lab. of Transducer Technology, Shanghai Institute of Technical Physics, CAS, Shanghai 200083, CHN;
2. Key Lab. of Infrared Imaging Materials and Detectors, Shanghai Institute of Technical Physics, CAS, Shanghai 200083, CHN;
3. University of Chinese Academy of Sciences, Beijing 100049, CHN; 4. Shanghai Tech University, Shanghai 200083, CHN)

Abstract: On-chip integrated digitization is one of the main development directions of the infrared focal plane array, and its key technology is the integration of analog-to-digital conversion ADC blocks inside the readout circuit. In response to the digitization requirements of the line linear InGaAs focal plane, a non-binary redundant bit SAR ADC design was adopted in this paper. The entire readout circuit included a readout circuit unit and an analog-to-digital conversion unit. The readout circuit unit adopted the structure of CTIA, which had good structural linearity and high injection efficiency. The analog-to-digital conversion unit used a SAR ADC, which had simple structure and low power consumption. In this paper, the CDAC module was designed using a non-binary calibration method, which inserted redundant bits in the capacitor array to increase the conversion speed and accuracy of the ADC. And the sampling accuracy was improved using the bottom plate sampling technique. A 14-bit SAR ADC was designed and simulated with 0.18 μm CMOS process model. At a sampling rate of 1 MS/s, the SNR is 74 dB and the ENOB is 13.4 bits.

Key words: readout circuit; digitization; successive-approximation; short-wave IRFPA

收稿日期：2022－10－24.
基金项目：国家自然科学基金项目(62175250)；中国科学院青年创新促进会项目(2020245).
* **通信作者：**方家熊，黄松垒 **E-mail:** jxfang@mail.sitp.ac.cn

0 引言

短波红外焦平面阵列器件广泛应用于航天遥感、医疗诊断、安全监控等领域[1]。相较于可见光，短波红外具有微光夜视，透烟、透雾等特点[2]。红外焦平面阵列由红外探测器阵列和读出电路两部分组成，在探测器方面，由于 InGaAs 材料具有较高的电子迁移率以及良好的稳定性和抗辐射性能，使其快速发展，已成为短波红外焦平面的主流。读出电路是对红外探测器阵列微弱的光电信号进行放大、采样、顺序读出的专用集成电路，也是限制红外焦平面技术性能的重要因素。随着红外焦平面技术的不断发展，集成模数转换功能的红外焦平面电路是第三代焦平面技术的一个发展方向[3]。将 ADC 集成到红外焦平面读出电路内，可以避免芯片间模拟信号的传输，可以大幅度降低噪声，通过缩短模拟信号的传输路径，降低信号串扰对输出信号的影响，提高信号输出总线的传输速率[4-6]。同时降低系统设计的复杂度，提高系统的便携性与可靠性。

本文针对线列 InGaAs 焦平面的数字化、集成化的需求，开展短波红外 InGaAs 探测器数字化读出设计研究，旨在实现焦平面读出电路片上数字化功能。

1 电路基本架构及工作原理

本文设计的红外焦平面数字化读出链路如图 1 所示，探测器将光信号转换成电信号，单元读出电路将得到的电信号进行放大采样处理之后按顺序将信号传输到 ADC 模块中进行模数转换，最后得到数字信号的输出。

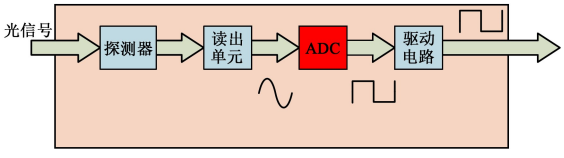


图 1 红外焦平面读出电路链路

本文设计的读出单元电路主要由输入级电路、采样电路、模拟输出级电路几部分组成，如图 2 所示。其中输入级电路采用电容跨阻放大器(CTIA)结构[7]。输入级电路主要是为光敏芯片提供稳定的工作电平，并将光敏芯片产生的微弱电流信号转换为电压信号。采样保持电路采用相干双采样的结构，可以有效地抑制前级的低频噪声的影响。其主要作用是将输入级电路转换的电压信号进行采样，并将采样得到的信号存储在采样电容上。输出级电路是将电路信号输出到总线上，方便进行后期处理。

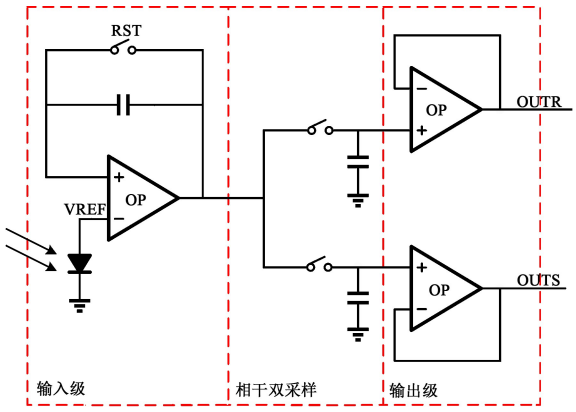


图 2 单元读出电路基本结构

2 ADC 的设计和分析

2.1 SAR ADC 的工作原理

SAR ADC(Successive-Approximation Analog to Digital Converter)主要由采样保持电路模块、比较器、逻辑模块、模数转换四个模块组成，其核心思想就是二分查找法不断进行量化趋近，使得数字码不断逼近模拟信号。

相较于传统的电荷标定型 SAR ADC，本文所采用的 SAR ADC 结构如图 3 所示，采用带有桥接电容的分段式 CDAC，可以减少电容的数量，减小版图的面积，并采用冗余技术来减少电容的建立时间，并且纠正在比较过程中产生的码值错误。

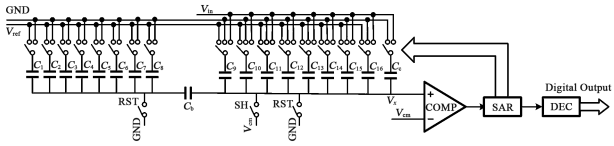


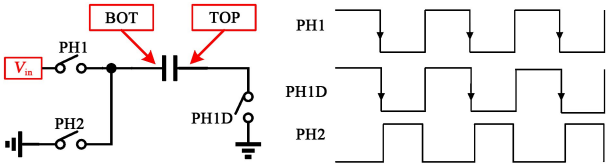
图 3 SAR ADC 的基本结构

2.2 采样保持模块

采样保持模块是将输入电压进行采集，然后将采集到的模拟电压供给后面的电路进行量化处理，采样精度决定后期的转换精度，因此为了提高采样精度，在本设计中采用栅压自举开关以及下极板采样技术。

下极板采样原理如图 4 所示，通过分析可知，下极板采样技术引入的误差为线性误差，可以通过后期处理进行消除，因此对采样精度不产生影响。

图 5 是采用下极板采样技术进行采样的结果，进行 DFT 变换，得到其信噪比约为 97 dB，有效位数约为 16 bits，大于 SAR ADC 的设计精度。



（a）下极板采样技术原理　　（b）开关时序

图 4　下极板采样技术原理和开关时序

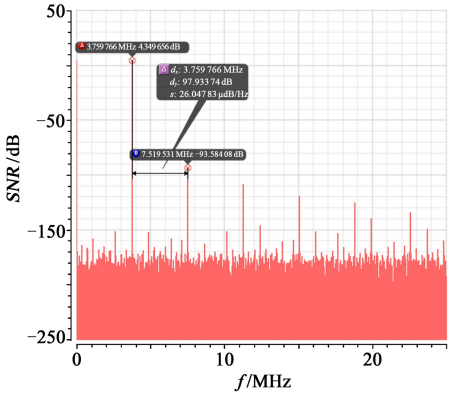


图 5　下极板采样的频谱图

2.3　比较器模块

比较器是 SAR ADC 设计中的重要模块之一，在 SAR ADC 的每一个比较周期，都需要比较器对 CDAC 输出的参考电平和输入信号做出比较，得出结果后给到 SAR 逻辑，然后更新 CDAC 的输出，比较器再次完成比较，直到最后得到所有的数字码值。

本文中采用的比较器的电路结构由三级预放大器、锁存器组成。具体结构如图 6 所示：前两级采用 OOS（Output Offset Storage）输出失调存储消除失调电压结构，第三级前置放大电路采用 IOS（Input Offset Storage）输入失调存储的失调消除电压结构，最后一级 Latch 级比较器提升整体比较器的速度。通过图 7 仿真结果显示，比较器的失调电压约为 78 μV，小于 1 个 LSB。

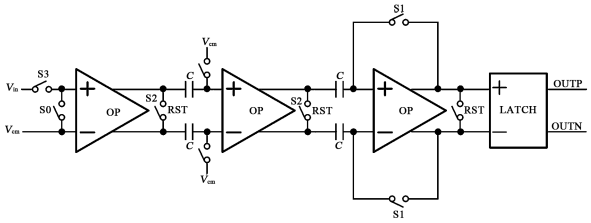


图 6　高速高精度比较器

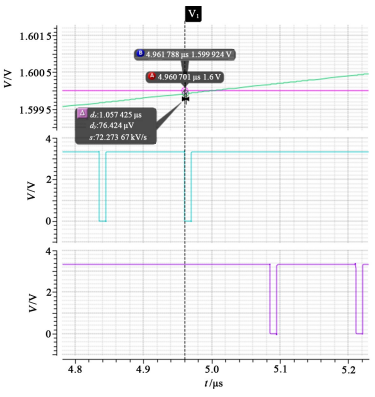


图 7　比较器失调电压仿真

2.4　SAR 逻辑模块

在本设计中，采用传统的 SAR 控制逻辑，逻辑控制电路如图 8 所示：主要由两行 D 触发器构成，第一行实现移位功能每当 RST 信号为 1 时，依次将每个 D 触发器进行置 1，第二行实现存储功能。最终将所得到的数字码值进行存储输出。该控制逻辑易于实现。

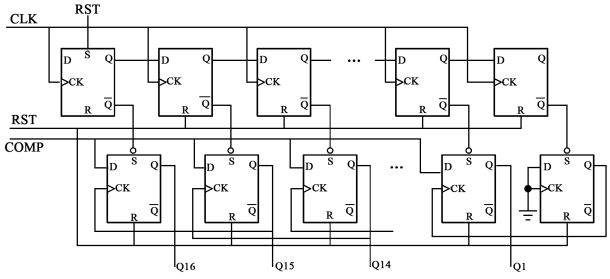


图 8　SAR 控制逻辑

2.5　数模转换模块

数模转换模块是 SAR ADC 设计中的关键模块，其关键思想是通过等比的电容阵列获得电压梯度，模块的转换精度直接影响最后的结果。为了保证各个电压梯度之间的精度足够高，常采用电容阵列的方式来获取。但随着精度的不断提高，电容呈指数增加，面积增大，功耗也随之增大。而且随着设计精度的不断提高，对电容的匹配要求也不断提高。

首先引入分段电容的方式进行电容阵列的设计（图 9），分段式电容结构电容更小，速度更快，桥接电容将电容阵列分为高 M 位、低 L 位，将单位电容的总数从 2^{M+L} 个减少到了 2^M+2^L 个。桥接电容的大小可以通过以下公式得到：

$$\begin{cases} \mathrm{d}V_{o1}=\dfrac{C_u(C_b+C_{LSB})}{C_{MSB}(C_b+C_{LSB})+C_bC_{LSB}}V_{ref} \\ \mathrm{d}V_{o2}=\dfrac{2^{L-1}C_uC_b}{C_{MSB}(C_b+C_{LSB})+C_bC_{LSB}}V_{ref} \end{cases} \tag{1}$$

其中，

$$\begin{cases} C_{MSB}=(2^M-1)C_u+C_{d1} \\ C_{LSB}=(2^L-1)C_u+C_{d2} \end{cases} \tag{2}$$

根据关系 $\mathrm{d}V_{o1}=2\mathrm{d}V_{o2}$，可以推导出

$$\frac{C_a}{C_u}=\frac{1}{2^L-1}\cdot\frac{C_{LSB}}{C_u} \tag{3}$$

其中，C_{MSB} 表示高位电容阵列的电容总和，C_{LSB} 表示低位电容阵列的电容总和，C_u 表示单位电容，C_b 表示桥接电容，M 为高位电容阵列的位数，L 为低位电容阵列的位数。C_{d1} 表示低位电容阵列的寄生电容，C_{d2} 表示高位电容阵列的寄生电容。

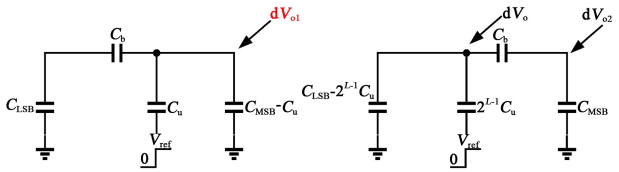


图 9 分段电容的基本原理

传统的分段电容结构 C_{LSB} 通常为 $2^N C_u$，此时桥接电容为一个分数值，分数电容在版图设计上会带来很多问题，而且版图也存在匹配困难等问题，因此在本设计中采用改进的分段电容阵列，具体实现如图 1 所示，即仅用电容的 MSB 阵列进行采样，而电容的 LSB 不参与采样。

采样阶段，控制高 8 位的开关接输入信号 V_{in}，采样开关 SH 闭合高位电容的上极板接共模电平 V_{cm}，此时上极板电压 $V_x = V_{cm}$，上极板的电荷为

$$Q_x = (V_{cm} - V_{in})C_{MSB} + (C_b \,//\, C_{LSB})V_{cm} \quad (4)$$

其中，C_{MSB} 为高位电容阵列的电容值之和，C_{LSB} 为低位电容阵列的电容值之和。

在保持阶段，所有的开关均接地，此时 DAC 的上极板的电荷量为

$$Q'_x = (C_b \,//\, C_{LSB} + C_{MSB})V_x \quad (5)$$

根据电荷守恒 $Q'_x = Q_x$ 可知，

$$V_x = \frac{C_{MSB}}{C_{MSB} + C_{LSB} \,//\, C_B} V_{in} + V_{cm} \quad (6)$$

最后是电荷重分布阶段，开关由高位到低位依次接到电压 V_{ref}，此时 DAC 的输出电压 V_x 满足以下公式：

$$V_x = \frac{C_{MSB}}{C_{MSB} + C_{LSB} \,//\, C_B}\left(-V_{in} + \sum_{i=1}^{16} \frac{b_i}{2^{17-i}} V_{ref}\right) + V_{cm} \quad (7)$$

由上述分析可知，新型的分段电容阵列结构很好的解决了桥接电容为单位电容非整数倍的问题，取桥接电容等于单位电容，不影响相邻两位之间的比例关系。

冗余位可以在冗余量的范围内容忍由于非理想因素造成的错误判断，即后面的比较可以纠正前面的错误，从而可以降低 CDAC 建立精度要求，加快 SAR ADC 的整体速度[8-9]。电容权重越大，对最后的输出结果影响越大，因此电容权重越高，冗余量设计得也越大。表 1 为本设计中电容阵列的设计使得权重以及冗余量。

表 1 电容阵列取值

电容值(C_u)	当前位权重	低位权重之和	冗余量(LSBs)
56	7 168	9 215	2 047
32	4 096	5 119	1 023
16	2 048	3 071	1 023
10	1 280	1 791	511
6	768	1 023	255
4	512	511	0
2	256	255	0
1	128	127	0
56	56	71	15
32	32	39	8
16	16	23	8
10	10	13	4
6	6	7	2
4	4	3	0
2	2	1	0
1	1	0	0

2.6 数字校准逻辑电路模块

SAR ADC 是基于冗余技术进行设计，因此需要用最后得到的十六位的冗余码值来表示出 14 位的二进制码值，即 14 位的每个二进制的码值可以表示为几个非二进制码值之和，通过分析可以得到下列关系式：

$$D_{OUT} = D_1 + (D_5 + D_4 + D_2) \times 2^1 + (D_4 + D_3) \times 2^2 + (D_8 + D_5) \times 2^3 + (D_8 + D_6) \times 2^4 + (D_8 + D_7) \times 2^5 + D_9 \times 2^7 + (D_{13} + D_{12} + D_{10}) \times 2^8 + (D_{12} + D_{11}) \times 2^9 + (D_{16} + D_{13}) \times 2^{10} + (D_{16} + D_{14}) \times 2^{11} + (D_{16} + D_{15}) \times 2^{12} \quad (8)$$

根据上述关系式可以得到电路结构，如图 10。

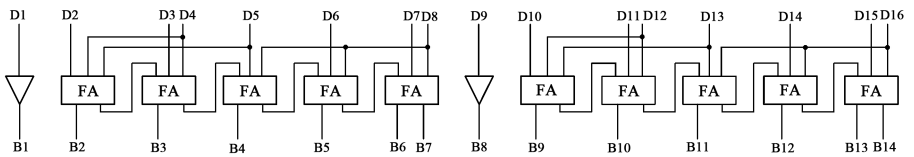
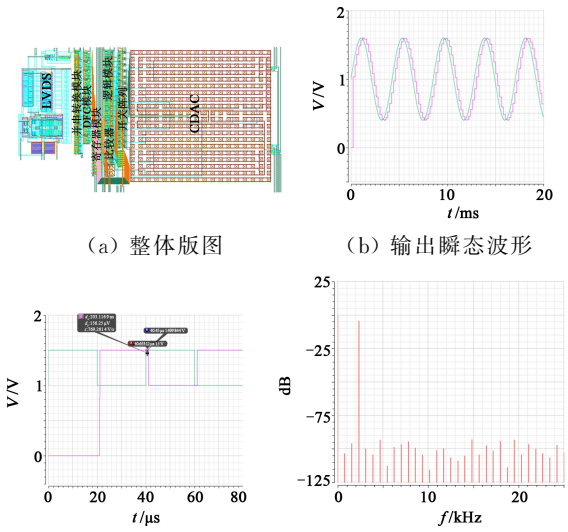


图 10 数字码值校准逻辑电路

3　仿真结果与版图

基于 180 nm CMOS 工艺完成了整个 SAR ADC 的版图设计以及电路仿真。SAR ADC 的设计版图如图 11(a)所示。当电源电压设置为 3.3 V，采样频率为 1 MHz 时，内部时钟频率为 20 MHz 进行电路仿真，将 ADC 输出的数字码值通过理想 DAC 得到整形波形如图 11(b)所示。由结果可知，ADC 的输入摆幅最大可为 0～3 V。图 11(c)表示输入阶梯型电压得到数字码值，并将得到的数字码值通过理想 DAC 得到输出电压。通过图示可以看出，输入和输出的失调电压约为 160 μV。图 11(d)表示其动态参数的仿真结果，计算得出其信噪比为 79.2 dB，有效位数为 13.8 bits，无杂散动态范围为 88.2 dB。当采样频率增大到 1 MHz 时，其有效位数为 13.4 bits。并进行寄生参数提取进行后仿验证其有效位为 12.8 bits。



(a) 整体版图　(b) 输出瞬态波形

(c) SAR 失调仿真　(d) 动态参数仿真

图 11　SAR ADC 的版图和基本仿真结果

4　结论

针对线列 InGaAs 焦平面的数字化、集成化的需求，本文采用非二进制冗余位和两段式电容阵列相结合的技术设计了一款高精度的 SAR ADC，桥接电容的引入减小了 DAC 的电容数目，而非二进制冗余提高了 SAR ADC 的整体转换速度和精度，仿真结果表明，采样频率为 1 MHz 时，有效位数为 13.4 bits。实现了高精度的 SAR ADC 的设计，后续将应用到线列短波红外 InGaAs 的数字化读出电路中。

参考文献：

[1] 李　雪，龚海梅，邵秀梅，等. 短波红外 InGaAs 焦平面研究进展[J]. 红外与毫米波学报，2022，41(1)：129-138.
Li Xue，Gong Haimei，Shao Xiumei，et al. Developments of short-wave infrared InGaAs focal plane detector[J]. Infrared Millim. Waves，2022，41(1)：129-138.

[2] Battaglia J，Brubaker R，Malchow D，et al. High speed short wave infrared (SWIR) imaging and range gating cameras[J]. Proc. SPIE，2007，6541：654106.

[3] Kim Y G，Jayanthi V R，Kweon I S. System-on-chip solution of video stabilization for CMOS image sensors in hand-held devices[J]. IEEE T. Circ. and Syst. Vid. T.，2011，21(10)：1401-1414.

[4] 刘传明，姚立斌. 红外焦平面探测器数字读出电路研究[J]. 红外技术，2012，34(3)：125-133.
Liu Chuanming，Yao Libin. Study on digital readout circuit for infrared FPA detectors[J]. Infrared Technology，2012，34(3)：125-133.

[5] 白丕绩，姚立斌. 第三代红外焦平面探测器读出电路[J]. 红外技术，2015，37(2)：89-96.
Bai Piji，Yao Libin. Readout intergrated circuit for third-generation infrared focal plane detector [J]. Infrared Technology，2015，37(2)：89-96.

[6] 魏　杨，王绪泉，黄张成，等. 短波红外 InGaAs 线性焦平面数字化输出研究[J]. 红外与毫米波学报，2018，37(3)：257-260，268.
Wei Yang，Wang Xuquan，Huang Zhangcheng，et al. Digital output for short-wave infrared InGaAs linear FPA[J]. Infrared Millim. Waves，2018，37(3)：257-260，268.

[7] Johnson J F，Lomheim T S. Focal-plane signal and noise model-CTIA ROIC[J]. IEEE Trans. on Electron Devices，2009，56(11)：2506-2515.

[8] Li M，Yao Y，Hu B，et al. A 6.94-fJ/conversion-step 12-bit 100-MS/s asynchronous SAR ADC exploiting split-CDAC in 65-nm CMOS[J]. IEEE Access，2021，9：77545-77554.

[9] Kuo H L，Lu C W，Chen P. An 18.39 fJ/conversion-step 1-MS/s 12-bit SAR ADC with non-binary multiple-LSB-redundant and non-integer-and-split-capacitor DAC[J]. IEEE Access，2021，9：5651-5669.

作者简介：

陶文刚(1996－)，男，河南省焦作市人，硕士研究生，主要研究方向为短波红外焦平面数字化读出电路；

黄松垒(1984－)，男，福建省莆田市人，博士，副研究员，从事超大规模集成电路设计方向的研究；

方家熊(1939－)，男，安徽省黄山市人，研究员，中国工程院院士，研究方向为红外传感器。