光电器件

DOI：10.16818/j.issn1001－5868.2022112402

# 用于高能物理实验电子读出芯片的低噪声锁相环芯片设计

石群祺，郭　迪*，赵　聪，陈强军，李君丞，易利文，严世伟

（华中师范大学 物理科学与技术学院 PLAC 硅像素实验室，武汉 430079）

**摘　要：** 基于TSMC 180 nm工艺设计并流片测试了一款用于高能物理实验的电子读出系统的低噪声、低功耗锁相环芯片。该芯片主要由鉴频鉴相器、电荷泵、环路滤波器、压控振荡器和分频器等子模块组成，在锁相环电荷泵模块中，使用共源共栅电流镜结构精准镜像电流以减小电流失配和用运放钳位电压进一步减小相位噪声。测试结果表明，该锁相环芯片在1.8 V电源电压、输入50 MHz参考时钟条件下，可稳定输出200 MHz的差分时钟信号，时钟均方根抖动为2.26 ps（0.45 mUI），相位噪声在1 MHz频偏处为－105.83 dBc/Hz。芯片整体功耗实测为23.4 mW，锁相环核心功耗为2.02 mW。

**关键词：** 探测器；锁相环；相位噪声；低噪声低功耗；均方根抖动

**中图分类号：** TN432　**文章编号：** 1001－5868(2023)02－0187－06

## Design of Low Noise PLL for Electronic Readout Chip in High Energy Physics Experiment

SHI Qunqi, GUO Di, ZHAO Cong, CHEN Qiangjun, LI Juncheng, YI Liwen, YAN Shiwei

(PLAC, Key Laboratory of Quark and Lepton Physics (MOE), Central China Normal University, Wuhan 430079, CHN)

**Abstract:** A low noise and low power phase locked loop (PLL) chip for the electronic readout system of high energy physics experiments was designed and tested based on the TSMC process of 180 nm. The chip was mainly composed of frequency and phase discriminator, charge pump, loop filter, voltage controlled oscillator, frequency divider and other sub-modules. In the phase-locked loop charge pump module, the cascade current mirror was used to accurately mirror the current to reduce the electrical loss and the operation amplifier clamp voltage was used to further reduce the phase noise. The test results show that the PLL chip can stably output 200 MHz differential clock signal under the condition of 1.8 V power supply voltage and 50 MHz reference clock input. The RMS clock jitter is 2.26 ps (0.45 mUI), and the phase noise is －105.83 dBc/Hz at the frequency offset of 1 MHz. The measured power consumption of the overall chip is 23.4 mW and the core power consumption of the PLL is 2.02 mW.

**Key words:** detector; phase-locked loop; phase noise; low noise and low power consumption; root mean square jitter

## 0　引言

随着高能物理理论与实验的不断互相演化与推进，国内外大型高能物理实验得到蓬勃发展[1]。在粒子物理实验中，由粒子源轰击其他粒子产生反应，探测器系统测量反应产物获取实验数据，再通过离线数据分析取得物理结果。在这一过程中，粒子探测器与数据获取是核心环节。前后端的海量数据通

**收稿日期：**2022－11－24.
**基金项目：**国家重点研发计划项目(2020YFE0202002).
* **通信作者：**郭　迪　**E-mail：** diguo@mail.ccnu.edu.cn

信通过高速双向光纤数据系统完成。在此高速串行光通信系统中,低噪声低功耗锁相环(PLL)是的关键功能部件之一[2-3]。

本文详细介绍了一款基于 TSMC 180 nm 工艺,应用于重离子超导同步加速器探测器前端读出的 200 MHz 锁相环芯片的设计与测试结果。该芯片主要由鉴频鉴相器、电荷泵、环路滤波器、压控振荡器和分频器等模块组成。对于鉴频鉴相器模块,介绍了死区和盲区产生的原因和解决方案,在电荷泵模块中使用了共源共栅电流镜结构精准镜像电流以减小电流失配,使用运放钳位电压以进一步减小相位噪声。芯片的实测结果表明该锁相环芯片在 50 MHz 参考时钟输入条件下,稳定输出 200 MHz 幅度 250 mV 的差分时钟信号,时钟均方根抖动为 2.26 ps(0.45 mUI),相位噪声在 1 MHz 频偏处为 −105.83 dBc/Hz。锁相环芯片整体面积为 1.2 mm×1.2 mm,整体功耗为 23.4 mW,其中核心模块版图面积为 159 μm×463 μm,核心模块功耗为 2.02 mW。

## 1 系统结构

本文设计了具有三阶环路滤波器的Ⅱ型 PLL 来产生 200 MHz 频率的时钟信号,输入参考时钟频率为 50 MHz。系统的结构框图如图 1 所示,参考时钟与反馈时钟输入鉴频鉴相器(PFD),然后将鉴别后的信号输出至电荷泵(CP),经过三阶环路滤波器(LPF)后得到电压信号 $V_{ctrl}$,进而控制压控振荡器(VCO)产生输出时钟[3]。反馈时钟由输出时钟经过分频器后产生。

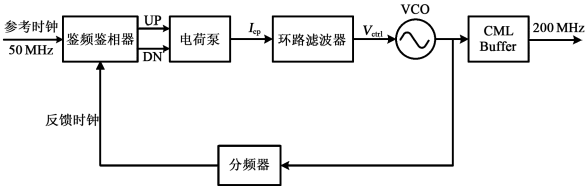



图 1 PLL 系统框图

## 2 电路设计

### 2.1 鉴频鉴相器电路

鉴频鉴相器模块功能是将输入时钟有效边沿的相位差值转换成一定宽度的电压脉冲信号,脉冲宽度正比于时钟边沿的相位差值。一个理想的鉴频鉴相器的传输函数曲线是一条过零点的直线。一般的鉴频鉴相器只对有限范围内的输入相位差值有效,而当两个输入时钟频率不同时,其相位差会不断随时间增长而超出鉴频鉴相器的有效鉴定范围。本文所选择的结构是一个基于 D 触发器的时序状态机,如图 2 所示。其由两个 D 触发器和延时复位回路组成。四输入与非门用于复位延时,S2D 单端转差分电路由奇数个反相器级联和偶数个反相器级联构成,这种鉴频鉴相器通常和电荷泵一起使用,其输出的 UP 和 DN 分别控制电荷泵输出的正的和负的电流脉冲,而且电流脉冲的宽度由 UP 和 DN 的脉冲宽度决定。在两种情况下时序图如图 3 所示。如果以 UP 和 DN 的脉冲宽度之差为输出信号,而且电流脉冲的幅度为 $I_{cp}$,可以得到如图 4 所示的传输函数[4]。可以看出即便是当输入相位差大于 2π 时,此鉴频鉴相器输出的正负号仍然是正确的,因此该鉴频鉴相器可以用于两时钟相位差很大,或频率不同的系统中。该鉴频鉴相器电路具有电路简单、稳定性高等优点。鉴频鉴相器设计的另一个问题是存在“死区”,在微小相位差如图 5(a)时电路误以为系统锁定。为了消除这一影响,在其复位电路中加入适当的延时,使 UP 和 DN 的窄脉冲适当变宽,从而有足够的时间充放电。但是这会带来另一个问题,由于复位时间较长会导致当相位差在 2π 左右时,电路无法检测到相位超前的时钟沿,如图 5(b)所示。但是最终整个环路的负反馈机制会纠正这个问题,因此如图 5(c)所示,本设计利用延时使没有相位差时依然存在 0.4 ns 的窄脉宽,解决了“死区”的问题。

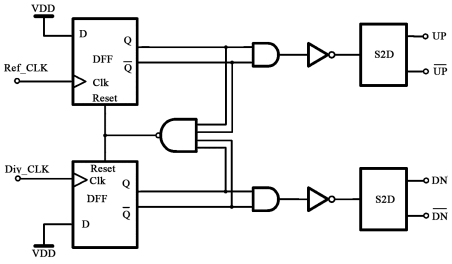
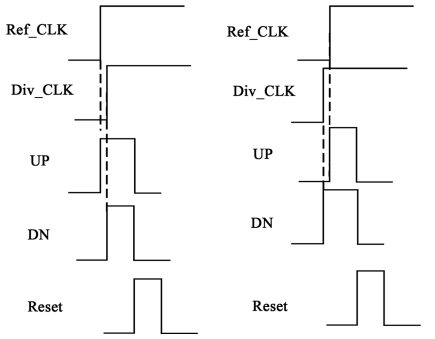



图 2 鉴频鉴相器原理图




(a) 参考时钟领先 (b) 参考时钟落后

图 3 鉴频鉴相器工作时序图

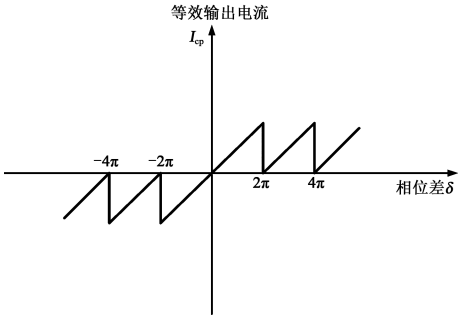
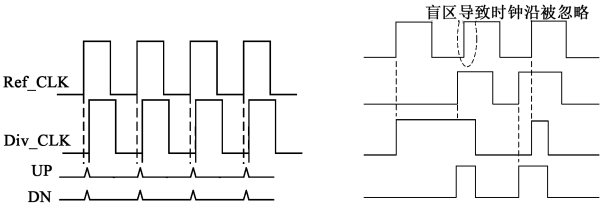
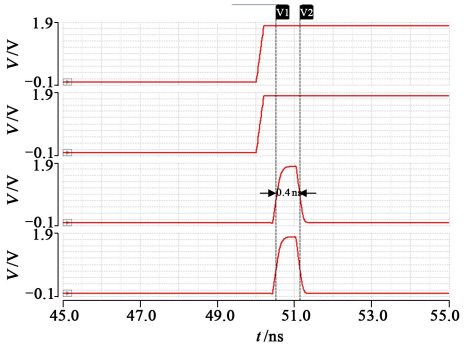



图 4　鉴频鉴相器传递函数




（a）死区的产生　　（b）盲区的产生




（c）PFD 输入相位差为 0 时的仿真波形

图 5　死区、盲区以及环路负反馈波形示意图

## 2.2　电荷泵和环路滤波器电路

电荷泵和环路滤波器电路的主要功能是将鉴频鉴相器输出的一定脉宽的电压信号转换成与脉宽信息相对应的电压值，该电压值将直接控制后续的压控振荡器模块得到最终输出，因此该部分设计的优化对最终输出时钟的相位噪声有很大影响[5]。图 6 展示了基于漏极开关结构的电荷泵和环路滤波器的电路原理图。主要由电流型 DAC、传输门、运算放大器、电容和电阻组成。参考电流 $I_{ref}$ 通过多级共源共栅电流镜的镜像，得到 $I_UP$ 与 $I_DN$ 电流。图中四个传输门 TG1～TG4 分别由前一个模块 PDF 输出的 UP 和 DN 信号控制。当传输门 TG1 打开、TG2 关闭时，电流 $I_UP$ 对环路滤波器中的电容进行充电，当 TG1 关闭，TG2 打开时，环路滤波器中的电容通过 $I_DN$ 进行放电。最终实现环路滤波器中电容上的电压 $V_{ctrl}$ 由 PFD 模块输出的 UP 和 DN 信号的脉宽所决定。

原理图中处于深度负反馈的运算放大器 AMP 将 A 和 B 两点钳位至相同电压值，以保证 TG1～TG4 传输门在打开/关闭过程中 A，B，X，Y 四点的电压相同，为电流源提供始终相同的直流工作环境，进一步减小由电荷泵引入的噪声[6-7]。图 7 是本设计中电荷泵泄漏电流 $I_{leak}$ 的仿真曲线，其中 $I_0$ 的大小由 IDAC 的 bit 位进行控制，电荷泵的泄漏电流 $I_{leak}$ 的大小与充放电电流 $I_{ref}$ 直接相关，本设计的泄露电流均在 nA 级别。

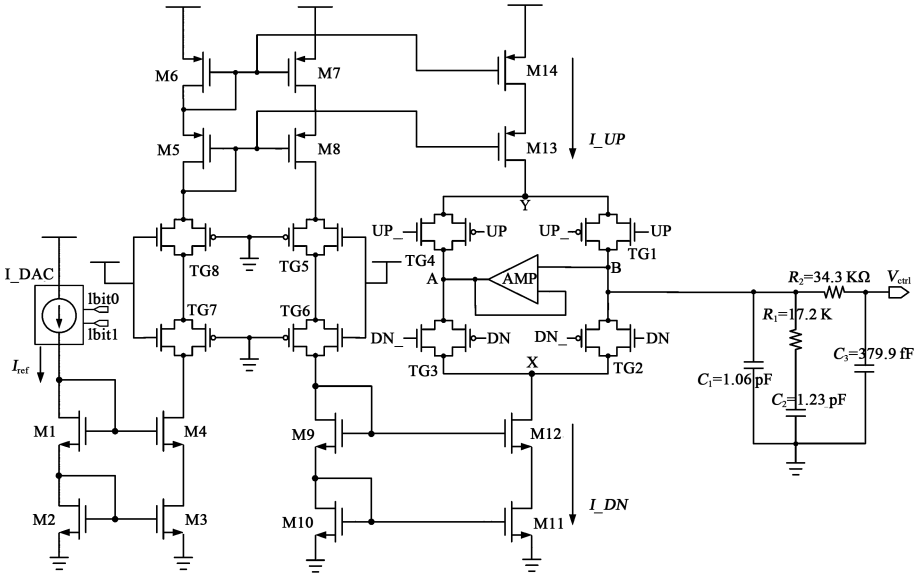



图 6　电荷泵和环路滤波器原理图

环路滤波器决定着整个系统的环路带宽和相位裕度。其中滤波器的环路带宽通常是锁相环参考频率的 1/10～1/15[6]，系统的相位裕度一般设计在 60°以上。以此为标准，并结合分频器分频系数 $N$、压控振荡器的 $K_{vco}$ 曲线和输出时钟频率 $f_{osc}$，计算出环路滤波器中的具体电容电阻值[8-9]。图 6 展示了本设计中采用的三阶无源滤波器的原理图和具体设计数值。

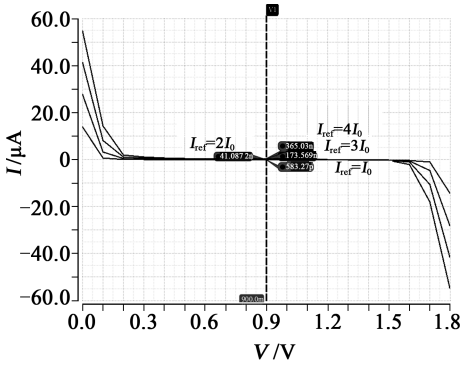



图 7 电荷泵失配电流和输出电压关系曲线

### 2.3 环形压控振荡器电路

压控振荡器是 $V_{ctrl}$ 的精确控制对象，压控振荡器能够在一定频率范围产生一个时钟信号，然后通过 $V_{ctrl}$ 将其频率精确锁定本设计中的 VCO 模块。$N$ 级环形振荡器的振荡频率为 $f_{osc}=(2NT_D)-1$，其中 $T_D$ 为每级电路的延时[10]。设计中每级电路的 $T_D$ 由反相器和 RC 电路实现，其中电容 $C$ 为 $V_{ctrl}$ 电压所控制的可变电容[11]。通过改变控制电压 $V_{ctrl}$ 改变电容值以获得不同的延时，进而实现输出信号时钟频率的控制，图 8 展示了本 VCO 模块的 $K_{vco}$ 曲线。

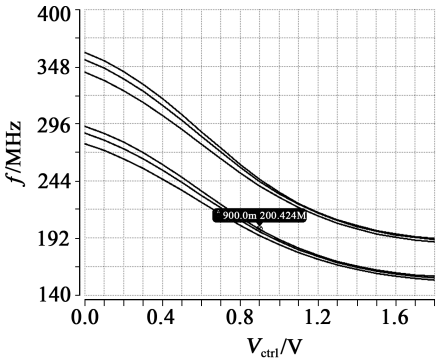



图 8 VCO 输出频率与控制电压的关系曲线

### 2.4 分频器电路(DIV)

分频器构成锁相环的反馈回路，其功能是将振荡器的高频信号以指定分配倍数 $N$ 分频到较低的频率，以反馈至输入端，与参考时钟在 PFD 模块中进行比较。本设计输入的参考时钟为 50 MHz，输出时钟为 200 MHz，分频倍数 $N$ 为 4。图 9 和图 10 展示了四分频电路和其中所使用的 D 触发器的原理图设计[12-13]。

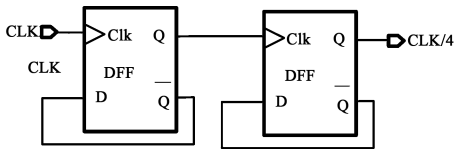



图 9 四分频电路

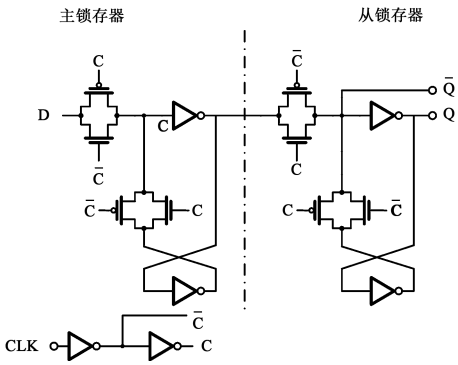



图 10 CMOS 主从 D 触发器

## 3 芯片测试及结果

本次设计基于 TSMC 180 nm CMOS 工艺并且已经完成测试芯片面积为 1 120 μm×1 120 μm，其整体版图如图 11 所示，芯片在显微镜下的绑线实物图如图 12 所示。

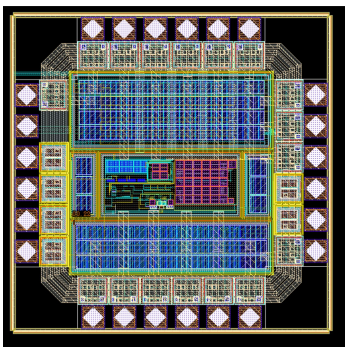


图 11 芯片整体版图

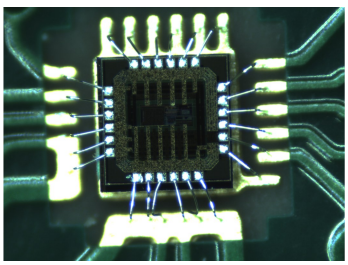


图 12 芯片绑定图

锁相环芯片的测试由输出时钟的抖动测试和相位噪声测试两部分组成。图 13 为芯片测试系统的设计框图。其中 SI5338 开发板为芯片提供 50 MHz 差分 500 mV 的参考时钟输入信号，参考时钟经过 AC 耦合送至待测芯片。锁相环芯片的最终输出时钟通过 SMA 接头和线缆分别接至示波器（Agilent Infiniium DSO8104B）和频谱分析仪（Keysight EXA Signal Analyzer N90100），进行抖动 jitter 与相位噪声测试[14-15]。

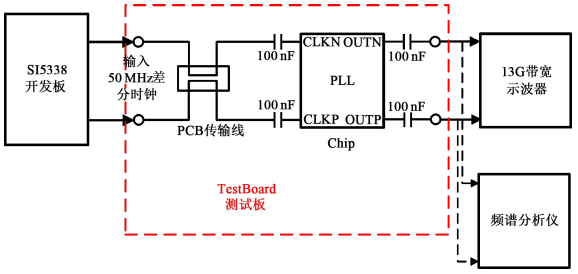



图 13　芯片测试方案

相位噪声测试平台实物如图 14 所示。图 15 展示了使用示波器测量输出时钟波形与抖动 jitter 分析的结果。在 1.8 V 电源供电下，实测整体功耗约为 23.4 mW，与仿真结果一致。待测锁相环芯片输出稳定的 200 MHz 时钟信号，信号幅度 500 mV，实测随机抖动均方根抖动为 2.26 ps(0.45 mUI)，在(Agilent Infiniium DSO8104B)。

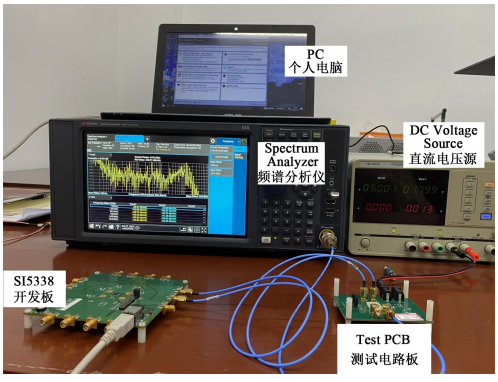



图 14　芯片测试平台

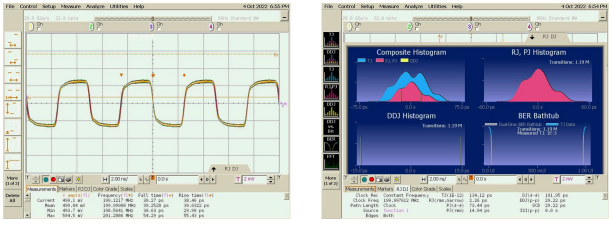



图 15　示波器显示结果

图 16 展示了使用频谱仪测量相位噪声的结果，输出时钟的相位噪声在 1 MHz 频偏处为 −105.83 dBc/Hz。

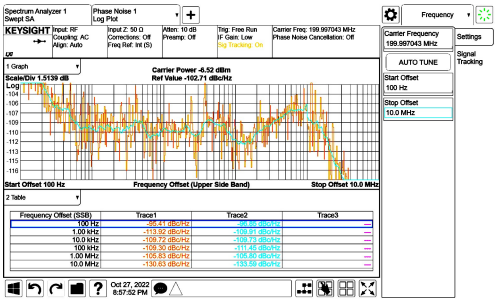



图 16　200 MHz 相位噪声测试结果

## 4　结论

本文介绍了一种用于 NICA 项目像素探测器读出的低噪声低功耗 200 MHz 锁相环芯片的设计与测试结果。在锁相环电荷泵模块中使用了共源共栅结构电流镜和运放钳位电压以减小相位噪声。锁相环芯片在电源电压为 1.8 V 下的实测功耗为 23.4 mW，测试结果表明，该设计在输入 50 MHz 参考时钟下，正常输出 200 MHz、差分 500 mV 时钟。输出时钟均方根抖动实测为 2.26 ps（0.45 mUI）。在相位噪声测试中，输出时钟在 1 MHz 频偏处为 −105.83 dBc/Hz。

**参考文献：**

[1] Lee T D. Searching for a qcd mixed phase at the nuclotron-based ion collider facility[EB/OL]. 2009-1-14[2023-5-23] http://nica.jinr.ru/files/WhitePaper.pdf.

[2] Sissakian A N, Sorin A S, Kekelidze V D. The Multipose Detector-MPD [M]. Very High Multiplicity Physics Workshops, 2008.

[3] 张　涛. 锁相技术[M]. 北京：机械工业出版社，2015.
Zhang Tao. Phaselock Techniques [M]. Beijing: China Machine Press, 2015.

[4] 张　刚. CMOS 集成锁相环电路设计[M]. 北京：清华大学出版社，2013.
Zhang Gang. Design of CMOS Integrated Phase-Locked Loops [M]. Beijing: Tsinghua University Press, 2013.

[5] 鲍进华，吕荫学，李　博，等. 一种基于标准 CMOS 工艺实现的锁相环电路[J]. 电子设计工程，2016，24(2)：90-92.
Bao Jinhua, Lü Yinxue, Li Bo, et al. Implementation of a PLL based on standard CMOS process [J]. Electronic Design Engineering, 2016, 24(2): 90-92.

[6] 徐安洋，郭　迪，孙向明. 2.56 GHz 低抖动 CMOS 集成锁相环的设计[J]. 电子设计工程，2020，28(16)：188-193.
Xu Anyang, Guo Di, Sun Xiangming. Design of 2.56 GHz low jitter CMOS integrated phase-locked loop[J]. Electronic Design

Engineering, 2020, 28(16):188-193.

[7] 葛彬杰, 李 琰, 俞 航, 等. 一种基于0.18 μm CMOS工艺的电荷泵锁相环[J]. 微电子学, 2018, 48(2): 211-215.
Ge Binjie, Li Yan, Yu Hang, et al. A 0.18 μm CMOS charge pump phase-locked loop[J]. Microelectronics, 2018, 48(2): 211-215.

[8] 白 杨. 一种新型电荷泵锁相环电路的设计[D]. 北京: 北京工业大学, 2015.
Bai Yang. Design of a novel charge pump phase-locked loop [D]. Beijing: Beijing University of Technology, 2015.

[9] 宋意良. 低噪声宽频率输出抗SET锁相环设计与实现[D]. 合肥: 国防科学技术大学, 2016.
Song Yiliang. Design and impementation of single-event transients hardening phase-locked loop with low phase noise and wide frequency range [D]. Hefei: National University of Defense Technol., 2016.

[10] 毕查德·拉扎维. 模拟CMOS集成电路设计[M]. 西安: 西安交通大学出版社, 2003.
Behzad Razavi. Design of Analog CMOS Integrated Circuits [M]. Xi'an: Xi'an Jiaotong University Press, 2003.

[11] Yilmaz G, Dehollain C. 20～300 MHz frequency generator with −70 dBc reference spur for low jitter serial applications [J]. 2016 IEEE Nordic Circuits and Systems Conference (NORCAS), 2016: 1-4.

[12] 李演明, 仝 倩, 倪旭文, 等. 一种改进型的CMOS电荷泵锁相环电路[J]. 半导体技术, 2014, 39(4): 248-253.
Li Yanming, Tong Qian, Ni Xuwen, et al. An improved CMOS charge pump PLL circuit [J]. Semiconductor Technology, 2014, 39(4): 248-253.

[13] 赵超毅, 陈 勇, 李绍前. COMPASS卫星网络基于DT-DVTR的路由算法研究[J]. 电子设计工程, 2018, 26(2): 98-101.
Zhao Chaoyi, Chen Yong, Li Shaoqian. Research on DT-DVTR based routing algorithm for COMPASS satellite network[J]. Electronic Design Engineering, 2018, 26(2): 98-101.

[14] 陈强军, 赵 聪, 郭 迪, 等. 4×5 Gbit/s VCSEL阵列驱动集成电路[J]. 半导体技术, 2020, 45(2): 110-115.
Chen Qiangjun, Zhao Cong, Guo Di, et al. 4×5 Gbit/s VCSEL array driver integrated circuit[J]. Semiconductor Technology, 2020, 45(2): 110-115.

[15] Zhao C, Guo D, Chen Q, et al. A low noise 5.12 GHz PLL ASIC in 55 nm for NICA multi-purpose detector project[J]. J. of Instrumentation, 2022, 17(9): C09003.

## 作者简介:

**石群祺**(1998—),男,湖北省随州市人,硕士研究生,从事光纤通信高速集成电路的研究与设计;

**郭 迪**(1986—),男,湖北省仙桃市人,副教授,主要从事光纤通信高速电路ASIC研究与设计。