光电器件

DOI：10.16818/j.issn1001－5868.2023022102

一种全速率线性 25 Gb/s 时钟数据恢复电路

张书豪，黄启俊，常　胜，王　豪，何　进*

（武汉大学 物理科学与技术学院，武汉 430072）

摘　要： 面向高速光通信系统的应用，提出了一种全速率线性 25 Gb/s 时钟数据恢复电路（Clock and Data Recovery Circuit，CDRC）。CDRC 采用了混频器型线性鉴相器和自动锁频技术来实现全速率时钟提取和数据恢复。在设计中没有使用外部参考时钟。基于 45 nm CMOS 工艺，该 CDR 电路从版图后仿真结果得到：恢复 25 Gb/s 数据眼图的差分电压峰峰值 V_{pp} 和抖动峰峰值分别为 1.3 V 和 2.93 ps；输出 25 GHz 时钟的差分电压峰峰值 V_{pp} 和抖动峰峰值分别为 1 V 和 2.51 ps，相位噪声为－93.6 dBc/Hz@1 MHz。该芯片面积为 1.18×1.07 mm^2，在 1 V 的电源电压下功耗为 51.36 mW。

关键词： 光通信；时钟数据恢复；线性鉴相器；鉴频器；CMOS

中图分类号： TN432　**文章编号：** 1001－5868(2023)03－0344－06

A Full-Rate Linear 25 Gbps Clock and Data Recovery Circuit

ZHANG Shuhao，HUANG Qijun，CHANG Sheng，WANG Hao，HE Jin

（School of Physics and Technology，Wuhan University，Wuhan 430072，CHN）

Abstract： In this paper，a full-rate linear 25 Gbps clock and data recovery circuit (CDRC) is proposed for the application of high-speed optical communication systems. To achieve full-rate clock extraction and data recovery，CDRC employed a mixer-based linear phase detector and automatic frequency locking technique. No external reference clock was used in the design. Based on a 45 nm CMOS process，the CDR circuit from the post-plate simulation results achieves that the peak-to-peak differential voltage V_{pp} and peak-to-peak jitter of the recovered 25 Gbps data eye diagram are 1.3 V and 2.93 ps，respectively. The output 25 GHz clock has a differential peak-to-peak voltage V_{pp} and peak-to-peak jitter of 1 V and 2.51 ps，respectively，with phase noise of －93.6 dBc/Hz@1 MHz. The chip has an area of 1.18×1.07 mm^2 and consumes 51.36 mW at a supply voltage of 1 V.

Key words： optical communication；CDR；linear phase detector；frequency detector；CMOS

0　引言

近年来，随着流媒体、云计算、云存储以及物联网（IoT）的兴起，人们对网络传输速率和带宽有了更高的需求，而光纤通信系统由于其速率高、带宽大、损耗低、传输距离长等独特优势而得到广泛应用[1-3]。在光纤通信系统中，数据信号到达接收端后，需要进行判决再生，因此，接收机端的时钟数据恢复电路（Clock and Data Recovery Circuit，CDRC）便起着关键作用，特别是从串行数据中提取的时钟信号，其性能对光接收机中信号的同步处理至关重要。

收稿日期：2023－02－21.

基金项目：国家自然科学基金项目(61774113，61874079，62074116，81971702).

* **通信作者：**何　进　**E-mail：** jin.he@whu.edu.cn

近年来，CDRC 已成为研究热点，并得到了学术界和工业界的广泛关注。Lee 等[4]提出了一种 25 Gb/s 全集成光接收机，带有波特率时钟和数据恢复功能，可以节省一半的采样相位，从而优化了芯片的功耗和面积。Huang 等[5]基于 0.18 μm CMOS 工艺提出了一种具有较宽采样范围的 CDRC，采用鉴相器与频闪点探测器（SPD）组合技术，可实现 8.2～10.3 Gb/s 的工作范围。Rahman 等[6]提出了一种带有频率捕获功能的数字 CDRC，通过检测数据上升和下降的波形来获得频率信息，其工作范围为 22.5～32 Gb/s。

相比于 Bang-Bang 或 Alexander 等传统二进制锁相环的抖动传递和抖动容限随输入相位的大小而变化，线性锁相环则可以很好地改善这些设计问题。但由于传统线性鉴相器（PD）的线性运算通常涉及脉冲产生和脉宽比较并产生较大的延时，基于线性锁相环的 CDR 电路工作在高速率时非常具有挑战性。用于光或铜介质的中继器，由于其空间和引脚数量严重受限，无法包括外部晶体振荡器；另外，增加一个低噪声、速率可调的晶振会增加接收机的整体成本和复杂性[7]，因此，在 CDR 环路设计中需要消除上述问题。

本文提出了一种无外部参考时钟的全速率混频器型线性 CDR 电路，同时结合无需正交时钟的自动锁频技术，在环路失锁时自动激活，并在频率捕获完成时自动关断，该环路成功地从输入的 25 Gb/s NRZ 数据流中提取了 25 GHz 时钟信号并完成数据恢复。

1　CDR 系统分析

如图 1 所示是本文提出的 CDR 的系统架构图。它包含混频器型鉴相器（Mixer-PD）、鉴频器（FD）、V/I 转换器、低通环路滤波器（LPF）、压控振荡器（VCO）和 D 触发器（DFF）。

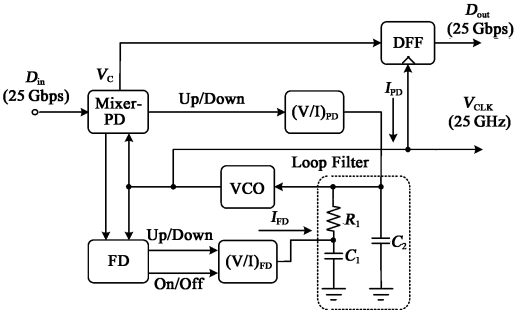
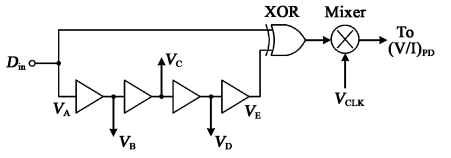


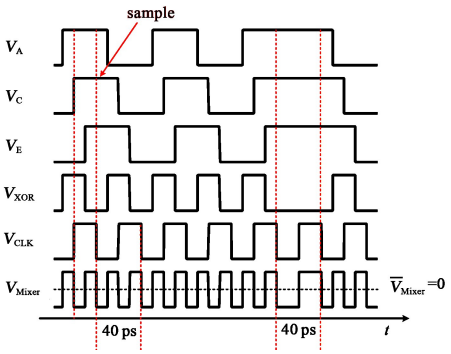
图 1　CDR 系统架构

1.1　CDR 工作原理

混频器型线性 PD 的原理图如图 2(a)所示，由四个相同的延迟单元（Delay Cell）、异或门（XOR）与混频器（Mixer）构成。



(a) 原理图



(b) PD 在锁定状态下各重要节点的理想时序逻辑图

图 2　混频器型 PD 的原理图与锁定时理想的时序逻辑图

如图 2(a)所示的 PD 原理图，一路 25 Gb/s NRZ 数据流 V_A 直接输入到 XOR，另一路 V_E 则通过一个由 4 级延时单元级联而成的延迟单元链，从 V_A 到 V_E 产生 0.5UI(20 ps)的延迟后，再输入到 XOR，XOR 产生一个 20 ps 的理想脉冲 V_{XOR}。作为相位检测的参考，该脉冲序列与 VCO 生成的时钟信号 V_{CLK} 通过 Mixer 进行混频。如图 2(b)所示为混频器型 PD 在锁定状态下各重要节点的理想时序逻辑图。当数据边缘存在时，Mixer 产生一个输出脉冲 V_{Mixer}，其脉宽正比于 V_{XOR} 和 V_{CLK} 之间的相位差，因此 V_{Mixer} 可用于相位对准。另外，从图 2(b)中还可以观察到，当在连续比特流时，V_{Mixer} 是一个周期性的，且与 V_{CLK} 同相的信号。假设 V_{CLK} 的占空比为 50%，V_{Mixer} 的平均值则为零。换句话说，对于 NRZ 码流，混频器 Mixer 提供一个与 V_{XOR} 和 V_{CLK} 之间的相位差成比例的平均电压信号，并输出至 V/I 转换器 $(V/I)_{PD}$。然后，$(V/I)_{PD}$ 将平均电压信号转换为电流信号 I_{PD}，并将其注入 LPF，产生控制信号 V_{ctrl} 来自动调节并稳定 V_{CLK} 的频率，最终实现 CDR 环路的锁定。因此，在图 2(b)中，延迟单元链的中心信号 V_C 总是与 V_{CLK} 的上升沿对齐，V_{CLK} 的下降沿则可以通过重定时触发器（DFF）对 V_C 进行采样，以实现对 NRZ 数据的恢复。

由于锁相范围有限，在锁相之前必须获得正确的频率。如图 2(a)所示 PD 的延迟单元链中，从 V_A 到 V_E 的总延迟为 20 ps，意味着从 V_B 到 V_D 的延迟为 10 ps，这相当于 25 GHz 时钟 V_{CLK} 的 90°相移。因此，鉴频器 FD 能够在不使用正交时钟的情况下实现以进行频差检测。FD 的原理图为图 3 所示，时钟 V_{CLK} 通过触发器 DFF_1 和 DFF_2 被来自 PD 的信号 V_B 和 V_D 采样，分别产生两个输出信号 Q_1 和 Q_2。Q_1 和 Q_2 是超前还是滞后取决于频差的极性。进一步，Q_1 通过触发器 DFF_3 被 Q_2 采样，得到信号 Q_3，作为 UP/DN 信号输出至另一个 V/I 转换器 $(V/I)_{FD}$。转换的电流信号 I_{FD} 注入环路滤波器 LPF 并相应地纠正 VCO 频率。

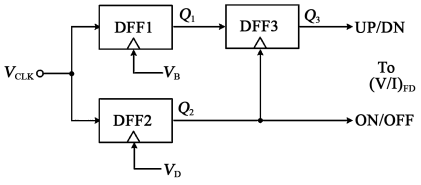


图 3 鉴频器结构

为了尽量减少对 VCO 的干扰，频率捕获功能在环路锁定时关断，而在环路失锁时重新开启。当环路锁相完成后，Q_1 和 Q_2 将分别保持低电平和高电平。当频率捕获完成时，Q_2 将作为 ON/OFF 信号应用到 $(V/I)_{FD}$，来实现自动关断功能，停止频率捕获。

1.2 CDR 系统建模分析

为了更精确的了解 CDR 系统性能，本文对 CDR 环路进行了系统级建模并进行了定性分析，系统的线性模型如图 4 所示。

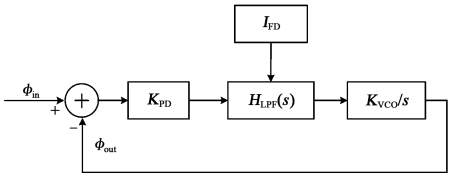


图 4 系统线性模型

其中 K_{PD} 是鉴相器 PD 的线性增益，$H_{LPF}(s)$ 为低通滤波器的传递函数，K_{VCO}/s 是 VCO 的线性增益，I_{FD} 是鉴频环路的输出电流。在设计锁相环路时，为了减少纹波对 VCO 的干扰，使 VCO 输出频率更加稳定，通常采用如图 1 所示的二阶环路滤波器[8]，则 $H_{LPF}(s)$ 表示为 $(R_1+1/sC_1)\|(1/sC_2)$，由此给出该系统的环路增益：

$$G(s)=\frac{K_{VCO}}{s}\frac{(1+sR_1C_1)K_{PD}+I_{FD}}{s^2R_1C_1C_2+s(C_1+C_2)} \tag{1}$$

如 1.1 小节所述，由于本文的鉴频环路具有开关特性，对环路性能起主要作用的为鉴相环路，当频率捕获完成时 FD 从环路中断开，即 $I_{FD}=0$，此时环路增益表示为：

$$G'(s)=\frac{K_{VCO}(1+sR_1C_1)K_{PD}}{s^3R_1C_1C_2+s^2(C_1+C_2)} \tag{2}$$

由上式可以看出，该系统是一个三阶系统，有三个极点和一个零点，其中极点 $\omega_{p1,2}=0$，$\omega_{p3}=C_1+C_2/R_1C_1C_2$，零点 $\omega_z=1/R_1C_1$，该系统的环路带宽为可以表示为 $\omega_{BW}=\sqrt{\frac{K_{PD}K_{VCO}}{C_1+C_2}\sqrt{\frac{\omega_{p3}}{\omega_z}}}$。由于在原点处有两个极点，该系统的初始相位为 −180°，ω_z 出现在 ω_{p3} 之前，会使系统相位在一定范围内大于 −180°，通过对环路滤波器的合理取值，可以使系统在 ω_{BW} 处取得最大相位裕度，以提高系统稳定性。

2 CDR 关键电路模块设计

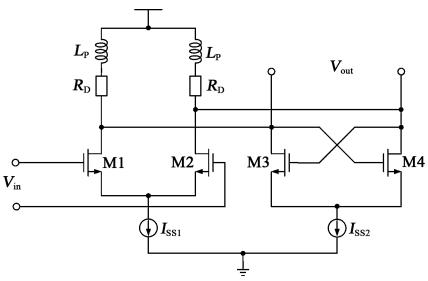
CDR 电路采用了 45 nm CMOS 工艺设计和实现，其 nMOS 晶体管具有 290 GHz 的截止频率 f_T 和 410 GHz 的最大振荡频率 f_{max}，适用于低功耗高速和无线应用。

2.1 混频器型鉴相器(Mixer-PD)

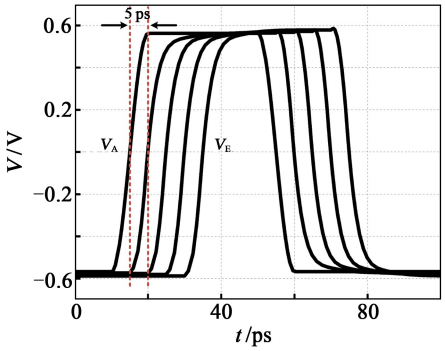
延迟单元电路如图 5(a)所示，为一个滞后缓冲器，具有显著延迟和低功耗的特性。这种结构的半边负载可以表示为：

$$Z_L=\frac{R+sL}{1-g_{m3,4}(R+sL)} \tag{3}$$

当 $g_{m3,4}(R+sL)=1$ 则会产生无穷大的阻抗，有锁死风险，$g_{m3,4}(R+sL)>1$ 时产生迟滞特性。图 5(b)展示了 4 级延迟单元的仿真结果，可以看出每级的延迟时间均在 5 ps 左右，且各级输出电压近似相等，从 V_A 到 V_E 的总延迟约为 20 ps。电感峰化仅引入了微小过冲，在提升带宽的同时不会恶化性能。



(a) 电路原理图



(b) 仿真结果

图 5　延迟单元的电路原理图及仿真结果

混频器电路原理图如图 6 所示，为电感峰化型吉尔伯特单元。考虑到实际传输的高速数据信号近似为正弦信号，XOR 产生的信号 $V_{XOR}(t)=A\cos\omega t$ 和 VCO 生成的时钟信号 $V_{CLK}(t)=B\cos(\omega t+\theta_e)$ 分别作用到开关级 $M_1\sim M_4$ 和跨导级 $M_5\sim M_6$ 的栅极上，通过混频器 Mixer 进行混频后，输出信号 V_{Mixer} 为：

$$V_{Mixer}(t)=\frac{AB}{2}[\cos\theta_e+\cos(2\omega t+\theta_e)] \quad (4)$$

式中，工作频率 ω 为 $2\pi\times25$ GHz，θ_e 表示输入信号 V_A 和 V_{CLK} 之间的相位差。从式(4)中可以观察到含有 ω 的基波项被抵消了，二次谐波 $\cos(2\omega t+\theta_e)$ 会被混频器输出端口的寄生效应滤除掉，因此 V_{Mixer} 近似为以相位差为变量的直流输出 $(AB/2)\cos\theta_e$。

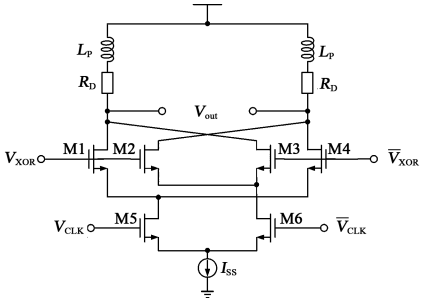


图 6　混频器(Mixer)的电路原理图

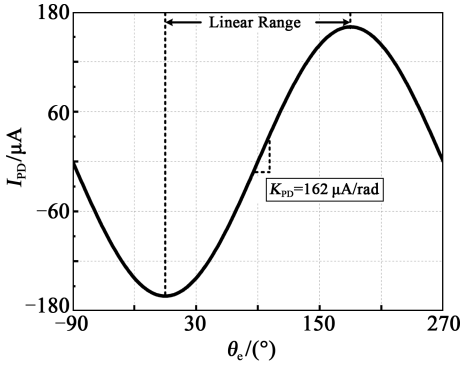


图 7　作为 θ_e 函数的 I_{PD} 平均输出电流曲线

图 7 所示是以相差 θ_e 为函数的 I_{PD} 平均输出电流仿真结果，呈现出一个余弦特性，在 $\theta_e=90°$ 时 I_{PD} 输出均值为 0°，表明环路达到锁定状态。线性工作区域约为 0°～180°，特别在 $\theta_e=90°$ 附近处表现出良好的线性度，PD 增益 $K_{PD}=162\ \mu A/rad$。

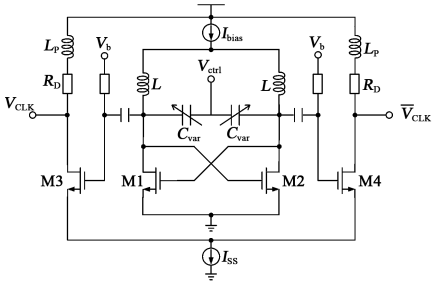
2.2　压控振荡器(VCO)

图 8(a)显示了 25 GHz VCO 的电路原理图。差分 LC VCO 核心部分由交叉耦合的 nMOS 晶体管 M_1 和 M_2 构成，它们产生负电阻 $R_{eq}=-2/g_{m1,2}$ 以补偿并联 LC 谐振回路中寄生电阻 R_p 所消耗的能量，使得 VCO 能够自激振荡，输出的振荡频率为：

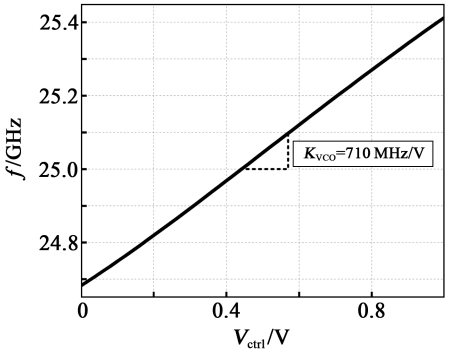
$$f=\frac{1}{2\pi\sqrt{L(C_P+C_{var})}} \quad (5)$$

这里 LC 谐振回路电容由变容二极管的可变电容 C_{var} 和 VCO 核心部分输出端口的寄生电容 C_P 构成。C_P 包括交叉耦合对 $M_{1,2}$ 的电容 C_{CC}、缓冲差分对 $M_{3,4}$ 的输入电容 C_{BUF}、以及电感和互连线的寄生电容 C_{IND}。本设计中产生时钟 V_{CLK} 的频率 f 为 25 GHz。

由于 VCO 缓冲器的输出端存在较大的负载电容 C_L，限制了缓冲器的带宽，使其缓冲器无法提供大的电压摆幅，恶化了 VCO 的相位噪声。因此缓冲器采用了电感(L_P)峰化技术在一定程度上改善



(a) 电路原理图



(b) 调谐范围

图 8　VCO 电路原理图与调谐范围

带宽来增加输出电压摆幅。图 8(b)所示是 VCO 调谐范围仿真曲线,可以看出其在 0～1 V 的电压范围内表现出良好线性度,VCO 的增益 K_{VCO} = 710 MHz/V。

2.3 低通环路滤波器(LPF)

二阶低通环路滤波器(LPF)电路如图 1 所示。由 2.1 和 2.2 小节中得到 PD 增益 K_{PD}=162 μA/rad 和 VCO 的增益 K_{VCO}=710 MHz/V,代入 1.2 小节中基于理论分析得到的公式(2),对环路增益进行仿真,并进行参数反复迭代,最终确定 LPF 的合理参数值,如表 1 所示。仿真结果表明该系统环路带宽约为 15 MHz,相位裕度约为 54°,环路能够快速收敛,进入锁定状态且不产生振荡,证明了系统具有良好的稳定性。

表 1 环路参数

参数名	取值
K_{PD}/(μA/rad)	162
K_{VCO}/(MHz/V)	710
R_1/Ω	144.8
C_1/pF	232.3
C_2/pF	25.6

3 版图与后仿真

本设计所采用的 45 nm CMOS 工艺具有 1 层多晶硅、8 层金属后端和 1 V 电源电压。CDR 电路的版图如图 9 所示,该版图面积为 1.18 mm×1.07 mm。CDR 电路版图级的后仿真结果如下:

图 10(a)为锁定时间仿真结果,首先是 FD 启动 $(V/I)_{FD}$,对 VCO 输出信号的中心频率进行跟踪(蓝色虚线表示);同时,PD 也通过 $(V/I)_{PD}$ 对 VCO 输出信号的相位进行跟踪(红色实线表示)。当捕获到中心频率后,FD 关断 $(V/I)_{FD}$,PD 在环路中起到了主要作用,最终完成环路相位的锁定。PD 和 FD 的锁定时间均约为 400 ns 左右。

输入数据采用 25 Gbps NRZ 伪随机序列(PRBS),长度为 $2^{31}-1$。如图 10(b)所示,恢复 25 Gbps 数据水平眼图的张开度良好,其差分电压峰峰值 V_{pp} 和抖动峰峰值分别为 1.3 V 和 2.93 ps。

图 10(c)显示了提取的时钟信号波形图,差分电压峰峰值 V_{pp} 和抖动峰峰值分别为 1 V 和 2.51 ps。输出时钟信号的频谱如图 10(d)所示,中心频率为 25.08 GHz,频谱干净,无明显的杂散信号(spur),表时钟信号的质量高。图 10(e)所示是输出时钟的相位噪声仿真曲线,在 25.08 GHz 中心频率的 1 MHz 频偏处,噪声为−93.6 dBc/Hz。

在电源电压为 1 V 的情况下,CDR 的功耗为 51.36 mW。表 2 总结了所提出的 CDR 的性能,并与近年来国内外报道的一些 CDR 文章进行了性能比较,可以看出此设计在抖动和功耗性能方面具有一定优势。

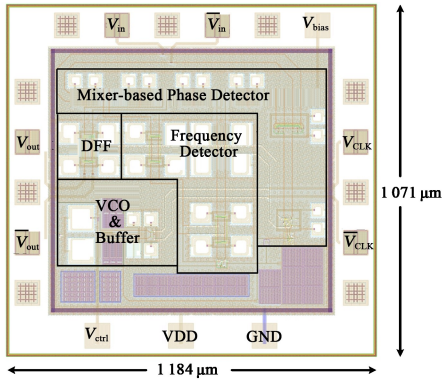
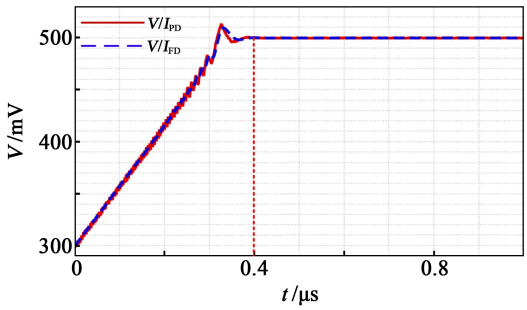
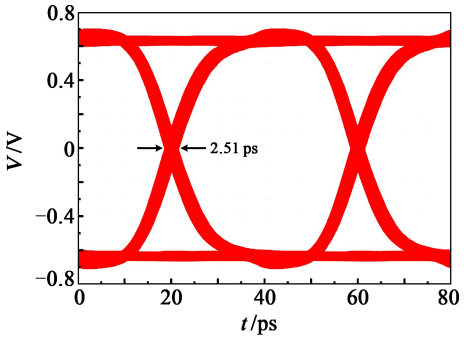


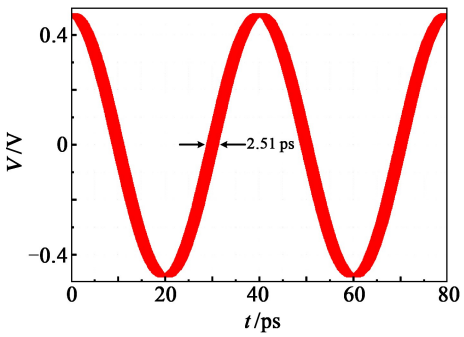
图 9 CDR 版图



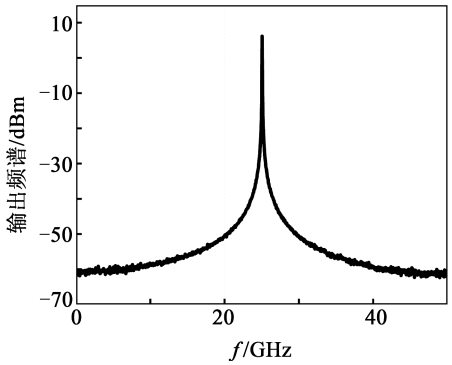
(a) 锁定时间仿真结果



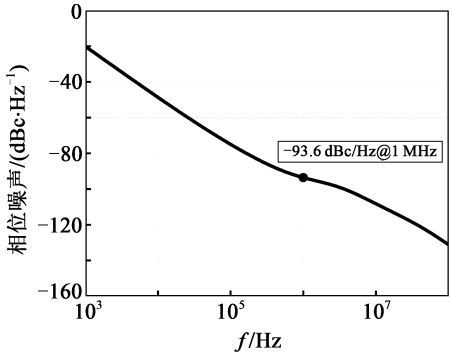
(b) 恢复的 25 Gbps NRZ 数据眼图



(c) 提取的时钟信号波形图



(d) 时钟信号频谱



(e) 输出时钟的相位噪声

图 10　CDR 仿真结果

表 2　CDR 性能对比

参数	[9]	[10]	[11]	本文
工艺	65 nm CMOS	65 nm CMOS	65 nm CMOS	45 nm CMOS
速率/Gbps	25.2	27	20	25
PD 类型	线性	线性	开关式	线性
数据抖动/ps,pp	6.22	2.59(rms)	3.2	2.93
时钟抖动/ps,pp	\	0.96(rms)	2.3	2.51
功耗/mW	260*	104	270	51.36
面积/mm²	2.47*	0.85	0.37	1.26

*：该值为接收机指标

4　结束语

本文提出了一种全速率线性 25 GHz 时钟数据恢复电路，对 CDR 环路进行了系统级建模并进行了定性分析，并给出了具体的电路实现。仿真结果表明，该电路可以有效地从带有 25 Gbps 的输入数据中恢复出低抖动数据信号，并从中提取出正确的时钟，其输出数据和时钟的抖动分别为 2.93 和 2.51 ps，可以满足光通信系统的应用。

参考文献：

[1] Samavaty B. 100 Gbps half-rate referenceless injection-locking clock/data recovery circuit in 0.18 μm biCMOS process[D]. Irvine: Univ. of California, 2017.

[2] Wang J C, Pan Q, Qin Y J, et al. A fully integrated 25 Gb/s low-noise TIA + CDR optical receiver designed in 40-nm-CMOS[J]. IEEE Trans. on Circuits and Systems Ⅱ: Express Briefs, 2019, 66(10): 1698-1702.

[3] Chen W M, Yao Y S, Liu S L. A 10.4－16 Gb/s referenceless baud-rate digital CDR with one-tap DFE using a wide-range FD[J]. IEEE J. of Solid-State Circuits, 2021, 68(11): 4566-4575.

[4] Lee Y S, Ho W H, Chen W Z. A 25-Gb/s, 2.1-pJ/bit, fully integrated optical receiver with a baud-rate clock and data recovery[J]. IEEE J. of Solid-State Circuits, 2019, 54(8): 2243-2254.

[5] Huang S, Cao J, Green M M. An 8.2 Gb/s-to-10.3 Gb/s full-rate linear referenceless CDR without frequency detector in 0.18 μm CMOS[J]. IEEE J. of Solid-State Circuits, 2015, 50(9): 2048-2060.

[6] Rahman W, Yoo D, Liang J, et al. A 22.5-to-32-Gb/s 3.2-pJ/b referenceless baud-rate digital CDR with DFE and CTLE in 28-nm CMOS[J]. IEEE J. of Solid-State Circuits, 2017, 52(12): 3517-3531.

[7] Jalahi M S, Sheikholeslami A, Kibune M, et al. A referenceless single-loop half-rate binary CDR[J]. IEEE J. of Solid-State Circuits, 2015, 50(9): 2037-2047.

[8] Razavi B. Design of Integrated Circuits for Optical Communications[M]. New York: McGraw-Hill, 2002: 308-355.

[9] Chiang P C, Jiang J Y, Hung H W, et al. 4 × 25 Gb/s transceiver with optical front-end for 100 GbE system in 65 nm CMOS technology[J]. IEEE J. of Solid-State Circuits, 2015, 50(2): 573-585.

[10] Sun L, Pan Q, Wang K C, et al. A 26～28 Gb/s full rate clock and data recovery circuit with embedded equalizer in 65 nm CMOS[J]. IEEE Trans. on Circuits and Systems Ⅰ: Regular Papers, 2014, 61(7): 2139-2149.

[11] Fu W F, Hu Q S, Wang R. A 40 Gb/s PAM4 serdes receiver in 65 nm CMOS technology[C]// IEEE Canadian Conf. on Electrical & Computer Engineering (CCECE), 2018: 1-4.

作者简介：

张书豪(1997－)，男，河南省人，硕士研究生，主要研究方向是光通信集成电路设计；

何　进(1975－)，男，博士，副教授，博士生导师，研究方向包括射频毫米波集成电路与系统、高速光通信集成电路与系统。