动态综述

DOI：10.16818/j.issn1001－5868.2023062501

像素级模数转换器研究进展

张艺潇[1]，祝晓笑[2*]，单光宝[1]

（1. 西安电子科技大学 微电子学院，西安 710000；2. 重庆光电技术研究所，重庆 400060）

摘　要： 像素级模数转换器因其独特的集成位置而具有高帧频、大动态范围、低功耗及低噪声等优点，广泛应用于红外、可见光及太赫兹成像等领域。文章介绍了主流像素级模数转换器结构的原理，综述了像素级模数转换器在动态范围、功耗、面积及噪声等性能参数的研究进展，最后分别比较和总结了各改进方向的几种关键技术并做出展望。

关键词： 读出电路；像素级模数转换器；数字像素传感器；动态范围；功耗

中图分类号： TN215　**文章编号：** 1001－5868(2023)05－0645－10

Research Progress of Pixel-Level Analog-to-Digital Converters

ZHANG Yixiao[1], ZHU Xiaoxiao[2], SHAN Guangbao[1]

(1. School of Microelectronics, Xidian University, Xi'an 710000, CHN;
2. Chongqing Optoelectronics Research Institute, Chongqing 400060, CHN)

Abstract: Pixel-level analog-to-digital converters are widely used in infrared, visible and terahertz imaging and other fields due to their unique integrated position with high frame rate, large dynamic range, low power consumption and low noise. In this paper, the principle of mainstream pixel-level analog-to-digital converter structure was introduced; the research progress of pixel-level analog-to-digital converter in dynamic range, power consumption, area and noise and other performance parameters were analyzed; finally several key technologies in each improvement direction and makes prospects were compared and summarized.

Key words: readout circuit; pixel-level analog-to-digital converter; digital pixel sensor; dynamic range; power consumption

0　引言

红外、可见光等传感器芯片被广泛应用于智能移动设备、监控摄像以及自动驾驶等领域。随着像素面积的不断缩小和传感器阵列规模的剧增，新一代传感器对于读出电路(ROIC)的动态范围、功耗、面积、噪声及速度等性能要求越来越高。

模数转换器(ADC)是 ROIC 重要的组成模块，负责将模拟信号转换为数字信号，以便保持信号完整，提高抗干扰能力。根据在芯片中集成的位置，ADC 可以分为芯片级 ADC、列级 ADC 以及像素级 ADC[1]。芯片级 ADC 的特点是传感器的所有像素共用一个 ADC 进行数据处理，对 ADC 转换速度的要求很高，功耗较大。列级 ADC 是指每一列像素共用一个 ADC，转换速度和功耗适中，但是会产生列级图像固定噪声(FPN)。像素级 ADC 是将 ADC 集成在每一个像素或几个邻近像素组内部，可以在像素内直接完成模数转换，减少模拟信号传输过程中的损耗，并且可以实现全平面并行转换，能有效提高传感器帧频。同时，对单个 ADC 的速度要求较低，比芯片级 ADC 和列级 ADC 具有更高的信噪比和更低的功耗[2-3]。自 1994 年 Fowler 等[4]设计出第一种真正意义上的像素级 ADC 以来，像素级 ADC 的研究取得了快速的进展。

收稿日期：2023－06－25.

* **通信作者：**祝晓笑　**E-mail：**691721874@qq.com

本文首先介绍了几种主流的像素级 ADC 结构，接着具体分析了像素级 ADC 在动态范围、功耗、面积及噪声等性能参数的研究进展，最后分别对各改进方向中几种关键的改进技术进行比较和总结，展望了像素级 ADC 未来的发展方向。

1 主流像素级 ADC 结构

1.1 单斜率积分型 ADC

单斜率(SS)积分型 ADC 主要由斜坡产生器、比较器及计数器等模块组成，如图 1 所示。

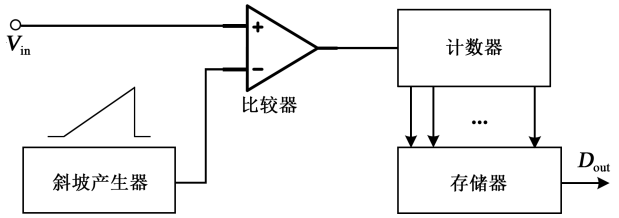


图 1 SS ADC 电路结构

模拟信号在经过采样后输入比较器，与斜坡产生器生成的斜坡信号相比较，当比较器翻转时，计数器开始对时钟信号计数。理想情况下，斜坡斜率 K_{ramp} 固定，相同时间间隔内模拟信号的变化量一致。因此，SS ADC 可以将模拟信号转化为时间量，再根据计数结果实现时间量到数字信号的转换。

设斜坡初始值为 V_0、输入信号为 V_{in}、积分时间为 T，则 N 位分辨率下输出的数字信号 D 如式(1)所示：

$$D=\left(\frac{2^N\mid V_{in}-V_0\mid}{K_{ramp}T}\right) \tag{1}$$

SS ADC 的优点是结构简单和内在精度高，缺点是转换速度慢，由式(1)可知常规 N bit SS ADC 完成一次转换需要至少 2^N 个时钟周期。

1.2 过采样 ADC

过采样 ADC 也叫 ΣΔ 型 ADC，电路结构如图 2 所示，通常由模拟 ΣΔ 调制器和数字滤波器两部分组成，其中 ΣΔ 调制器包含积分器、比较器及 1 bit 数模转换器(DAC)等模块。

首先，比较器在过采样频率时钟的控制下对积分器积分后的模拟信号与阈值电压进行比较，得到一位量化值，再经过 DAC 将该量化值转换为电压反馈回输入端进行下一次比较，多次循环后利用数字滤波器处理串行输出的量化值，最后根据其统计特性得到数字信号。

普通一阶积分器的传输函数 $H(z)$ 如式(2)所示：

$$H(z)=\frac{z^{-1}}{1-z^{-1}} \tag{2}$$

由式(2)可得输入信号到比较器输出的信号传递函数(STF)及量化噪声到比较器输出的噪声传递函数(NTF)分别如式(3)、(4)所示：

$$STF(z)=1 \tag{3}$$

$$NTF(z)=1-z^{-1} \tag{4}$$

由式(3)、(4)可知，ΣΔ 调制器对输入信号几乎没有影响，但对量化噪声进行了一阶整形，可以通过数字滤波器滤除。因此，ΣΔ 型 ADC 具有高精度和高信噪比的优点，但也存在功耗较高、转换速率较慢以及数字滤波器占用面积较大等缺点[5-6]。

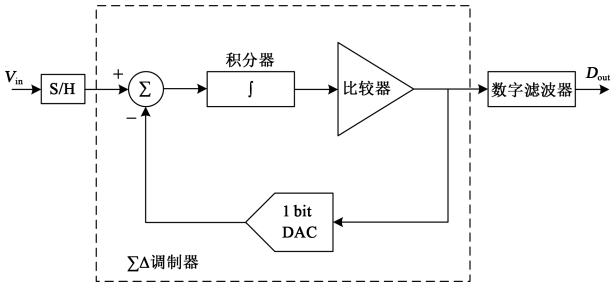
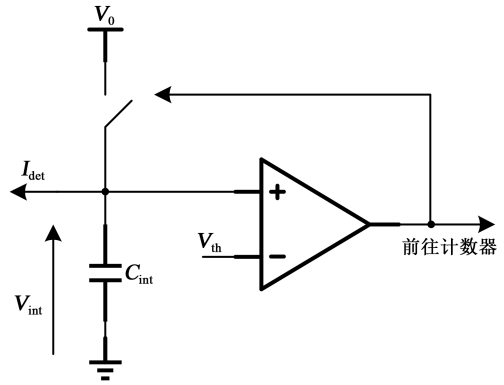


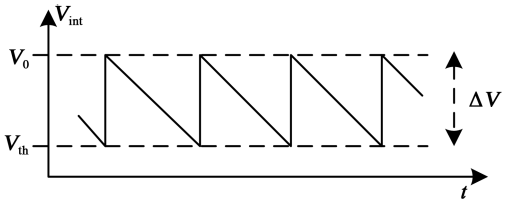
图 2 ΣΔ 型 ADC 电路结构

1.3 脉冲频率调制型 ADC

脉冲频率调制(PFM)型 ADC 又叫做电荷包计数型 ADC，主要由比较器、复位开关及计数器等组成，电路结构和原理如图 3 所示。



(a) 电路结构



(b) 电路原理

图 3 PFM ADC 电路结构与原理示意图

传感元件在产生光电流时会抽取积分电容上的电荷，积分信号 V_{int} 开始从电源电压 V_0 下降，当 V_{int} 降至阈值电压 V_{th} 时，比较器输出脉冲控制复位开关导通重置积分电容，循环往复直至积分周期结束。根据周期内产生脉冲的数量，将光电流在积分电容上累积抽取的电荷量转换为数字信号。

在 N bit 分辨率下，PFM ADC 的最大可处理电荷量(Charge Handling Capacity)Q_{max} 如式(5)所示：

$$Q_{\mathrm{max}}=N_{\mathrm{max}}C_{\mathrm{int}}(V_0-V_{\mathrm{th}})=2^N C_{\mathrm{int}}(V_0-V_{\mathrm{th}}) \tag{5}$$

式中，C_{int} 表示积分电容。

由式(5)可知，若积分时间足够，PFM ADC 能在 N 位分辨率下使用较小的积分电容获得较大的电荷处理量，但转换速率较慢。其次，脉冲计数只能为整数，积分周期结束时会丢失积分电容上剩余的电荷量，引入较大的量化误差。

2　像素级 ADC 研究进展

2.1　动态范围

动态范围(DR)是指可转换模拟信号最大和最小值之比，如式(6)所示：

$$DR=20\lg\left(\frac{Q_{\mathrm{max}}}{Q_{\mathrm{min}}}\right)=20\lg\left(\frac{I_{\mathrm{max}}}{I_{\mathrm{min}}}\right) \tag{6}$$

式中，Q_{max} 及 Q_{min} 分别表示最大和最小可处理电荷量，I_{max} 及 I_{min} 分别是最大和最小可转换光电流。DR 的大小会影响传感器的适用场景，DR 越大传感器的应用场景越丰富、普适性越好，对于移动数码和安防监控等领域尤为重要。然而传统传感器的 DR 约为 60 dB，难以捕捉现实世界中超过 100 dB 的光强信息[7]。本节将对几种应用于像素级 ADC 的动态范围拓展技术进行分析。

2.1.1　自适应积分电容技术

自适应积分电容技术是一种根据光强自动调节积分电容来改变可处理电荷量的动态范围拓展技术。设积分电容为 C_{int}、积分信号的变化量为 ΔV，则可处理电荷量 Q 的定义如式(7)所示：

$$Q=C_{\mathrm{int}}\times\Delta V \tag{7}$$

由式(7)可见，比较器输入摆幅内 C_{int} 越大，则 Q 越大。

又设 H_v 是像素接受的曝光量，则灵敏度(SE)的定义如式(8)所示：

$$SE=\frac{\Delta V}{H_v}=\frac{Q}{C_{\mathrm{int}}}\times\frac{1}{H_v} \tag{8}$$

由式(8)可知，C_{int} 越小，则 SE 越高。

综上可知，传统设计中同时提高灵敏度和动态范围相互矛盾，而该自适应积分电容技术可以随光强改变积分电容，兼顾灵敏度与动态范围的提升。

2016 年，Jo 等[8]提出一种应用于短波红外传感器的像素级 ADC，在 SS ADC 的基础上利用自适应积分电容技术拓展动态范围，电路结构如图 4 所示。

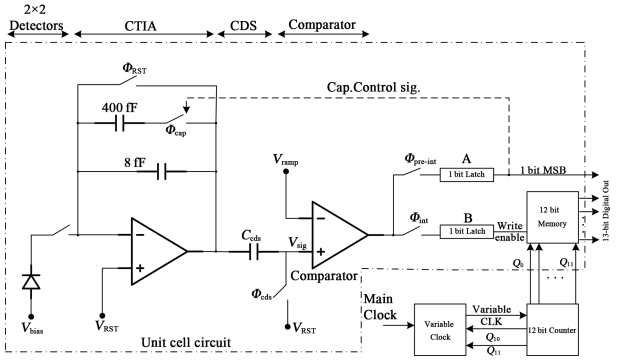


图 4　自适应积分电容 SS ADC 电路结构

量化过程分为两个阶段，首先在预积分阶段将斜坡满量程电压和信号电流积分电压相比较，根据比较器翻转时间判断信号大小，再通过锁存器将判断结果反馈回输入级接入相应的积分电容，最后斜坡信号开始下降进入常规量化阶段。与采用 400 fF 积分电容的传统 SS ADC 相比，DR 从 62.6 dB 拓展到 140 dB。

2022 年，张思韬等[9]提出一种应用于短波红外焦平面的大动态范围像素级 ADC。该设计用电容反馈互导放大器(CTIA)型输入级替换了 PFM ADC 传统的直接注入(DI)型输入级，并增加了两档增益和增益自选择逻辑，能够在不引入多余功耗的前提下提高动态范围。在 13 bit 分辨率下，DR 从传统 PFM ADC 的 68 dB 提高到 100.1 dB。

2.1.2　自适应曝光时间技术

自适应曝光时间技术是一种根据光强控制每个像素积分时间的动态范围拓展技术[10]，相较于传统的多次曝光技术，能避免全局曝光下像素饱和导致的潜在模糊问题[11]和长短曝光时间边界处信噪比(SNR)的显著下降[12]。

2016 年，叶航[13]在高动态范围 CMOS 图像传感器(CIS)像素级 ADC 的设计中提出一种动态范围增强算法，能根据光强产生像素内传输门(TG)的控制信号调整积分时间，在提高强光信号量化能力

的同时，几乎不降低信噪比。该算法分为粗、细两个阶段，原理如图 5 所示，粗转换阶段，TG 在每个 2^iT $(i=0,1,2,\cdots,k)$时刻开启，若积分电容上极板电压大于比较器阈值电压，则 TG 关断不再进行电荷转移，反之则在 $2^{i+1}T$ 时刻再次开启，继续进行电荷转移，直至最大积分时间 2^kT 后进行细转换。

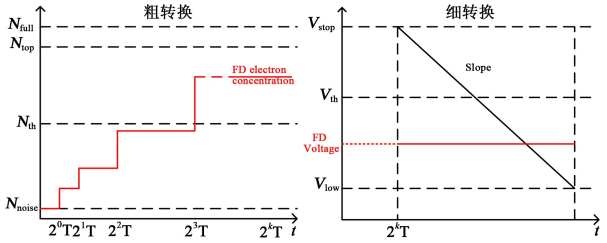


图 5 全程曝光多次采样算法示意图

2021 年，Yin 等[14]在应用于指纹传感器的像素级差分 SS ADC 的设计中提出一种暗图像校准方案，实现了 110 dB 的动态范围。该方案包含两个阶段：在自动曝光和图像捕获。在自动曝光阶段，通过重置积分电容的方式使每个像素在八个不同的曝光时间下曝光，并用六种不同增益的斜坡信号读取。在图像捕获阶段，为像素曝光和读取选择适当的曝光时间和斜坡增益，图 6 是不同光强曝光时间和斜坡增益的组合。长曝光时间通常与高增益斜坡组合以提供高质量暗图像信号转换，短曝光时间和低增益斜坡则适用于强光信号。

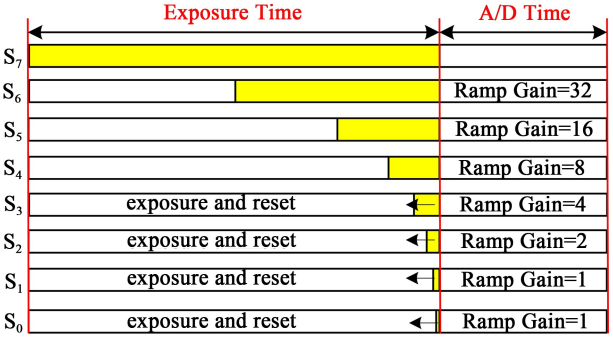


图 6 不同光强曝光时间和斜坡增益的组合

2022 年，Ikeno 等[15]提出交叠三步(3Q)饱和时间量化(TTS)方案，能够用 9 bit ADC 实现 127 dB 的动态范围。该量化方案是在一个量化周期中依次进行 TTS 和两个线性量化阶段，分别对应强光、微光及中等光强三种光信号。TTS 阶段，比较器在光电流积分信号下降到阈值电压 V_{TTS_th} 时翻转，停止计数和曝光，并保留结果作为最后的输出值。若未翻转，则继续曝光直至曝光周期结束而进入第一个线性量化阶段，阈值电压从定值变为向上的斜坡信号继续量化。第二个线性量化阶段的原理与第一个类似，用于处理前面未能完成量化的信号部分。

2.1.3 残余电荷处理技术

残余电荷处理是指在 PFM ADC 积分周期结束时对积分电容上残余的电荷进行二次量化，能够减小步长、增大动态范围，目前主要采用两级 ADC 或二段计数的方式。

两级 ADC 是将高分辨率像素级 ADC 分成像素内和列级两个部分，分别负责粗、细量化。2012 年，Peizerat 等[16]在设计中采用 11 bit 电源复位式 PFM 与 5 bit 并联比较(flash)型 ADC 的组合实现了 16 bit 高分辨率像素级 ADC，可处理电荷量达到 3 Ge^-。列级采用 flash ADC 的优点是并行转换结构转换速率快，缺点是占用面积大。

2019 年，Niu 等[17]设计了一种应用于长波红外焦平面阵列的两级像素级 ADC，采用 11 bit PFM ADC 和 6 bit SS ADC 的组合，获得了 3 Ge^- 可处理电荷量。该设计发挥了 SS ADC 内在精度高的优点，提高了线性度，与传统 PFM ADC 相比其非线性度从 0.7%降至 0.09%。

2020 年，Zhong 等[18]在两级像素级 ADC 的设计中采用了 10 bit PFM ADC 和 8 bit 逐次逼近(SAR)型 ADC 的组合，动态范围为 108 dB，电路结构和量化原理如图 7 所示。与其他 ADC 结构相比，SAR ADC 在中等分辨率下精度较高且功耗较低，很适合作为列级细量化电路。

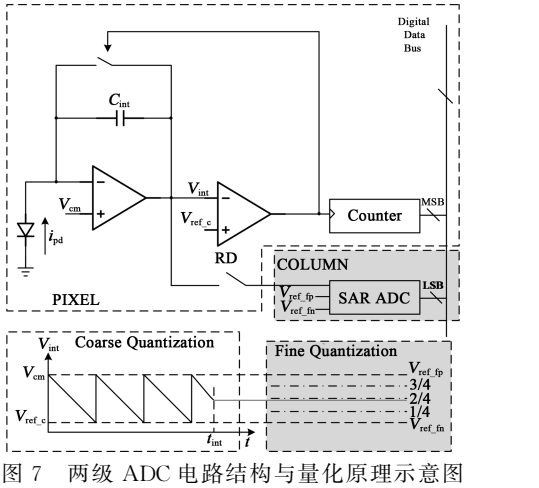


图 7 两级 ADC 电路结构与量化原理示意图

2021 年，Zhong 等[19]在前者的基础上又提出了一种应用于中/长波双频带红外阵列的像素级两级 ADC。由于长波红外和中波红外传感器在阻抗、光电流及暗电流等特征上存在差异，因此该设计在像素内集成了两个相互独立的 10 和 6 bit PFM ADC，

分别对应长波和中波红外。列级 SAR ADC 的分辨率会随着模式的改变在 6 和 10 bit 进行切换，保持总体分辨率相同以便开展后续图像处理。

二段计数与两级 ADC 的主要区别在于两段量化均在像素内完成。2021 年，东南大学的裘天慧[20]提出了一款二段计数像素级 ADC。在传统 PFM ADC 的基础上，在脉冲信号输出端口处增加了对数字电路主时钟计数的时钟计数器，电路结构如图 8 所示。

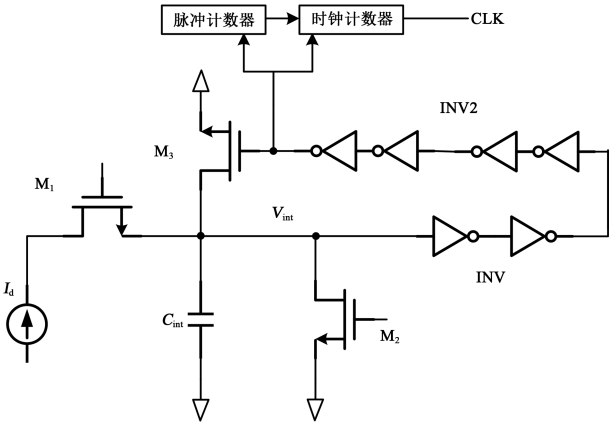


图 8　二段积分型 PFM ADC 电路结构

粗量化阶段结束后，该设计不会立刻复位积分电容，而是启动时钟计数器对时钟信号进行计数，直至下一个脉冲出现，从而引入第二段类 SS ADC 的模数转换以处理残余电荷。此设计不仅节约了列级电路，还通过采用一种兼顾计数和存储的新型存储模块，降低了功耗和面积。在仅考虑量化噪声的前提下，像素内部动态范围从 83 dB 拓展至 126.64 dB。

同年，Lee 等[21]为中波红外微测辐射热计设计了一种同步两段像素级 ADC。与前者不同，该设计并没有在输出端口增加单独的时钟计数器，而是两段量化共用一个计数器来节约电路面积，提高填充因子。粗量化结束后，计数器中的数字量被输出到列级多路复用器，然后重置计数器，参考电压 V_{th} 开始以斜坡信号的形式逐渐上升，将原本的 PFM ADC 转化为 SS ADC 来处理残余电荷。最终得到 405 Me^- 可处理电荷量，而传统 12 bit SS ADC 在相同条件下为 10 Me^-。

2.2　功耗

ADC 的功耗主要由动态功耗与静态功耗组成，静态功耗 P_{static} 是指设备上电但没有信号改变时消耗的功耗，通常由亚阈值漏电流、栅极漏电流等漏电流产生，表达式如式(9)所示：

$$P_{static}=V_{DD}I_{leak} \tag{9}$$

式中，V_{DD} 和 I_{leak} 分别为电源电压及漏电流。

动态功耗是指设备运行或者信号改变时消耗的功耗，包含开关功耗 P_{switch} 和短路功耗 P_{short}，表达式分别如式(10)、(11)所示：

$$P_{switch}=\alpha C_{load}V_{DD}^2 f_{clock} \tag{10}$$

$$P_{short}=V_{DD}f_{clock}i_{short} \tag{11}$$

式中，α，C_{load}，f_{clock} 及 i_{short} 分别表示活动因子、等效负载电容、时钟频率及短路电流。

由于大阵列传感器所需像素级 ADC 数量较多，单个 ADC 功耗的细微增加会大幅提高传感器的总功耗，因此低功耗技术是像素级 ADC 重要的研究方向之一。

2.2.1　静态比较器电路功耗优化技术

比较器是 ADC 的核心组成模块之一，其功耗特性会直接影响整个 ADC，一般根据是否需要时钟信号控制分为动态比较器和静态比较器[22]。其中，动态比较器功耗低、速度快，但是失调电压和踢回噪声较大会降低转换精度[23]，因此目前高分辨率像素级 ADC 主要采用静态比较器。而基于运放开环应用的静态比较器因为电路中一直存在电流，所以静态功耗较大，需要对其进行优化。

亚阈值区偏置技术是目前主流的静态比较器电路功耗优化技术之一，通过将比较器输入 MOS 管偏置在亚阈值区的方式使比较器静态电流减少至纳安级，但会导致比较器的噪声特性、频率特性及线性度等变差[24]。2017 年，Yang 等[25]设计了一种基于传统五管跨导放大器的低功耗比较器电路，电路结构如图 9 所示。

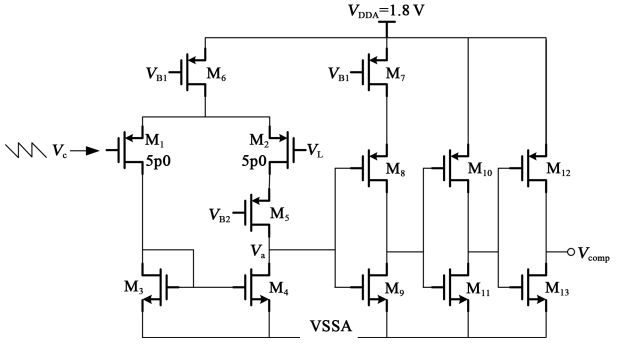


图 9　低功耗比较器电路

在工作时，差分输入对保持在亚阈值区，比较器的平均电流为 65 nA，相对应的 M_6、M_7 偏置电流为 600 nA，每像素的平均功耗为 0.91 μW。低电压

V_{B2} 将 M_5 偏置在线性区，提高了第一级的压摆率，同时隔开输入端与 V_a 节点以保持输出端的低寄生电容，从而减少比较器的延迟时间，改善了亚阈值区偏置对线性度的影响。

2018 年，Sakakibara 等[26]提出了一种具有像素级 14 bit SS ADC 的背照式全局快门 CIS，电路结构如图 10 所示。

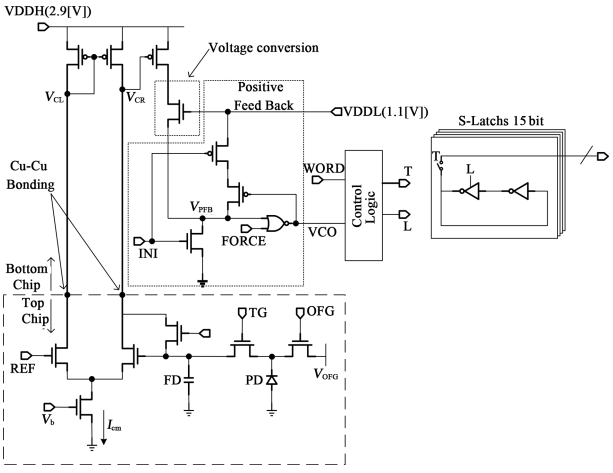


图 10 像素级 ADC 电路结构

工作时，输入管被正反馈电路偏置在亚阈值区，静态电流减小到 7.74 nA；空闲时，DAC 斜坡发生器将参考电平设置在低电平，关断比较器电流，进一步降低平均功耗。最终，该比较器在 660 f/s 帧频下的平均工作电流为 1.67 nA，每像素平均功耗为 0.447 μW。2021 年，Liu 等[27]在红外焦平面 16 bit 两级像素级 ADC 的设计中也采用了亚阈值区偏置技术来降低比较器静态电流，每像素平均功耗为 0.744 μW。

除了亚阈值区偏置技术，2022 年，于善哲等[28]设计了一种应用于红外阵列像素级 SS ADC 的功耗自适应脉冲比较器，电路结构如图 11 所示。

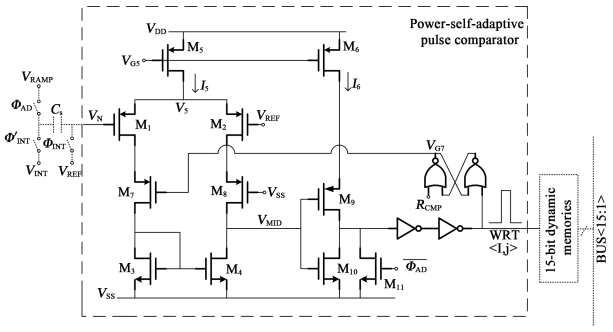


图 11 功耗自适应脉冲比较器电路结构原理图

只有当斜坡信号 V_{RAMP} 接近积分电容信号 V_{INT} 时，比较器中才有电流流过，待输出高电平后，V_{G7} 被 RS 触发器置“1”，关断 M_7，输出端输出一个脉冲信号表示比较结果。与传统的阶跃输出方式相比，这种脉冲输出的机制不仅减少了比较器工作时的漏电流，降低了静态功耗，还使得存储器仅需存储一次模数转换的结果，减小了存储器的动态功耗。根据测试结果，传感器每像素平均功耗为 0.146 μW。

2.2.2 体系结构级低功耗技术

对于采用动态比较器的像素级 ADC，可以通过优化体系结构的方式降低整体功耗，相较于针对单一电路模块进行低功耗优化，这种技术有着更好的普适性。

2012 年，Ignjatovic 等[29]提出了一种应用于像素级 ΣΔ ADC 的电流读出模式。读出电路的结构与低功耗随机存储器相似，将动态锁存比较器放在列级，电路中没有有源放大器，如图 12 所示。

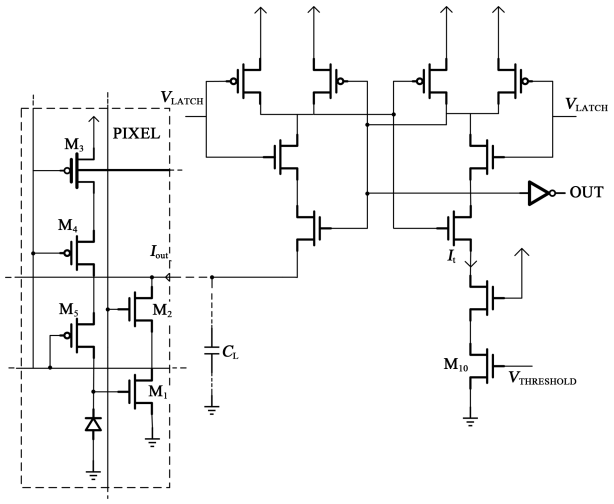


图 12 ΣΔ 图像传感器读出电路

读出时，一列上每个像素的输出电流 I_{out} 分别与外部电流源产生的电流 I_t 相比较，进而实现数字量化。这种电流读出模式与使用源跟随器或其他电压读出模式相比，读出线寄生电容产生的电压摆动可以忽略不计，降低了动态功耗。最终，该设计的每像素平均功耗为 60 nW。

2016 年，Li 等[30]设计的像素级 ΣΔ ADC 中采用了调制输入电流的方式来降低功耗。如图 13 所示，该设计在电流信号进入 ADC 之前利用占空比为 $1/M$ 的方波控制输入级开关对输入电流进行调制，将平均输入电流降为原来的 $1/M$，电路所需偏置电流也随之降低。

随着输入电流和调制因子 M 的增大，降低功耗

的效率会逐渐提高。当 $M>2$ 时，该设计的功耗开始低于未经调制的同类设计，在 $M=32$ 时，每通道平均功耗为 241 μW，动态范围为 164 dB，输入范围功耗比达到 0.331。

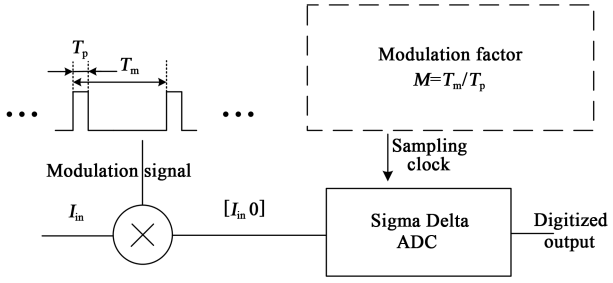


图 13　输入调制 ΣΔ ADC 原理图

此外，由式(9)～(11)可知，降低电源电压、时钟频率及活动因子可以减少系统功耗。降低电源电压是一种传统的体系结构级低功耗技术，能同时降低静态功耗和动态功耗。2022 年，Salehifar 等[31]在设计应用于神经外科内窥镜成像的像素级 ADC 中采用了 1.3 V 的低电源电压，每像素平均功耗为 7.694 μW，低于先前同类设计的 21.3 μW[32]。

降低时钟频率和活动因子可以减少动态功耗，其中，活动因子是指电路节点从“0”跳变到“1”的概率，能通过门控时钟控制电路的工作状态来降低。2022 年，Seo 等[33]在全局快门 CIS 像素级 ADC 的设计中，斜坡发生器和计数器采用小于传统列级 ADC 时钟频率 5 倍的 50 MHz 时钟信号，并提出一种像素内定制功耗门控静态随机存储器(SRAM)电路以降低活动因子。该设计在 1 200 和 30 f/s 的帧频下，每像素平均功耗分别为 263 和 51 nW。

2.3　面积

像素级 ADC 会增加像素内部晶体管的数目，导致传感器的面积增大和填充因子下降，继而影响系统的灵敏度，因此优化像素级 ADC 的面积有着重要的应用价值和科研意义。

2.3.1　数字电路面积优化技术

数字电路是整个像素级 ADC 内占用像素面积最大的电路模块，目前面积占比已经普遍超过了 50%。随着各领域对于像素级 ADC 分辨率要求的提高，计数器和存储器等数字电路的规模也越来越大，因此优化其电路面积能有效缩小像素面积。

2007 年，Pezizerat 等[34]采用电荷注入器、进位发生器、电压跟随器以及电容等组成的模拟计数器替代 PFM ADC 原有的数字计数器，像素面积从 25 μm×25 μm 缩小到 17 μm×17 μm，节约了近 50%的面积。2008 年，Mahmoodi 等[35]为减小 ΣΔ ADC 过采样率(OSR)抽头有限脉冲响应(FIR)滤波器的面积，仅使用一个 1 bit 加法器完成 19 bit 累加器输出和 10 bit 系数输入的加和。并采用双脉冲锁存 D 触发器将单个触发器所需晶体管数从 22 个降至 8 个，减小了寄存器面积。最终获得了 31 μm×31 μm 的像素面积。2010 年，Bisotto 等[36]在像素级 PFM ADC 的数字部分采用动态逻辑电路设计，获得了 25 μm×25 μm 的像素面积。2020 年，Huang 等[37]在应用于长波红外阵列的像素级 ADC 设计中采用 2 bit 循环加法器代替数字计数器节约了近 60%的电路面积，像素面积为 15 μm×15 μm，电路结构如图 14 所示。

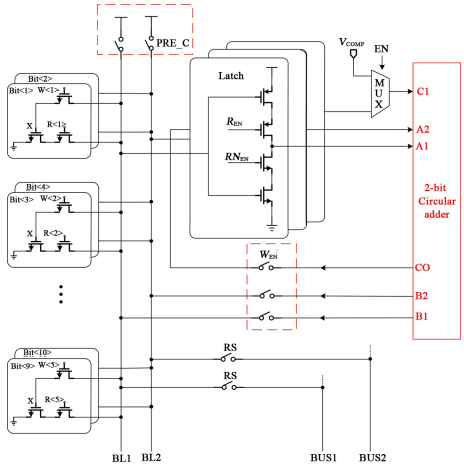


图 14　2 bit 循环加法器与 3T 像素结构

2.3.2　三维集成技术

三维集成技术能通过硅通孔(TSV)等互联技术将多层芯片的相关信号线连接起来，形成高度集成的三维系统，从而显著减小电路面积。在像素级 ADC 领域，目前普遍将感光元件放置在第一层，模拟与数字模块经由互联技术连接到第二层或第三层，大幅提高了传感器填充因子。

2015 年，Goto 等[38]对 PFM ADC 进行三维集成，感光元件、比较器及计数器等依次堆叠，像素面积为 16.7 μm×16.7 μm。其电路结构和像素分层如图 15 所示。

2017 年，Brochard 等[39]通过三维集成技术将像素级 ΣΔ ADC 的 ΣΔ 调制器和数字抽取滤波器分层堆叠，填充因子约为 90%，像素面积为 32.5 μm×32.5 μm，而同时期未采用三维集成技术的像素级 ΣΔ ADC 面积为 396 μm×396 μm[30]。2022 年，

Mori 等[40]利用混合键合技术将 SS ADC 分两层进行堆叠，第一层为感光元件与比较器输入级，第二层是比较器输出级以及数字模块，得到目前已知最小的 4 μm×4 μm 像素面积。

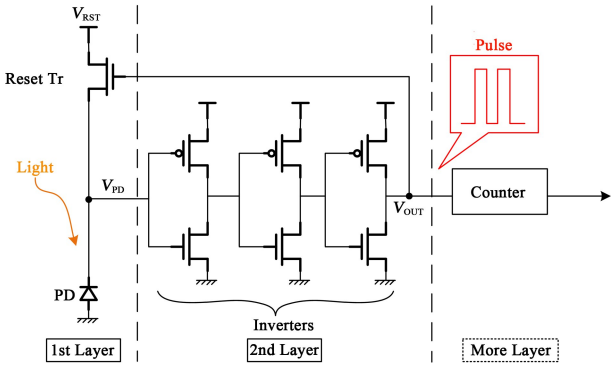


图 15 电路结构和像素分层示意图

2.4 噪声

由于像素级 ADC 的模拟信号传输路径短，转换过程中难以引入额外的噪声，因此主要的噪声来源是电路内部的 $1/f$ 噪声、热噪声及 FPN 等。目前，应用于像素级 ADC 中的降噪技术主要有两种：斩波调制技术和相关双采样技术。

2.4.1 斩波调制技术

斩波调制技术是一种基于频域调制的连续时间降噪技术，可以在频域上将低频噪声与输入信号分离，噪声会被调制到斩波频率再经低通滤波器滤除，而输入信号则在解调后重新回到基带。

2018 年，Khatib 等[41]设计了一种太赫兹图像传感器像素级 ADC。该设计在增量 ΣΔ ADC 前增加了一级斩波放大器对输入信号进行调制，将传感器的 $1/f$ 噪声调制到高频再经由连续时间环状滤波器滤除，等效输入参考噪声(IRN)为 1.6 μVrms。

2021 年，Quarta 等[42]同样在太赫兹传感器像素级 ΣΔ ADC 的设计中使用了斩波调制技术。与前者相比，此设计去掉了参量放大器并采用电流 DAC 取代原本反馈环路中的电压 DAC 以降低功耗、简化结构。其次，斩波调制的位置也从积分器之前转移到缓冲器和积分器之间，提高了对于噪声和失调的抑制效果，IRN 降至 0.94 μVrms，但像素面积增加了约 27%。

2.4.2 相关双采样技术

相关双采样(CDS)技术是一种离散时间降噪技术，能通过分别采样噪声和输入信号再相减的方式输出有用信号，消除了 kT/C 噪声和 FPN，被广泛应用于固体图像传感器领域，但相关双采样电路本身所含的有源器件又会引入新的噪声。

2021 年，奉建林[43]在像素级 SAR ADC 的设计中采用了一种由运放和开关电容电路组成的 CDS 模块，能在不改变输出信号线性度的前提下消除由前级电路引入的热噪声、FPN 及 kT/C 噪声。其次，通过提高 CDS 运放增益的方式降低了其电路自身的噪声及失调，等效输出积分噪声由 36.4 μV 降至 18.9 μV。

3 总结与展望

像素级 ADC 的应用场景十分广泛，从红外到可见光等领域都有着巨大的发展潜力，是新时代传感器读出电路重要的研究方向之一。目前，国内外研究人员已经针对动态范围、功耗、面积及噪声等方向提出了多种改进技术，表 1 是本文中提到的各种像素级 ADC 性能改进技术的对比。

表 1 像素级 ADC 性能改进技术对比

改进方向	采用技术	参考文献	优点	缺点	应用领域
动态范围	自适应积分电容技术	[8,9]	兼顾灵敏度和动态范围	电路面积大、转换速度慢	红外
	自适应曝光时间技术	[13,15]	结构简单、信噪比高	图像处理较为复杂	可见光
	残余电荷处理技术	[16,21]	分辨率高、像素面积小、灵活性强	芯片整体功耗高、面积大	红外、可见光
功耗	静态比较器功耗优化技术	[25,28]	分辨率高	面积大、噪声高	红外、可见光
	体系结构级低功耗技术	[29,31,33]	普适性强	系统复杂程度高	可见光、近红外、气体
面积	数字电路面积优化技术	[34,37]	泛用性强、成本低	面积优化效果较差	红外、可见光
	三维集成技术	[38,40]	面积优化效果好	工艺复杂、成本高	可见光
噪声	斩波调制技术	[41,42]	清除低频噪声	电路面积大	太赫兹
	相关双采样技术	[43]	消除 KT/C 噪声和 FPN	无法抑制高频噪声	X 射线

在像素级 ADC 动态范围的改进中，采用自适应积分电容技术可以提高最大可处理电荷量，拓展动态范围上限；自适应曝光时间技术不受积分电容大小的限制，能够提高动态范围上限，同时信噪比较高；残余电荷处理技术则是采取减小最小可处理电荷量的方式来降低动态范围下限。在功耗方面的改进中，静态比较器功耗优化技术主要通过减少静态比较器漏电流来降低静态功耗；体系结构级低功耗

技术则采用单一模块的方式，从而从更高层级上降低了整体的功耗，具有较强的普适性。在面积优化方面，数字电路面积优化技术可以简化数字电路结构，缩小像素面积，但仍属于平面电路的范畴；三维集成技术则是利用先进互联工艺将平面电路堆叠成立体结构，突破了像素面积的限制。噪声方向的研究主要有斩波调制技术和相关双采样技术等，斩波调制技术是利用频域调制分离噪声和信号，在理想情况下可以完全去除低频噪声；相关双采样技术能够通过两次采样的相减从实质上消除 kT/C 噪声和 FPN，并对低频噪声有一定的抑制效果。

随着背照工艺和三维集成技术的逐渐成熟，像素级 ADC 不必局限在一个平面内，为不同改进方向优化技术的融合提供了可能性。例如，利用三维集成技术把自适应积分电容技术、静态比较器功耗优化技术及斩波调制技术三者相结合，在较小像素面积内实现大动态范围、低功耗及低噪声的像素级 ADC 将是未来重要的发展方向之一。

参考文献：

[1] Lim S, Lee J, Kim D, et al. A high-speed CMOS image sensor with column-parallel two-step single-slope ADCs[J]. IEEE Trans. on Electron Devices, 2009, 56(3): 393-398.

[2] Pain B, Fossum E R. Approaches and analysis for on-focal-plane analog-to-digital conversion[R]. Jet Propulsion Lab. (United States), 1994, 2226.

[3] Ringh U, Jansson C, Liddiard K C. Readout concept employing a novel on-chip 16-bit ADC for smart IR focal plane arrays[J]. Proc. SPIE, 1996, 2745: 99-110.

[4] Fowler B, El Gamal A, Yang D X D. A CMOS area image sensor with pixel-level A/D conversion[C]// Proc. of IEEE Inter. Solid-State Circuits Conf.-ISSCC'94, 1994: 226-227.

[5] Mahmoodi A, Joseph D. Pixel-level delta-sigma ADC with optimized area and power for vertically-integrated image sensors[C]// Midwest Symposium on Circuits and Systems, 2008: 41-44.

[6] Peizerat A, Arques M, Villard P, et al. Pixel-level A/D conversion: comparison of two charge packets counting techniques[C]// Inter. Image Sensor Workshop, 2007, 9: 200-203.

[7] Rhee J, Joo Y. Wide dynamic range CMOS image sensor with pixel level ADC[J]. Electron. Lett., 2003, 39(4): 360-361.

[8] Jo Y M, Woo D H, Kang S G, et al. Very wide dynamic range ROIC with pixel-level ADC for SWIR FPAs[J]. IEEE Sensors J., 2016, 16(19): 7227-7233.

[9] 张思韬，汪鸿祎，王绪泉，等. 一种应用于短波红外焦平面的大动态范围像素级 ADC[J]. 半导体光电，2022，43(2)：341-346.
Zhang Sitao, Wang Hongyi, Wang Xuquan, et al. A wide dynamic range pixel level ADC for short-wave IRFPA[J]. Semiconductor Optoelectronics, 2022, 43(2): 341-346.

[10] Yadid-Pecht O. Widening the dynamic range of pictures[J]. Proc. SPIE, 1992, 1656: 1-6.

[11] 裴志军，国澄明，姚素英，等. CMOS 图像传感器动态范围扩展技术[J]. 传感器技术，2003(6)：1-3，7.
Pei Zhijun, Guo Chengming, Yao Suying, et al. Dynamic range extension technology of CMOS image sensor[J]. Sensor Technol., 2003(6): 1-3, 7.

[12] Mase M, Kawahito S, Sasaki M, et al. A wide dynamic range CMOS image sensor with multiple exposure-time signal outputs and 12-bit column-parallel cyclic A/D converters[J]. IEEE J. of Solid-State Circuits, 2005, 40(12): 2787-2795.

[13] 叶　航. 高动态范围 CMOS 图像传感器像素级模数转换器的设计[D]. 长春：吉林大学，2016.
Ye Hang. Design of pixel-level analog-to-digital converter for high dynamic range CMOS image sensor[D]. Changchun: Jilin University, 2016.

[14] Yin P H, Lu C W, Wang J S, et al. A 368×184 optical under-display fingerprint sensor comprising hybrid arrays of global and rolling shutter pixels with shared pixel-level ADCs[J]. IEEE J. of Solid-State Circuits, 2021, 56(3): 763-777.

[15] Ikeno R, Mori K, Uno M, et al. A 4.6-μm, 127-dB dynamic range, ultra-low power stacked digital pixel sensor with overlapped triple quantization[J]. IEEE Trans. on Electron Devices, 2022, 69(6): 2943-2950.

[16] Peizerat A, Rostaing J P, Zitouni N, et al. An 88 dB SNR, 30 μm pixel pitch infrared image sensor with a 2-step 16 bit A/D conversion[C]// 2012 Symposium on VLSI Circuits (VLSIC), 2012: 128-129.

[17] Niu Y, Huang Z, Lu W, et al. Two-stage ADC-based ROICs for 25 μm-pitch cryogenic infrared focal plane array[J]. Electron. Lett., 2019, 55(2): 72-74.

[18] Zhong S Y, Mao W B, Zou M, et al. A two-step ADC architecture for high dynamic range and high sensitivity image sensor[J]. Proc. of SPIE, 2020, 11455: 114553R.

[19] Zhong S Y, Li Z F, Mao W B, et al. A two-step ADC architecture for dual band IRFPA[J]. Proc. of SPIE, 2021, 11763: 117635E.

[20] 裘天慧. 一种高动态范围像素级数字化红外读出电路的设计[D]. 南京：东南大学，2021.
Qiu Tianhui. Design of a high dynamic range pixel-level digital infrared readout circuit[D]. Nanjing: Southeast University, 2021.

[21] Lee J, Nam I, Woo D. Current input pixel-level ADC with high SNR and wide dynamic range for a microbolometer[J]. Sensors, 2021, 21(7): 2354.

[22] Fiedler H L, Hoefflinger B, Demmer W, et al. A 5-bit building block for 20 MHz A/D converters[J]. IEEE J. of Solid-State Circuits, 1981, 16(3): 151-155.

[23] Figueiredo P M, Vital J C. Kickback noise reduction techniques for CMOS latched comparators[J]. IEEE Trans. on Circuits and Systems Ⅱ: Express Briefs, 2006, 53(7): 541-545.

[24] 严晓浪，吴晓波. 低压低功耗模拟集成电路的发展[J]. 微电子学，2004(4)：371-376.
Yan Xiaolang, Wu Xiaobo. Development of low-voltage and low-power analog integrated circuits[J]. Microelectronics, 2004(4): 371-376.

[25] Yang S J, Luo L Z, Lu W G, et al. A 16-bit two-step pixel-level ADC for 384×288 infrared focal plane array[C]// IEEE 12th Inter. Conf. on ASIC, 2017: 856-859.

[26] Sakakibara M, Ogawa K, Sakai S, et al. A back-illuminated global-shutter CMOS image sensor with pixel-parallel 14 b subthreshold ADC [C]// 2018 IEEE Inter. Solid-State Circuits Conf. (ISSCC), 2018: 80-82.

[27] Liu B, Niu Y, Lu W, et al. A 16-bit two-stage ADC for 320×256 infrared focal plane array [C]// Seventh Asia Pacific Conf. on Optics Manufacture, 2022, 12166: 951-956.

[28] 于善哲，张雅聪，牛育泽，等. 基于15位像素级模数转换器的640×512规格中波红外成像用48 mW数字读出电路(英文)[J]. 红外与毫米波学报，2022，41(4)：785-791.
Yu Shanzhe, Zhang Yacong, Niu Yuze, et al. A 48 mW DROIC with 15-bit pixel-level ADC for 640×512 mid-wave infrared imagers[J]. J. of Infrared and Millimeter Waves, 2022, 41(4): 786-792.

[29] Ignjatovic Z, Maricic D, Bocko M F. Low power, high dynamic range CMOS image sensor employing pixel-level oversampling (SIGMA) (DELTA) analog-to-digital conversion[J]. IEEE Sensors J., 2012, 12(4): 737-746.

[30] Li H, Boling C S, Mason A J. CMOS amperometric ADC with high sensitivity, dynamic range and power efficiency for air quality monitoring [J]. IEEE Trans. on Biomedical Circuits and Systems, 2016, 10(4): 817-827.

[31] Salehifar Y, Ayatollahi A, Karami M A, et al. A low-power and wide dynamic range digital pixel sensor for intrinsic optical imaging in image-guided neurosurgery and neocortical epilepsy[J]. Frontiers in Biomedical Technol., 2022, 9(4): 255-264.

[32] Cui N, York T, Marinov R, et al. A 110×64 150 mW 28 frames/s integrated visible/near-infrared CMOS image sensor with dual exposure times for image guided surgery[C]// 2016 IEEE Inter. Symp. on Circuits and Systems (ISCAS), 2016: 101-104.

[33] Seo M W, Chu M, Jung H Y, et al. 2.45 e^- RMS low-random-noise, 598.5 mW low-power, and 1.2 kfps high-speed 2-Mp global shutter CMOS image sensor with pixel-level ADC and memory[J]. IEEE J. of Solid-State Circuits, 2022, 57(4): 1125-1137.

[34] Peizerat A, Tchagaspanian M, Mandier C, et al. An analog counter architecture for pixel-level ADC[C]// 2007 Inter. Image Sensor Workshop, 2007: 200-203.

[35] Mahmoodi A, Joseph D. Pixel-level delta-sigma ADC with optimized area and power for vertically-integrated image sensors[C]// 2008 51st Midwest Symposium on Circuits and Systems, 2008: 41-44.

[36] Bisotto S, De Borniol E, Mollard L, et al. A 25 μm pitch LWIR staring focal plane array with pixel-level 15-bit ADC ROIC achieving 2 mK NETD[J]. Proc. of SPIE, 2010, 7834: 78340J.

[37] Huang Z F, Zhu Y J, Lu W G, et al. A 16-bit hybrid ADC with circular-adder-based counting for 15 μm pitch 640×512 LWIR FPAs[J]. Chinese J. of Electron., 2020, 29(2): 291-296.

[38] Goto Masahide, Hagiwara Kei, Iguchi Yoshinori, et al. Pixel-parallel 3-D integrated CMOS image sensors with pulse frequency modulation A/D converters developed by direct bonding of SOI layers[J]. IEEE Trans. on Electron Devices, 2015, 62(11): 3530-3535.

[39] Brochard N, Ginhac D. In-pixel ADC in 3D technology[C]// 2017 15th IEEE Inter. New Circuits and Systems Conf. (NEWCAS), 2017: 53-56.

[40] Mori K, Yasuda N, Miyauchi K, et al. A 4.0 μm stacked digital pixel sensor operating in a dual quantization mode for high dynamic range[J]. IEEE Trans. on Electron Devices, 2022, 69(6): 2957-2964.

[41] Khatib M, Perenzoni M. A low-noise direct incremental A/D converter for FET-based THz imaging detectors [J]. Sensors, 2018, 18(6): 1867.

[42] Quarta G, Perenzoni M, D'Amico S. A 0.94-μVrms input noise pixel-level continuous time ΣΔ I_{ADC} interface for THz sensing[C]// ESSDERC 2021-IEEE 51st European Solid-State Device Research Conf. (ESSDERC), 2021: 151-154.

[43] 奉建林. 低噪声X射线像素单元读出电路的设计[D]. 湘潭：湘潭大学，2021.
Feng Jianlin. Design of low-noise X-ray pixel unit readout circuit[D]. Xiangtan: Xiangtan University, 2021.

作者简介：

张艺潇(1997—)，甘肃省兰州市人，硕士研究生，主要研究方向为模拟集成电路设计；

祝晓笑(1984—)，浙江省人，硕士，高级工程师，主要研究方向为CMOS图像传感器；

单光宝(1977—)，江苏省徐州市人，教授，博士生导师，主要研究方向为三维集成微系统。