光电技术及应用

DOI：10.16818/j.issn1001－5868.2023060601

基于 TAS-TIS 结构和前馈路径的两级 CTLE 的设计

张春茗，徐阳臻*，张 璇
（西安邮电大学 电子工程学院，西安 710061）

摘 要： 在高速接口电路中，接收机通常采用连续时间线性均衡器（Continuous-Time Linear Equalizer，CTLE）消除符号间干扰（Inter-Symbol Interference，ISI）对信号传输的影响。为提高 CTLE 电路的高频增益和减少芯片面积，基于 UMC（United Microelectronics Corporation）28 nm 工艺，设计了一款最大速率为 50 Gbps 的 CTLE 电路，其主体电路由跨导级联跨阻抗（Trans-Admittance Trans-impedance，TAS-TIS）结构和前馈路径的两级 CTLE 电路构成。在传统 CTLE 的基础上，使用有源电感做负载，以反相器为基础构建跨阻放大器和在输入管增加前馈通路等方式，有效地扩展了电路的工作频率。仿真结果显示，均衡后 40 Gbps PAM4（4-Level Pulse Amplitude Modulation）信号、50 Gbps PAM4 信号和 28 Gbps NRZ（Non Return Zero Code）信号的眼图眼宽分别达到了 0.68，0.5，0.92 个码元间隔（UI），可满足后级电路对于输入信号的要求，对提升整体传输数据速率具有重要的意义。

关键词： 连续时间线性均衡器；跨导级联跨阻抗；跨阻放大器；前馈通路
中图分类号： TN715 **文章编号：** 1001－5868(2023)05－0736－05

Design of Two-Stage CTLE Equalizer Based on TAS-TIS Structure and Feed-Forward Path

ZHANG Chunming, XU Yangzhen, ZHANG Xuan
(College of Electronic Engineering, Xi'an University of Posts and Telecommunications, Xi'an 710061, CHN)

Abstract: In high-speed interface circuits, receivers typically use Continuous-Time Linear Equalizer (CTLE) to eliminate the effects of Inter-Symbol Interference (ISI) on signal transmission. In order to improve the high-frequency gain of the CTLE circuit and reduce the chip area, a CTLE circuit with a maximum rate of 50 Gbps was designed based on the UMC (United Microelectronics Corporation) 28 nm process. Its main circuit was composed of a two-stage CTLE circuit with a trans-admittance transimpedance (TAS-TIS) structure and feed-forward path. On the basis of traditional CTLE, the active inductor was used as the load, the transimpedance amplifier was built based on the inverter, and the feed-forward path was added to the input tube, which effectively expanded the operating frequency of the circuit. The simulation results show that the eye widths of the 40 Gbps PAM4 (4-Level Pulse Amplitude Modulation) signal, 50 Gbps PAM4 signal and 28 Gbps NRZ (Non Return Zero Code) signal reach 0.68, 0.5, 0.92 code element spacing (UI) respectively, which can meet the requirements of the post-stage circuit for input signals. It is of great significance to improve the overall transmission data rate.

Key words: continuous-time linear equalizer (CTLE); trans-admittance transimpedance (TAS-TIS); transimpedance amplifier (TIA); feed-forward path

收稿日期：2023－06－06.
* **通信作者：**徐阳臻 **E-mail：** 784148840@qq.com

0　引言

随着通信技术的发展，大数据、云存储、高清视频传输、超高速以太网对高带宽、高速传输的需求逐渐提高，需要更大的带宽来满足系统互联的要求。SerDes(串行器/解串器)作为底层物理层发挥着重要作用，广泛用于芯片到芯片、板对板和系统到系统的互连传输[1]。

数据传输中损耗、码间串扰和反射等信道非理想因素都会造成发送端的数据到接收端的数据出现畸变[2]。通常在 SerDes 接收端中采用连续时间线性均衡器(Continuous-Time Linear Equalizer，CTLE)电路以提高数据传输质量，CTLE 电路具有结构简单、功耗小、可以补偿信号高频分量的优点，但其缺点是单级补偿能力有限，补偿信号高频损失的同时也放大了信号的噪声[3]。由于数据的传输速率越来越高，传统结构的 CTLE 电路已无法实现预期的均衡要求。针对传统 CTLE 均衡器补偿能力有限，提出了各种 CTLE 均衡器的改进结构。文献[4]提出了 Gm-TIA 型 CTLE 的解决方案，通常由一个电压-电流反馈的跨导放大器构成，在低电源电压下表现出良好的线性关系；文献[5]在接收端采用了以反相器单元为基础的 TIA 型 CTLE，可实现带宽和峰值的比值近似为 g_m/C_{gg}，此值大约在反相器的电流单位增益频率处；为了增大电路的带宽，文献[6]中 CTLE 电路采用 TAS-TIS 结构，这种结构在文献[7]中也被称为 Cherry-Hooper 放大器，由于 TIS 级的低输入阻抗，降低了 TAS 级电路的电压增益，但增大了电路的工作频率，即用增益换取带宽的折衷方案。

为了提高 CTLE 电路的高频增益和减少芯片面积，本文基于 UMC 28 nm 工艺设计了两级 CTLE 电路。第一级 CTLE 电路由 Gm-HF 电路和 TIA 电路两部分构成。Gm-HF 电路为信号提供高通支路，将输入电压信号转化为电流送到 TIA 电路，TIA 电路将电流转化为电压输出给第二级 CTLE。仿真结果显示，第一级 CTLE 在 40 Gb/s PAM4 信号、50 Gb/s PAM4 信号和 28 Gb/s NRZ 信号的奈奎斯特频率处可实现 10.8 dB，11.55 dB，11.95 dB 的高频增益。第二级 CTLE 在输入晶体管和电感之间增加了前馈通路，提高了电路的高频增益。结果显示，前馈通路在 10，12.5，14 GHz 处可实现 0.74 dB，1.15 dB，1.447 dB 的增益抬升度。

1　传统 CTLE 均衡器分析

图 1 为传统 CML 型的 CTLE 均衡器结构，其通过在输入管的源级引入电阻和电容形成反馈回路，从而补偿信道的高频损耗[8]。电阻和电容的耦合退化结构为输入信号提供了一条高通通路，放大了信号的高频增益。传统 CTLE 的传输函数为：

$$H(s)=\frac{g_mR_D(1+sR_SC_S)}{1+0.5g_mR_S(1+sR_SC_S+g_mR_S/2)(1+sR_DC_L)} \tag{1}$$

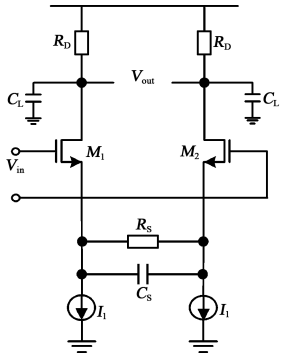


图 1　传统 CTLE 电路图

由式(1)可知在传输系统形成了一个零点 Z_0 和一个极点 P_0，滤波器输出端的负载电容形成了另外一个极点 P_1，具体零极点如式(2)所示，此时电路的低频增益和增益抬升度如公式(3)所示：

$$Z_0=\frac{1}{R_SC_S}P_0=\frac{1+0.5g_mR_S}{R_SC_S}P_1=\frac{1}{R_LC_L} \tag{2}$$

$$A_{DCgain}=\frac{g_mR_L}{1+0.5g_mR_S}A_{Boost\text{-}Gain}=1+0.5g_mR_S \tag{3}$$

该电路有一个零点和两个极点，一个零点会贡献 + 20 dB/Dec 的斜率增益，一个极点会贡献 −20 dB/Dec 的斜率衰减，可得到传统 CTLE 均衡器的增益频率曲线如图 2 所示。为了保证图中零极点的位置关系，要求电容 C_s 的值不能太小，而一个大电容会占用较多的版图面积，提高电路的成本。同时，传统 CTLE 电路由于只有一个零点，其单级高频补偿能力有限。

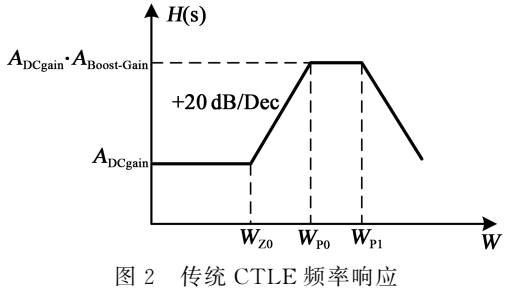


图 2　传统 CTLE 频率响应

2 两级 CTLE 电路设计

由式(3)知,低频增益和增益抬升度这两个设计参数严重限制可实现的电路增益[1]。通常的解决方案是使用多级 CTLE 提供高增益,但多级电路的存在会导致电路带宽的减少。为了补偿信道的高频衰减并增大带宽,提出了两级不同结构的 CTLE 电路以实现对不同频率不同衰减程度的数据高频补偿。

2.1 第一级 CTLE 电路设计

第一级 CTLE 电路采用 TAS-TIS 结构,由 Gm-HF 电路和 TIA 电路 2 部分构成,其电路结构如图 3 所示。输入信号分 2 路进入 Gm-HF 电路,在支路 1 输入信号经 $M_{1,2}$ 放大后送到 $M_{3,4}$ 和 R_L 构成的有源电感处和支路 2 下方 $M_{7,8}$ 处;支路 2 中输入信号通过 $M_{5,6}$ 后进入由 R_{s2} 和 C_{s2} 组成的反馈网络,负反馈网络为输入信号提供高通支路。两路信号在 $M_{7,8}$ 的漏端以电流形式相加作为下一级 TIA 电路的输入。

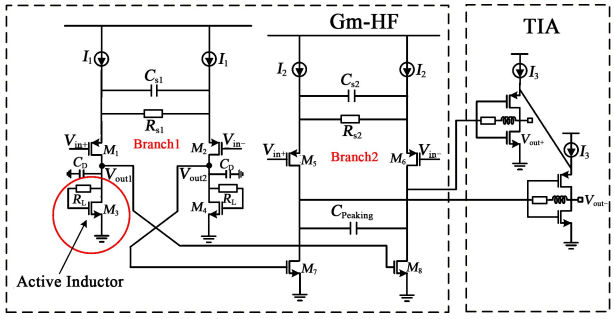


图 3 第一级 CTLE 电路

为增大电路的带宽,无源电感峰化是一种广泛采取的方案,其可有效地扩展电路的工作频率同时不耗费额外的功耗。但由于在半导体制造工艺中,无源电感会占用较大的面积。因此本文提出利用有源电感做负载来扩展电路工作频率。图 4 是有源电感做负载的支路 1 的小信号等效图。支路 1 的传输函数如公式(4)所示:

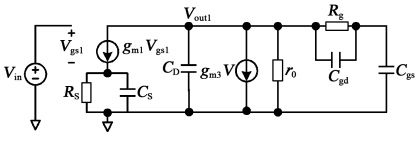


图 4 有源电感做负载的支路 1 的小信号等效图

$$H_1(s)=\left[\frac{g_{m1}(1+sR_SC_S)}{g_{m1}R_S+sR_SC_S+1}\right]\cdot\frac{(sR_LC_{gd}+sR_LC_{gs}+1)}{R_LC_D+\left[(sR_LC_{gd}+1)C_{gd}C_D+R_L\frac{C_D}{r_0}\right]s+(sR_LC_{gd}+1)(g_{m3}C_{gd}+1)} \tag{4}$$

可得此时电路零点如式(5)所示:

$$Z_0=\frac{1}{R_SC_S}\quad Z_1=\frac{1}{R_L(C_{gs}+C_{gd})} \tag{5}$$

Gm-HF 电路等效跨导如公式(6)所示:

$$G_{m\text{-}HF}=g_{m7}H_1(s)+\frac{g_{m5}}{1+g_{m5}(C_S\ /\!/\ R_S)} \tag{6}$$

两路输出电流的叠加增加了 Gm-HF 电路的等效跨导值,同时意味着电路的高频增益的提高。

随着工艺进步,反相器在其适当偏置时成为功率高效的跨导单元。本文 TIA 电路采用以反相器单元为基础的跨阻放大器结构,基于反相器的 TIA 电路及模型如图 5 所示。在电路中,C_{in} 是上级电路的输出电容和 TIA 电路输入管的寄生电容,C_f 是 MOS 管漏极到栅极电容,R_{out} 是反相器的等效输出电阻,G_m 是 CMOS 反相器的等效跨导。

基于反相器的 TIA 电路传输函数如(7)所示:

$$Z_T(s)=\frac{R_{out}(G_mR_{fb}-1-sC_fR_{fb})}{s^2D_{t2}+sD_{t1}+G_mR_{out}+1} \tag{7}$$

同时,

$$D_{t1}=C_{in}(R_{out}+R_{fb})+C_fR_{fb}(1+G_mR_{out})$$
$$D_{t2}=R_{fb}R_{out}C_{in}(C_{out}+C_f) \tag{8}$$

由式(6)和式(7)可得第一级 CTLE 电路的传输函数如式(9)所示:

$$H_{CTLE1}(s)=G_{m\text{-}HF}(s)\cdot Z_T(s) \tag{9}$$

必须注意的是,由于 TIS 级的低输入阻抗,TAS 上的电压增益比较小。这减少了对输入晶体管的 C_{gd} 的米勒效应,使总输入电容最小化。因此电路的整体带宽会增大,但对应的电压增益将降低。

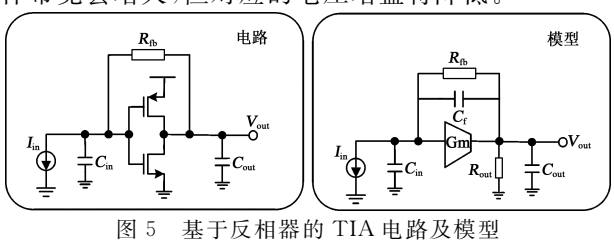
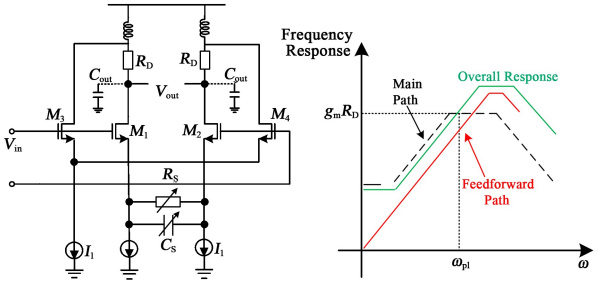


图 5 基于反相器的 TIA 电路及模型

2.2 第二级 CTLE 电路设计

第二级 CTLE 电路拓扑结构如图 6(a)所示,在

采用源级负反馈和电感峰化的基础上，晶体管 M_3 和 M_4 在基本 CTLE 提供前馈通路，将信号送到负载电感而不是输出，以期望所设计的电路在不影响低频增益或带宽情况下提高电路的最大增益抬升度。



（a）前馈 CTLE 电路　　（b）频率响应示意图

图 6　前馈 CTLE 电路及其频率响应示意图

在考虑输出电容时，得到的传输函数所示为：

$$H(s)=-\left[\left(\frac{g_{m1,2}(R_D+sL_D)}{1+g_{m1,2}\left(\frac{R_S}{2}\ /\!/\ \frac{1}{2sC_S}\right)}\times\frac{1}{L_DC_{out}s^2+R_DC_{out}s+1}\right)+g_{m3,4}sL_D\right] \tag{10}$$

$g_{m1,2}$ 是主通路输入管 M_1，M_2 的跨导，$g_{m3,4}$ 是前馈输入管 M_3，M_4 的跨导。从表达式中似乎可通过增大电感而获得同样的高频增益效果，但在实际电路中感值不可无限增大，感值与输出电容有着最佳适配比，超过适配比的电感感值会造成输出较高的幅度尖峰[9]，电感感值与输出电容的关系说明了前馈设计的灵活性。

预期的主要通路和前馈通路的频率响应示意图如图 6(b)所示，设置合理的参数可使前馈通路在主通路趋于稳定时起主要作用。即：ω 在频率大于 ω_{p1} 时，前馈通路的影响要大于主通路的影响。换而言之，$g_{m3,4}sL_D\omega_{p1}<g_{m1,2}R_D$，所以可得：

$$g_{m3,4}<\frac{g_{m1,2}R_DR_SC_S}{(1+0.5g_{m1,2}R_S)L_D} \tag{11}$$

3　结果仿真与验证

本电路基于 UMC 28 nm 工艺设计，利用 Cadence IC615 软件平台对电路进行仿真验证。

所设计的一、二级 CTLE 电路频率响应仿真结果如图 7 所示。仿真曲线显示，第一级 CTLE 在 10，12.5，14 GHz 处实现了 10.8 dB，11.55 dB，11.95 dB 的高频增益，第二级 CTLE 在 40 Gbps PAM4 信号、50 Gbps PAM4 信号和 28 Gbps NRZ 信号的奈奎斯特频率处的高频增益分别为 12.83 dB，13.99 dB，14.46 dB。

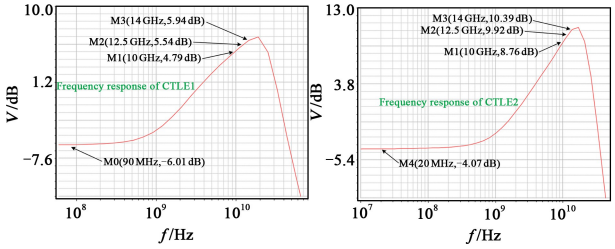


图 7　第一、二级 CTLE 电路的频率响应

数据经过 CTLE 电路后的频率响应如图 8 所示，信号在 10 GHz 由−17.58 dB 被补偿到−8.48 dB，接近于低频段的增益值附近，在 12.5 GHz 处由−22.23 dB 被补偿到−11.9 dB，在 14 GHz 处由−24.23 dB 被补偿到−13.4 dB。

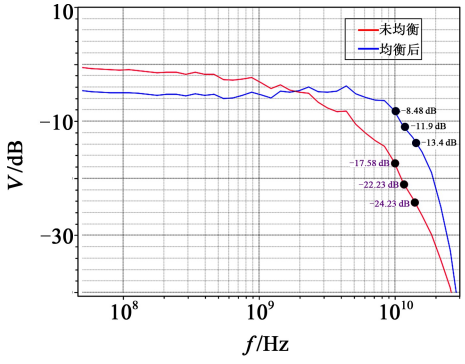
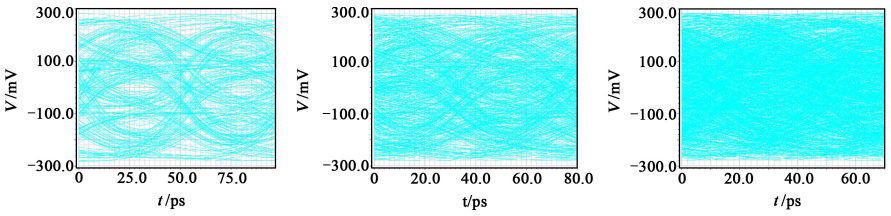


图 8　整体电路的频率响应

当发送端产生摆幅为600 mV，速度分别为 40 Gbps PAM4，50 Gbps PAM4 和 28 Gbps NRZ 数据时，数据眼图如图 9 所示，由图 9 可知，此时接收

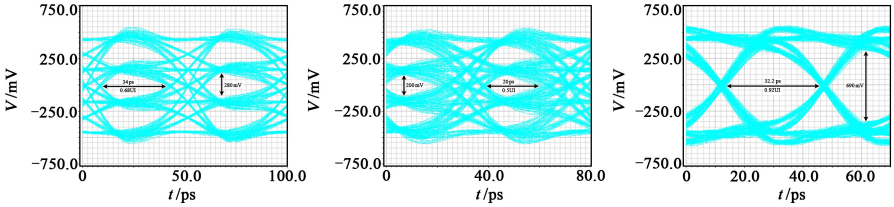


（a）40 Gbps PAM4　　（b）50 Gbps PAM4　　（c）28 Gbps NRZ

图 9　未均衡的伪随机数序列眼图

端接收到的信号无法正常采集。

对比图 9 和图 10，信号经过两级 CTLE 电路后，眼图的眼高和眼宽有了很大的提升，从初始的无法分辨眼高眼宽的无序眼图变成拥有明显眼高眼宽的眼图，该电路可实现预期均衡目标，可将其用于高速 SerDes 接收端电路中。



(a) 40 Gbps PAM4 (b) 50 Gbps PAM4 (c) 28 Gbps NRZ

图 10 均衡后的伪随机数序列眼图

表 1 与其他文献的性能参数对比

参数	文献[3]	文献[9]	文献[10]	文献[11]	本文
工艺/nm	40	NA	40	28	28
数据率/Gbps	40	2.125	6.25	25	28/40/50
信道损失/dB	15.3	8	15	20.5	22.39/16.61/20.78
电压/V	1	1.1	1.1	1.2	1.2
眼高/mV	69.34	300	1 735	140	280/200/690
眼宽/UI	0.4	0.87	NA	0.9	0.92/0.68/0.5

从表 1 可知，本文电路和文献[3]的电路的数据传输率相同，但本文电路在 Nyquist 处损耗较大的情况下眼图质量更佳；相比于文献[11]，两个电路采用的工艺相同，本文电路在 Nyquist 频率处更高损耗的背景下，实现了更高速率的均衡，同时眼图张开度、眼图高度均有显著的提升。

4 结论

在传统 CTLE 基础上，本文采用有源电感做负载和增加前馈通路等方式设计了两级 CTLE 电路。该 CTLE 电路与传统均衡器相比具有更大的高频增益补偿，对于高损耗眼图闭合的信道，依然具有良好的均衡效果。基于 UMC 28 nm 工艺仿真结果表明，均衡后 40 Gbps PAM4 信号、50 Gbps PAM4 信号和 28 Gbps NRZ 信号的眼图眼宽分别达到了 0.68，0.5，0.92 UI，眼高达到了 280，200，690 mV，可满足后级电路对于输入信号的要求。

参考文献：

[1] Atharav A, Razavi B. A 56-Gb/s 50-mW NRZ receiver in 28-nm CMOS[J]. IEEE J. of Solid-State Circuits, 2021, 57(1): 54-67.

[2] Harwood M, Warke N, Simpson R, et al. A 12.5 Gb/s SerDes in 65 nm CMOS using a baud-rate ADC with digital receiver equalization and clock recovery[C]// 2007 IEEE Inter. Solid-State Circuits Conf. Digest of Technical Papers. IEEE, 2007: 436-591.

[3] Wu X, Zhao Z L, Wu C N, et al. Analog front-end circuit design for receiver system of 40 Gb/s SerDes [J]. Microelectronics & Computer, 2022, 39(2): 114-120.

[4] Ali T, Abdullatif M, Park H. 56/112 Gbps wireline transceivers for next generation data centers on 7 nm FINFET CMOS technology [C]// 2021 IEEE Custom Integrated Circuits Conf. (CICC). IEEE, 2021: 1-6.

[5] Zheng K, Frans Y, Chang K, et al. A 56 Gb/s 6 mW 300 m^2 inverter-based CTLE for short-reach PAM2 applications in 16 nm CMOS[C]// 2018 IEEE Custom Integrated Circuits Conf. (CICC), 2018: 1-4.

[6] Ozkaya I, Cevrero A, Francese P A, et al. A 64-Gb/s 1.4-pJ/b NRZ optical receiver data-path in 14-nm CMOS FinFET [J]. IEEE J. of Solid-State Circuits, 2017, 52(12): 3458-3473.

[7] Li Z, Tang M, Fan T, et al. A 56-Gb/s PAM4 receiver analog front-end with fixed peaking frequency and bandwidth in 40-nm CMOS[J]. IEEE Trans. on Circuits and Systems Ⅱ: Express Briefs, 2021, 68(9): 3058-3062.

[8] Zhuo G, Zongren Y, Ying Z, et al. A 10 Gb/s receiver with half rate period calibration CDR and CTLE/DFE combiner[J]. J. of Semiconductors, 2009, 30(4): 46-52.

[9] Yan F, Zhang M Q, Wang P. A new CTLE equalizer based on high speed signal transmission system[J]. Electro-Optics and Control, 2020, 27(10): 109-112.

[10] Su Pengzhou, Huang Lu, Fang Yi. Design of a novel 6.25 Gb/s CTLE equalizer[J]. Microelectronics, 2016(2): 215-218.

[11] Lu D C, Zheng X Q, Lu F X, et al. Design of new CTLE equalizer with negative capacitance structure[J]. Electronics Optics & Control, 2022, 29(4): 68-71, 94.

作者简介：

张春茗(1973—)，女，辽宁省锦州市人，博士，讲师，主要研究方向为高速模拟集成电路设计；

徐阳臻(1999—)，男，甘肃省天水市人，硕士，主要研究方向为高速模拟集成电路设计。