光电器件

DOI：10.16818/j.issn1001－5868.2023081004

3 200 V 双 p 阱终端 VDMOS 击穿特性仿真研究

李　尧*，王爱玲，王奋强，蓝　俊，牛瑞霞，张鹏杰，张栩莹，吴回州，刘良朋

（兰州交通大学 电子与信息工程学院，兰州 730070）

摘　要： 基于场限环终端技术理论，提出了一种具有双 p 阱结构的垂直双扩散金属氧化物半导体场效应晶体管（VDMOS）。通过数值模拟软件分别仿真了 p 阱各项参数和漂移区掺杂浓度与击穿电压的关系，提取器件击穿时的表面电场并分析其击穿机理。研究结果表明，当漂移区掺杂浓度一定时，击穿电压随 p 阱数量和结深的增大而增大，随 p 阱掺杂浓度的增大而先增大后减小；当 p 阱参数一定时，击穿电压随漂移区掺杂浓度的增大而先增大后减小。经优化器件各项参数，击穿电压（V_B）达到 3 200 V，与传统平面栅型 VDMOS 相比提升了 305%，终端有效长度仅为 26 μm，表面电场最大值为 1.21×10^6 V/cm，且分布相对均匀，终端稳定性和可靠性高。

关键词： VDMOS；p 阱；漂移区掺杂浓度；击穿电压；表面电场分布

中图分类号： TN386.1　**文章编号：** 1001－5868(2023)06－0837－08

Simulation Research on Breakdown Characteristics of 3 200 V VDMOS with Double p-Well Termination

LI Yao, WANG Ailing, WANG Fenqiang, LAN Jun, NIU Ruixia,
ZHANG Pengjie, ZHANG Xuying, WU Huizhou, LIU Liangpeng

(School of Electronic and Information Engineering, Lanzhou Jiaotong University, Lanzhou 730070, CHN)

Abstract: A vertical double-diffused metal oxide semiconductor (VDMOS) with double p-well structure was proposed based on the theory of field limiting ring termination technology. The relations of the breakdown voltage with the parameters of the p-well and doping concentration of the drift region were simulated by numerical simulation software. The surface electric field was extracted when the device was struck and the breakdown principle was analyzed. The results show that when the doping concentration of the drift region is constant, the breakdown voltage increases with the increase of number and junction depth of the p-well, and first increases and then decreases with the p-well doping concentration. When the parameters of the p-well are constant, the breakdown voltage increases first and then decreases with the increase of doping concentration of the drift region. After optimizing the device parameters, the breakdown voltage (V_B) of the device reaches 3 200 V, which is 305% higher than that of the traditional planar-gate VDMOS. The effective length of the termination is only 26 μm, with the maximum value of surface electric field of 1.21×10^6 V/cm. The distribution of the surface electric field is relatively uniform, which results in high stability and reliability of the termination.

Key words: VDMOS; p-well; doping concentration of drift region; breakdown voltage; distribution of surface electric field

收稿日期：2023－08－10.

基金项目：国家自然科学基金项目(61905102)；甘肃省自然科学基金项目(20JR5RA385)；甘肃省教育厅创新能力提升项目(2019A-035).

* **通信作者：**李　尧　**E-mail:** liyao@mail.lzjtu.cn

0 引言

VDMOS 作为新一代大功率半导体器件，具有开关速度快、输入阻抗高、无二次击穿、元胞尺寸小等优点[1-2]，在电力电子技术领域有着广阔的应用前景。VDMOS 器件一般由元胞和终端两个关键部分组成，其中元胞区主结边缘处的结曲率效应容易引起电场集中，击穿电压很难达到平行平面结的 50%[3]，而合理的终端结构设计则能改善元胞区边缘的局部电场，缓解电场集中，在一定程度上提高器件的击穿电压和可靠性。目前常用的终端技术有场限环(FLR)、场板(FP)、结终端扩展(JTE)以及横向变掺杂(VLD)等[4-7]，但由于工艺难度、生产成本以及器件可靠性等因素的限制，场限环仍然是最常用的终端技术[8-9]，能够使器件终端的耐压水平达到平行平面结击穿电压的 80%以上，且结构简单，工艺兼容性良好，易于实现。

在 VDMOS 结构设计中，击穿电压是关键的设计依据以及评估器件可靠性的重要参数。为此国内外研究者们提出了多种优化的 VDMOS 结构[10-12]，以进一步提升器件的耐压性能。卓宁泽等[13]在外延硅内部刻蚀形成沟槽结构，得到 105.6 V 的击穿电压。Li 等[14]提出了一种具有均匀浅槽的 VDMOS 终端结构，通过扩展耗尽区来降低表面电场，在终端为 132 μm 的长度上得到了 706 V 的击穿电压。冯新等[15]采用了一种分离栅新型结构，并在栅极中断处对 n^- 漂移区进行 p 型轻掺杂，得到 1 415 V 的耐压。

本文在传统平面栅型 VDMOS 结构的基础上引入双 p 阱掺杂，对不同的器件结构参数进行仿真分析，探究 p 阱数量、结深、掺杂浓度以及漂移区掺杂浓度对器件反向击穿特性的影响。并根据器件击穿时的表面电场分布和峰值电场分析其击穿机理，以此来优化器件结构和性能。经仿真验证，优化后器件的击穿电压达到 3 200 V，终端长度仅为 26 μm。

1 器件结构和仿真模型

场限环的基本结构如图 1 所示，在器件有源区的边缘处，通过扩散方式引入一些 pn 结的延伸结构。在主结表面和衬底之间加反向电压后，主结的 pn 结在反向偏置下形成耗尽层。当反向电压增加到一定值时，主结上的耗尽层延伸到环上，使所加电压的一部分由场限环分担，减小了主结边缘处的曲率，主结的电场值被限制在临界击穿电场以内，从而提高器件击穿电压[16]。双 p 阱结构将基于场限环理论而实现。

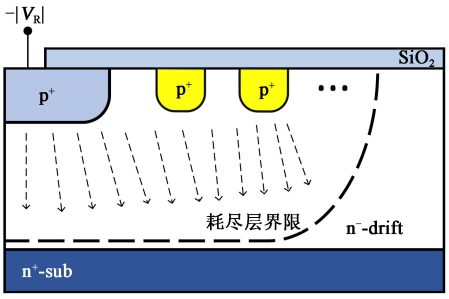
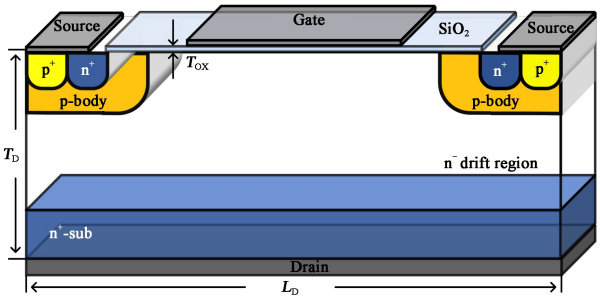
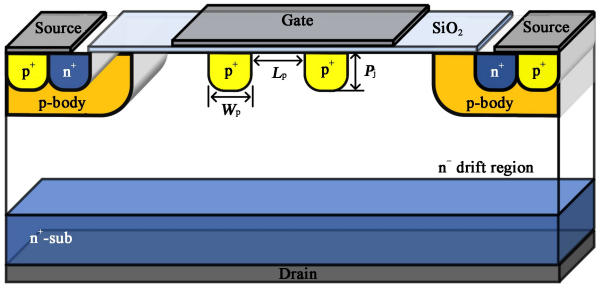


图 1 场限环结构

图 2(a)为传统平面栅型 VDMOS 结构示意图，简称 T-VDMOS；图 2(b)为具有双 p 阱结构的 VDMOS 结构示意图，简称 DP-VDMOS。T-VDMOS 和 DP-VDMOS 的表面栅电极都由多晶硅制作，重掺杂的 n^+ 区为衬底，轻掺杂的 n^- 区为漂移区，源极 n^+ 区和 p-body 区因扩散的结深不同而形成横向沟道区。相较于 T-VDMOS，DP-VDMOS 在漂移区表面引入两个 p 型掺杂，横向扩展主结耗尽层边界，并在主结表面附近引入新的电场峰，使器件表面的电场分布更加均匀。同时，当器件处于关断状态时，由于 p 阱的辅助，漂移区形成的耗尽层将更加深入，使得漂移区掺杂浓度进一步提高，从而降低器件的特征导通电阻，减小损耗。本文以耐压为 1 000 V 的 T-VDMOS 结构作为仿真初始模型，器件相关参数及优化目标如表 1 所示。



(a) 传统 VDMOS 结构



(b) 双 p 阱 VDMOS 结构

图 2 传统 VDMOS 与双 p 阱 VDMOS 结构

表 1　器件结构相关参数

器件参数	T-VDMOS	DP-VDMOS
漂移区长度 $L_D/\mu m$	26	26
漂移区厚度 $T_D/\mu m$	73	73
氧化层厚度 $T_{OX}/\mu m$	0.1	0.1
漂移区掺杂浓度 N_D/cm^{-3}	1.26×10^{14}	待优化
p 阱数量 n_p/个	—	待优化
p 阱间距 $L_P/\mu m$	—	1
p 阱宽度 $W_P/\mu m$	—	2
p 阱结深 $P_j/\mu m$	—	待优化
p 阱掺杂浓度 N_p/cm^{-3}	—	待优化

本文采用半导体仿真工具 Silvaco 对具有双 p 阱掺杂结构的 VDMOS 进行仿真设计。在数值仿真过程中，综合考虑了温度、掺杂浓度、横向及纵向电场等因素对器件性能的影响。在模拟器件的击穿特性时，使用的物理模型包括 CVT 迁移率模型、CONMOB 低场迁移率模型、FLDMOB 高场迁移率模型、AUGER 俄歇复合模型、与载流子寿命及浓度相关的 CONSRH 复合模型，以及 IMPACT SELB 碰撞电离模型。在算法上采用 Gummel 和 Newton 迭代算法求解泊松方程、连续性方程和漂移-扩散方程等。

2　仿真与讨论

2.1　T-VDMOS 的击穿特性

设定 T-VDMOS 耐压指标为 1 000 V，通过以下的最优化杂质分布公式可以估算漂移区掺杂浓度 N_D 和漂移区厚度 T_D：

$$N_D = 2.0\times10^{18}V_B^{-1.4} \tag{1}$$

$$T_D = 0.018\,3V_B^{1.2} \tag{2}$$

式中，V_B 为击穿电压，单位为 V；N_D 为漂移区掺杂浓度，单位为 cm^{-3}；T_D 为漂移区厚度，单位为 μm。根据式(1)和(2)，可以计算出 1 000 V VDMOS 的理论漂移区掺杂浓度为 1.26×10^{14} cm^{-3}、漂移区厚度为 73 μm。

图 3 为 T-VDMOS 的正向 *I-V* 特性曲线，横轴为正向偏置电压。当外加电压大于 3.2 V 时(即 A 点)，p-body 区开始产生电子并不断积累，连通 n^+ 区和 n^- 漂移区而形成 n 沟道，随即在源漏极之间产生电流。图 3 插图为电流密度的指数型，可以看到随外加偏压的增大，电流密度呈指数式增长。

图 4 为 T-VDMOS 的反向 *I-V* 特性曲线，横轴表示漏极电压，纵轴表示漏源电流。从图中可以观察到，当漏极电压达到 790 V 时(即 B 点)发生雪崩击穿，此时漏源电流快速增长。仿真结果表明实际击穿电压小于理论击穿电压，仅为理论击穿电压的 79%。因此需要进一步优化仿真模型和参数，以确保器件的耐压性能和可靠性。T-VDMOS 在反向击穿时的表面电场分布如图 4 插图所示，横轴表示器件纵向两端的距离，纵轴表示电场强度 *E*。由图可知，在栅极边缘处电场聚集，形成电场峰，此时器件漂移区刚好被完全耗尽，并在此处发生击穿。

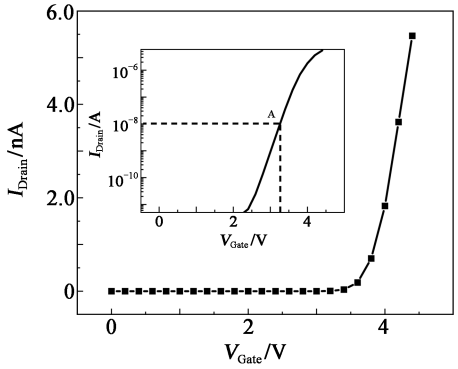


图 3　T-VDMOS 的正向 *I-V* 特性曲线

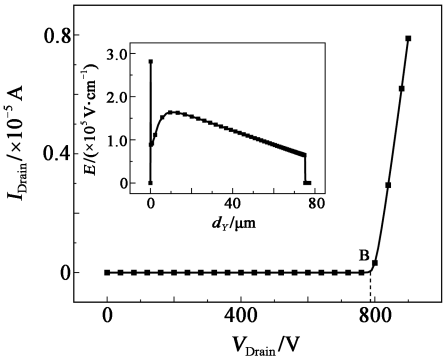
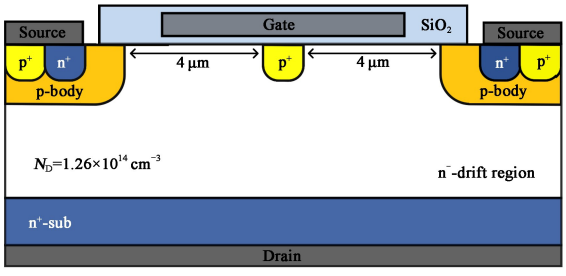


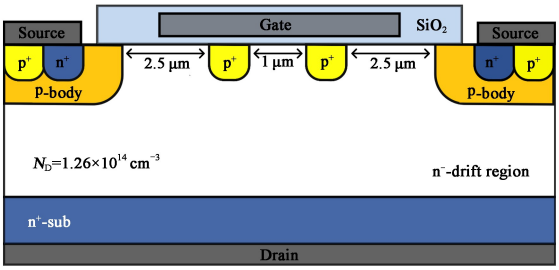
图 4　T-VDMOS 的反向 *I-V* 特性曲线

2.2　p 阱数量对击穿特性的影响

在 T-VDMOS 结构的基础上，保持 $N_D=1.26\times10^{14}$ cm^{-3}，$N_P=1\times10^{20}$ cm^{-3} 不变，讨论单 p 阱和双 p 阱对器件击穿电压的影响。单 p 阱设置在中间位置，距离两侧的 p-body 区均为 4 μm，如图 5(a)所示，简称 SP-VDMOS。双 p 阱距离左右两端的源极



(a) 单 p 阱 VDMOS 结构



(b) 双 p 阱 VDMOS 结构

图 5 单 p 阱与双 p 阱 VDMOS 的结构参数

均为 2.5 μm，间距 L_P=1 μm，如图 5(b)所示。p 阱宽度 W_P=2 μm，结深 P_j=4 μm。

T-VDMOS，SP-VDMOS 和 DP-VDMOS 对应的反向 *I-V* 特性曲线如图 6 所示。由图可知，引入 p 阱后器件的击穿电压有明显的提升。从图 6 中提取三种 VDMOS 器件的击穿电压，得到 p 阱数量与击穿电压的关系如插图所示，横轴表示引入漂移区表面的 p 阱数量 n_p，纵轴表示器件的击穿电压。可见器件的 V_B 随 n_p 的增大而增大。当 n_p=1 时 V_B 为 940 V，达到理论击穿电压的 94%，继续增加 n_p 至 2 时，V_B 增加至 1 000 V，此时才达到主结理论击穿电压的 100%。而相较于 T-VDMOS，SP-VDMOS 结构的耐压则提升了 19%，DP-VDMOS 结构的耐压提升了 27%。因此，增加 p 阱数量能够有效提高器件的耐压性能和可靠性。

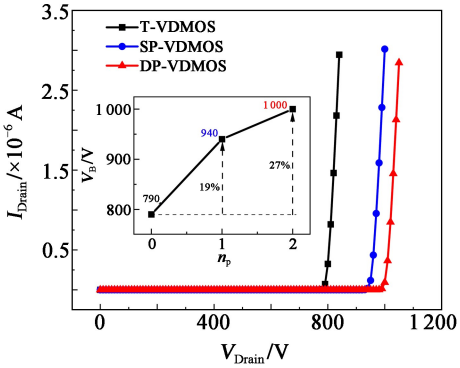


图 6 不同 n_p 对应的反向 *I-V* 特性曲线

为了进一步探究 p 阱数量对击穿电压的影响机理，提取 T-VDMOS，SP-VDMOS 和 DP-VDMOS 器件在反向击穿时的表面电场分布，结果如图 7 所示。分析不同 n_p 的器件与表面电场分布之间的关系，可以观察到 T-VDMOS 器件表面电场分布明显不均匀，存在电场集中现象。相较于 T-VDMOS，引入一个 p 阱的 SP-VDMOS 表面电场集中现象有所改善，分布较为均匀。而 DP-VDMOS 器件引入了两个 p 阱，进一步平衡了表面电场，减少了电场集中现象，表面电场分布更加均匀，增强了漂移区承担电场的能力，击穿电压升高。经对比发现，在漂移区长度一定的前提下，双 p 阱结构的 VDMOS 器件性能更优，因此将 DP-VDMOS 作为研究对象，进一步分析 p 阱各项参数及漂移区掺杂浓度对其击穿特性的影响。

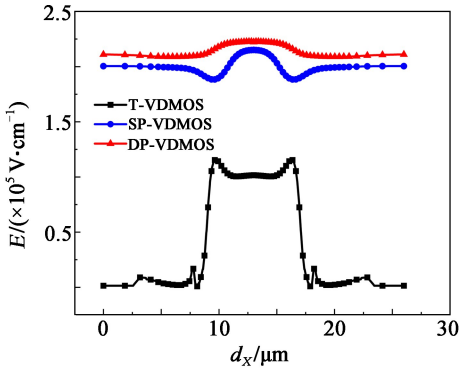


图 7 不同 n_p 对应的击穿状态表面电场分布

2.3 p 阱结深对击穿特性的影响

在漂移区表面引入 p 阱时，须考虑结深对器件击穿电压的影响。因此在数值模拟过程中，漂移区掺杂浓度 $N_D=1.26\times10^{14}$ cm^{-3}，p 阱掺杂浓度 $N_P=1\times10^{20}$ cm^{-3}，p 阱宽度 W_P=2 μm，保持其他参数不变，仅改变 P_j 从 1 μm 增大到 9 μm。得到不同 P_j 的 DP-VDMOS 器件的反向 *I-V* 特性曲线，如图 8 所示。由图可知，随着 P_j 的增大，V_B 先增大后减小，在结深 P_j=9 μm 时达到最大值。

提取图 8 中不同 P_j 的 DP-VDMOS 器件的击穿电压，得到 P_j 与 V_B 的关系如图 9 所示，横轴表示 p 阱结深，纵轴表示击穿电压。由图可知，击穿电压 V_B 随结深 P_j 的增大先增大后减小。当 P_j=4 μm 时击穿电压为 1 000 V，此时才达到理论击穿电压值的 100%。而 P_j=9 μm 时 V_B 达到最大值 2 460 V，相较于理论击穿值提升了 146%，较 T-VDMOS 提升了 221%。

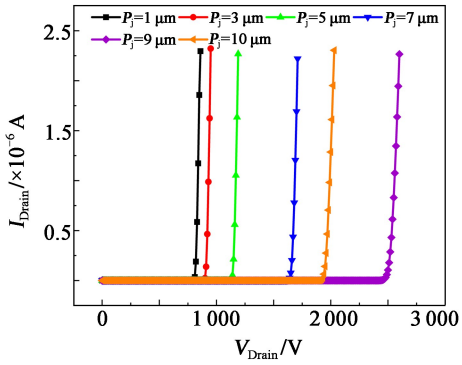


图 8 不同 P_j 对应的反向 *I-V* 特性曲线

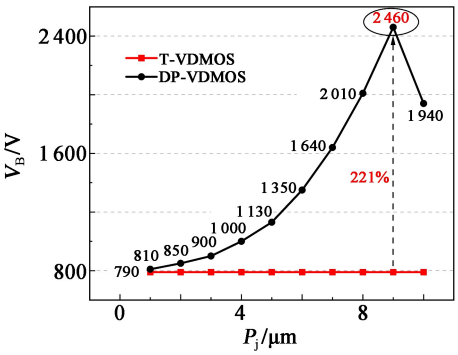


图 9　P_j 与 V_B 的关系

为了进一步分析 P_j 对击穿电压的影响机理，提取不同 P_j 的 DP-VDMOS 器件在反向击穿时的表面电场，如图 10 所示。由图可知，当 P_j 从 1 μm 增大到 9 μm 时，p 阱结深越深，漂移区承担电场的能力越强，器件表面电场强度更高且分布更为均匀，击穿电压得到提升。同时，随着 p 阱结深的增大，p 阱辅助漂移区耗尽的能力增强，因此随着 P_j 的增大，电场峰峰值也就越高。而当 P_j 增至 10 μm 时，器件表面电场强度反而减小。这是因为 p 阱结深太大会导致 p 阱内的掺杂浓度较高，形成一个较厚的耗尽区，导致 DP-VDMOS 器件的漏极区域形成较强的电场集中。同时将耗尽区拉伸至漏极附近，使得耗尽区电场分布不均匀而出现异常高的值，引发边缘击穿现象。因此可通过调节 p 阱的结深，来改变漂移区表面的电场分布，减缓电场集中效应，从而减少击穿风险，有效提高器件的耐压和可靠性。

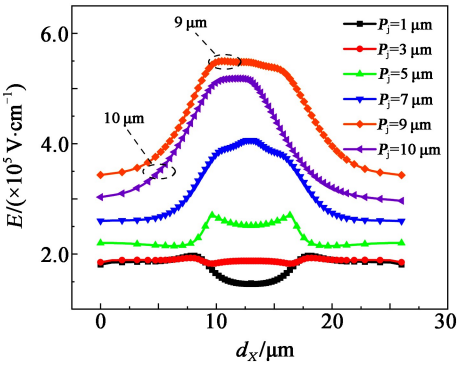


图 10　不同 P_j 对应的击穿状态表面电场分布

2.4　p 阱掺杂浓度对击穿特性的影响

在设计和优化器件结构时，还须考虑 p 阱的掺杂浓度对 VDMOS 击穿特性的影响。在数值模拟过程中，保持 p 阱结深 P_j 为 9 μm，漂移区掺杂浓度 $N_D=1.26\times10^{14}$ cm^{-3}，其他参数不变，使 N_P 从 1×10^{19} cm^{-3} 增大到 11×10^{20} cm^{-3}，提取不同 N_P 对 DP-VDMOS 击穿特性的影响如图 11 所示。由图可知，击穿电压 V_B 随 N_P 的增大而增大。图 11 插图为局部放大后的反向 I-V 特性曲线，可见 $N_P=9\times10^{20}$ cm^{-3}，10×10^{20} cm^{-3} 和 11×10^{20} cm^{-3} 时的三条曲线几乎重合，表明此时击穿电压不再随着 N_P 的增大而增大。

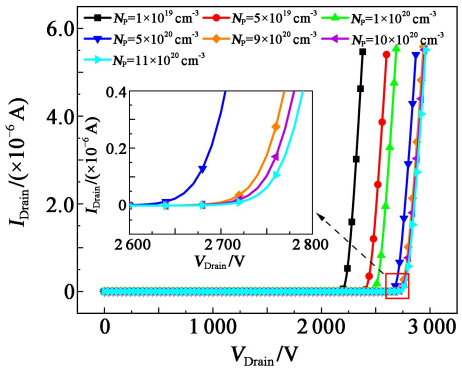


图 11　不同 N_P 对应的反向 I-V 特性曲线

提取图 11 数据，绘制 N_P 与 V_B 的关系曲线如图 12 所示，图中 N_P 为 p 阱掺杂浓度。由图可知，在一定范围内，击穿电压随 p 阱掺杂浓度的增大而增大，并在 $N_P=9\times10^{20}$ cm^{-3} 时 V_B 达到最大值 2 750 V。当 p 阱掺杂浓度从 1×10^{19} cm^{-3} 增大到 9×10^{20} cm^{-3} 时，V_B 从 2 190 V 增大到了 2 750 V，提升了 26%，相较于 T-VDMOS 提升了 248%。

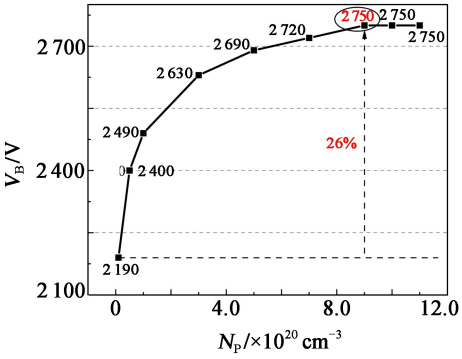


图 12　N_P 与 V_B 的关系

为了进一步分析 N_P 对击穿电压的影响机理，提取 N_P 从 1×10^{20} cm^{-3} 增大到 9×10^{20} cm^{-3} 时的 DP-VDMOS 器件在反向击穿时的表面电场，如图 13 所示。由图可知，不同 N_P 的双 p 阱结构均在器件表面引入两个电场峰，且 p 阱上的表面电场峰值都随 N_P 的增大而增大。同时，p 阱掺杂浓度越大，电场峰越为尖锐，峰值越高。当 N_P 从 1×10^{19} cm^{-3} 增大到 $N_P=9\times10^{20}$ cm^{-3} 时，器件表面的峰值电场从 4.5×10^5 V/cm 增大到 7.0×10^5 V/cm，增大了近

55%。因此 p 阱的掺杂浓度越大，其辅助漂移区耗尽的能力则越强，因而在器件表面引入了更高的电场峰。

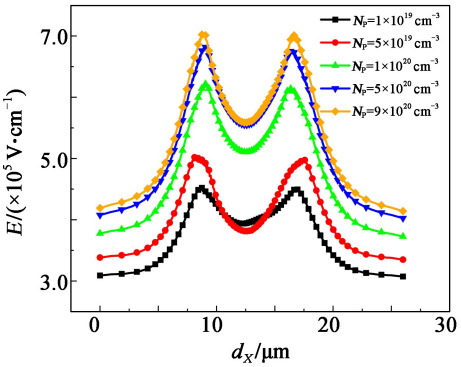


图 13 不同 N_P 对应的击穿状态表面电场分布

2.5 漂移区掺杂浓度对击穿特性的影响

漂移区是器件承担高电压和形成耗尽层的区域，因此漂移区掺杂浓度对器件击穿特性的影响最为显著。增大漂移区掺杂浓度会使耗尽层宽度减小，导致电场强度增大，当达到临界击穿电场时，器件则发生击穿。

在数值模拟过程中，保持 p 阱掺杂浓度 N_P 为 9×10^{20} cm^{-3}，p 阱结深 P_j 为 9 μm，其他参数不变，使 N_D 从 1×10^{14} cm^{-3} 增大到 9×10^{15} cm^{-3}，提取不同 N_D 对 DP-VDMOS 击穿特性的影响如图 14 所示。由图可知，随着漂移区掺杂浓度的增大，器件的击穿电压先增大后减小。

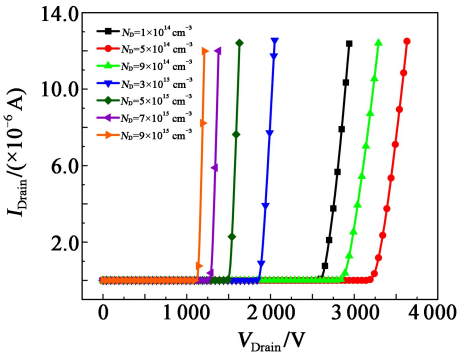


图 14 不同 N_D 对应的反向 I-V 特性曲线

提取图 14 数据，绘制 N_P 与 V_B 的关系曲线如图 15 所示，图中 N_D 为漂移区掺杂浓度。由图可知，击穿电压 V_B 随着 N_D 的增大先增大后减小，$N_D=5\times10^{14}$ cm^{-3} 时 V_B 达到最大值 3 200 V，与 $N_D=1\times10^{14}$ cm^{-3} 时的 2 600 V 相比，提升了约 23%，与 T-VDMOS 相比则提升了 305%。因此，适当增大漂移区掺杂浓度，可以提高器件的耐压能力。

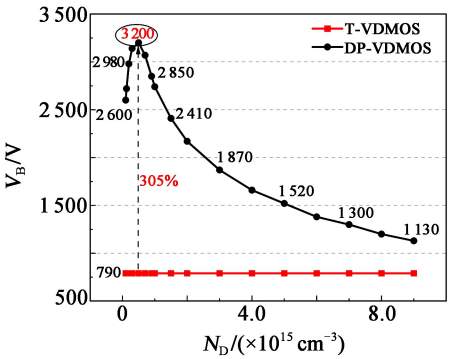


图 15 N_D 与 V_B 的关系

为了进一步分析 N_D 对击穿电压的影响机理，取 N_D 为 1×10^{14}，5×10^{14} 和 9×10^{15} cm^{-3} 时的 DP-VDMOS 器件在反向击穿时的表面电场，如图 16 所示。由图可知，N_D 为 5×10^{14} cm^{-3} 时漂移区承担的电场强度最大，而当漂移区掺杂浓度增大至 9×10^{15} cm^{-3} 时，漂移区承担的电场强度则明显降低，表面峰值电场从 $N_D=5\times10^{14}$ cm^{-3} 时的 1.21×10^6 V/cm 降到 $N_D=9\times10^{15}$ cm^{-3} 时的 5.9×10^5 V/cm，减小了近 51%。这是因为随着漂移区掺杂浓度的增大，主结的耗尽层边界无法向 p 阱延伸，使 p 阱对主结的保护作用减小，因此当漂移区掺杂浓度大于 5×10^{14} cm^{-3} 时，击穿电压随漂移区掺杂浓度的增大而降低。

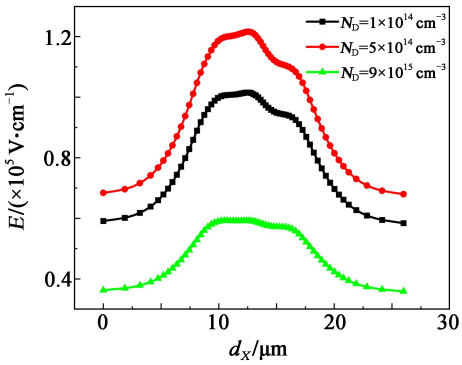


图 16 不同 N_D 对应的击穿状态表面电场分布

2.6 结果对比

本文主要对双 p 阱结构 VDMOS 器件结构参数进行了优化设计，相较于 T-VDMOS 和 SP-VDMOS，DP-VDMOS 结构在保持器件尺寸相同的情况下，耐压能力分别提升 305% 和 240%。同时，本文还对比了其他相关文献，如表 2 所示。文献[14]提出一种具有均匀浅槽的 VDMOS 终端结构，引入 11 个浅槽，终端长度达到 132 μm，但该结构工艺复杂，器件尺寸大，击穿电压仅达到 706 V。文献

[15]提出的分离栅 VDMOS 结构，将多晶硅栅分段成两部分，且在分段处注入了 p 型掺杂，器件击穿电压达到了 1 415 V，但该结构工艺难度大，且器件厚度达到 120 μm，成本较高。而本文提出的双 p 阱结构 VDMOS，在终端长度仅为 26 μm 的结构上只引入两个 p 型掺杂，其击穿电压可达 3 200 V，并且未增加额外掩膜和其他工艺步骤，工艺兼容性好，易于实现。

表 2　器件性能对比

器件参数	DP-VDMOS	文献[14]	文献[15]
$L_D/\mu m$	26	132	24
$T_D/\mu m$	73	50	120
N_D/cm^{-3}	5×10^{14}	2×10^{14}	9.74×10^{13}
n_p/个	2	11	1
$P_j/\mu m$	9	8	—
N_p/cm^{-3}	9×10^{20}	1×10^{17}	1.4×10^{14}
V_B/V	3 200	706	1 415
$E_{max}/(V\cdot cm^{-1})$	1.21×10^{6}	2.5×10^{6}	—

3　结论

本文对具有双 p 阱结构的 VDMOS 击穿特性进行仿真研究，从结构参数出发，探究 p 阱各项参数及漂移区掺杂浓度与器件击穿电压的关系，并从器件击穿时的表面电场分布和峰值电场两方面分析了影响机理。仿真结果表明：相比于传统平面栅型 VDMOS 和单 p 阱结构 VDMOS，双 p 阱结构 VDMOS 的击穿电压提升了近 305%和 240%。另外，当 p 阱掺杂浓度一定时，随着 p 阱结深的增大，双 p 阱 VDMOS 的击穿电压先增大后减小。而当 p 阱结深一定时，击穿电压随 p 阱掺杂浓度的增大而增大。并且随着漂移区掺杂浓度的增大，器件击穿电压先增大后减小。综上，当 N_D 为 5×10^{14} cm^{-3}，N_P 为 9×10^{20} cm^{-3}，P_j 为 9 μm 时，双 p 阱结构 VDMOS 的击穿电压 V_B 取得最大值 3 200 V，且终端长度仅为 26 μm。此外，p 阱结深过大会使耗尽区拉伸至漏极附近，并形成较强的电场集中，导致耗尽区电场分布不均匀而引发边缘击穿现象。而漂移区掺杂浓度过高会抑制主结耗尽层向 p 阱扩展，使 p 阱失效无法分担电场，进而导致击穿电压降低。因此需要对器件结构参数进行综合分析，从而更有效地优化击穿电压，提升器件的可靠性。

参考文献：

[1] Yang T, Wang Y, Yue R. SiC trench MOSFET with reduced switching loss and increased short-circuit capability[J]. IEEE Trans. on Electron Devices, 2020, 67(9): 3685-3690.

[2] Zhang J, Chen Z, Tu Y, et al. A novel SiC asymmetric cell trench MOSFET with split gate and integrated JBS diode[J]. IEEE J. of the Electron Devices Society, 2021, 9: 713-721.

[3] 石存明，冯全源. 一种 VLD 结构 VDMOS 终端设计[J]. 微电子学，2016，46(3)：415-418.
Shi Cunming, Feng Quanyuan. Design of a VLD structure VDMOS termination[J]. Microelectronics, 2016, 46(3): 415-418.

[4] 干红林，冯全源，王　丹，等. 700 V VDMOS 终端结构优化设计[J]. 半导体技术，2014，39(4)：274-278.
Gan Honglin, Feng Quanyuan, Wang Dan, et al. Optimization design of 700 V VDMOS termination structure [J]. Semiconductor Technology, 2014, 39(4): 274-278.

[5] Zhang L, Wang C. A field limiting ring termination structure with AP type corrugated resistance region[C]// 2016 IEEE 8th Inter. Power Electronics and Motion Control Conference (IPEMC-ECCE Asia). IEEE, 2016: 1623-1627.

[6] 石存明，冯全源. 一种沟槽型场限环 VDMOSFET 终端结构[J]. 微电子学，2016，46(1)：132-135.
Shi Cunming, Feng Quanyuan. A trench field limit ring VDMOSFET termination structure [J]. Microelectronics, 2016, 46(1): 132-135.

[7] 遇　寒，沈克强. 功率半导体器件的场限环研究[J]. 电子器件，2007(1)：210-214.
Yu Han, Shen Keqiang. Research of FLR of power semiconductor device[J]. Chinese J. of Electron Devices, 2007 (1): 210-214.

[8] Wen Y, Xu X, Zhu H, et al. Design and characteristics of an etching field limiting ring for 10 kV SiC power device[C]// 2019 16th China Inter. Forum on Solid State Lighting & 2019 Inter. Forum on Wide Bandgap Semiconductors China (SSLChina: IFWS). IEEE, 2019: 37-41.

[9] 周荣斌，杨　平，唐茂森，等. 1 700 V IGBT 场限环场板终端优化设计[J]. 机车电传动，2021(5)：58-63.
Zhou Rongbin, Yang Ping, Tang Maosen, et al. Optimized design of 1 700 V IGBT field limiting ring and field plate termination[J]. Electric Drive for Locomotives, 2021(5): 58-63.

[10] Qian Q, Sun W, Zhu J, et al. A novel charge-imbalance termination for trench superjunction VDMOS [J]. IEEE Electron Device Lett., 2010, 31(12): 1434-1436.

[11] Naugarhiya A, Kondekar P N. High permittivity material selection for design of optimum Hk VDMOS [J]. Superlattices and Microstructures, 2015, 83: 310-321.

[12] 郭心宇，白　云，雷天民. 1 200 V SiC 超结 VDMOS 研究[J]. 电工电能新技术，2018，37(10)：27-31.
Guo Xinyu, Bai Yun, Lei Tianmin. VDMOS super junction 1 200 V SiC research[J]. Adv. Technol. of Electrical Engin., 2018, 37(10): 27-31.

[13] 卓宁泽，赖信彰，于世珩. 中压沟槽MOSFET的设计与研究[J]. 微电子学与计算机，2023，40(3)：125-131.
Zhuo Ningze，Lai Xinzhang，Yu Shiheng. Design and research of medium voltage trench MOSFET[J]. Microelectronics and Computer，2023，40(3)：125-131.

[14] Li Q，Bao T，Li H，et al. Uniform shallow trenches termination design for high-voltage VDMOS transistor[J]. Electron. Lett.，2020，56(2)：104-105.

[15] 冯 新. 1 200 V n沟道VDMOS研制[D]. 成都：电子科技大学，2021.
Feng Xin. Development of 1 200 V n-channel VDMOS[D]. Chengdu：University of Electronic Science and Technology of China，2021.

[16] 张 颖，赵 野，高 嵩，等. 终端带单一场环的P^+N结击电压分析[J]. 辽宁大学学报(自然科学版)，2001，28(2)：148-152.
Zhang Ying，Zhao Ye，Gao Song，et al. Analysis on breakdown voltage for P^+ N junction terminated with single floting field guard ring[J]. J. of Liaoning University (Natural Sciences Edition)，2001，28(2)：148-152.

作者简介：

李 尧(1987—)，男，甘肃省武威市人，博士，副教授，硕士生导师，主要研究方向为功率半导体器件、有机半导体器件、光电子器件；

王爱玲(1998—)，女，甘肃省陇南市人，硕士研究生，主要研究方向为功率半导体器件。