光电器件

DOI：10.16818/j.issn1001－5868.2024010401

自稳零低噪声 CTIA 读出电路研究

杨静欣[1,2]，钟佳鑫[1,2]，欧阳学龙[1,2]，孔大林[1,2]，袁红辉[1*]

（1. 中国科学院上海技术物理研究所 中国科学院红外探测全国重点实验室，上海 200083；2. 中国科学院大学，北京 100049）

摘　要： 红外探测器在国防航天领域应用广泛，其低噪声读出电路是获得有用清晰红外图像的基础。当探测器工作在高背景微弱信号下时，常出现噪声扰动大，各元信号高低不平，部分信号无法读出的问题。针对国内航天工程应用需求，文章设计了一种低噪声的新型读出电路。该电路在传统 CTIA 的基础上，设计了自稳零技术和新型相关双采样电路，对噪声抑制表现出优良的作用。可应用于低温中波线列红外 HgCdTe 航天探测器的信号读出以及其他低温和常温探测器的信号读出，工作温度范围为 77～300 K。基于 0.35 μm，5 V-CMOS 工艺进行了 10×1 线列读出电路后仿真验证与流片，结果表明，与传统 CTIA 电路对比，输出噪声下降 44.7%，总输出噪声仅为 72.1 μV。

关键词： 自稳零；相关双采样；低噪声；红外探测器

中图分类号： TN215　**文章编号：** 1001－5868(2024)03－0356－06

Study of Autozeroing Low-noise CTIA Readout Circuit

YANG Jingxin[1,2], ZHONG Jiaxin[1,2], OUYANG Xuelong[1,2], KONG Dalin[1,2], YUAN Honghui[1]

(1. National Key Laboratory of Infrared Detection Technologies, Shanghai Institute of Technical Physics, Chinese Academy of Science, Shanghai 200083, CHN; 2. University of Chinese Academy of Sciences, Beijing 100049, CHN)

Abstract: Infrared detectors have diverse applications in the defense and aerospace fields, and they rely on low-noise readout circuits for acquiring useful and clear infrared images. Detectors operating under high-background and weak-signal scenarios encounter issues such as substantial noise disturbances, uneven signals across elements, and unreadable signals. To satisfy the requirements for the application of infrared detectors in aerospace engineering in China, we designed a novel low-noise readout circuit based on the traditional capacitive transimpedance amplifier (CTIA) in this study. The circuit design utilized autozeroing technology and a new correlation double-sampling circuit with excellent noise suppression capability. We applied the proposed circuit to signal readouts in common midwave line-array infrared HgCdTe space detectors and other low- and normal-temperature detectors with operating temperatures within 77～300 K. Further, we performed simulation verification, followed by the tape-out of a 10×1 line-array readout circuit using a 0.35 μm 5 V CMOS process. Our results showed a total output noise of 72.1 μV, which was 44.7% lower than that of the traditional CTIA circuit.

Key words: autozeroing; correlated double sampling; low noise; infrared detector

收稿日期：2024－01－04.

基金项目：国家自然科学基金重大项目(42192582).

* **通信作者：**袁红辉

0　引言

随着现代信息科技飞速发展，红外光电成像技术逐渐成为信息化武器装备、未来智能化军事变革的重要基础，在工业控制、刑事侦查、医疗卫生等国计民生领域也有着重要作用。红外焦平面阵列(IRFPA)作为技术中的核心器件，主要由红外像元芯片和读出电路(ROIC)组成。对于许多成熟的红外焦平面探测器技术来说，现在限制其性能的不再是像元芯片本身而是读出电路部分[1]，所以对探测器读出电路展开深入研究是很有必要的。

在 CMOS IC 制造工艺中，随着 MOS 管尺寸的不断缩小，集成度的增加，读出电路不断面临噪声电压增加以及电源电压降低所带来的新挑战。以 0.35 μm CMOS 工艺为例，其工作电压已经降低至 3.3 V，而典型尺寸 MOS 管的噪声拐角频率一般大于 100 kHz，输入失调电压最大可有几十毫伏[2]，所以在开展读出电路研究中聚焦噪声的抑制消除，满足更高的检测精度需求，实现低噪声高性能读出电路设计是符合时代发展的，不仅对现有光电探测器性能的进一步改善有学术价值，还对助力我国航天工程事业、巩固我国航天地位有重要意义。2017 年，韩国科学技术院在 0.35 μm CMOS 工艺条件下，通过自选电容技术和相关双采样(Correlated Double Sampling，CDS)降噪方法，研制出了一种噪声测量结果为 43 e^- 的短波红外焦平面阵列的读出集成电路[3]。2018 年 Christian C Enz 和 Gabor C Temes 针对非致冷微测辐射热计的焦平面阵列，采用了自稳零电路结构，但由于数字电路的引进，其噪声较大[4]。2021 年，北京大学在 180 nm 1P5M CMOS 工艺条件下，提出了一款紧凑的像素内 CDS 和一种基于逆变器的运算放大器，它利用较少的开关来减少像素面积，仿真结果 CDS 后像素输出噪声为 11.38 e^-，比传统电容反馈跨阻放大器(Capacitive Trans-impedance Amplifier，CTIA)电路低 48%，但没有共享具体的电路参数[5]。

本文设计了一款新型自稳零 CTIA 低噪声 10 元线列读出电路芯片，感光面由 10 个光电二极管组成，光电二极管采用 N 阱 P 衬底结构。每个像素采用自稳零存储技术将噪声电压和放大器失调电压缓冲到输出电压上，最终从瞬时值中减去它来降低噪声，同时还采用一种像素内帧保持的简易新型 CDS 电路对电路噪声进行再次降低，利用缓冲输出实现前后级的隔离，提高驱动能力，最后利用十位移位寄存器将信号行选输出。

1　读出电路结构

本文采用的像素电路结构如图 1 所示，它由带自稳零结构的 CTIA 电路、相关双采样电路、缓冲驱动电路等组成。

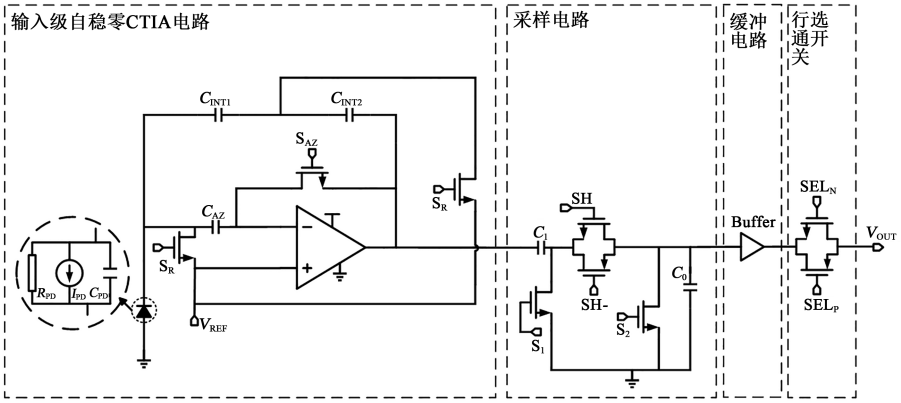


图 1　像素读出电路结构

电路结构中光电探测器等效为一个电流源、一个电容和一个电阻的并联结构。输入级采用电容反馈跨阻放大电路结构将光电流转化为光电压，具有恒定的探测器偏置电压和很低的探测器输入阻抗，在低背景到高背景的应用中都具有非常低的噪声[6]。较高的注入效率和转换增益以及良好的输出线性度使其很适合微弱光电信号的读出[7]。在其基础上增加的自稳零结构能够存储部分输入噪声和放大器自身携带的电路噪声，如 kTC 噪声、$1/f$ 噪声、由器件失配引起的失调电压暗电流噪声等，从而更好地输出有效信号。控制采样电路两个电容的大小可将输入级输出电荷进行再分配以设置采样电路输

出电压的大小。缓冲电路为放大器接成单位增益模式，行选通开关连接移位寄存器。

电路工作模式为边积分边读出的全局域曝光模式。开始时在同一时间脉冲控制下，所有像素单元同时复位，之后再同时曝光积分。每一帧积分时间结束后，像素内相关双采样电路先将信号存储下来，在下一个脉冲积分过程中，列移位寄存器控制行选通开关选通，将上一帧采样信号逐行读出。

2 关键电路单元设计

2.1 自稳零低噪声 CTIA 电路

传统电容反馈跨阻抗放大器电路结构如图 2 所示，由积分电容 C_{INT}、运算放大器和复位开关 S_{RESET} 组成。

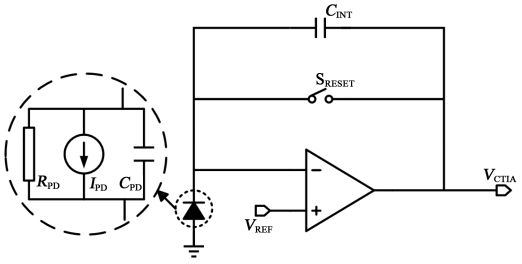


图 2 传统 CTIA 基本电路原理框图

基本原理如下：当 S_{RESET} 接高电平时，开关闭合，输出端和放大器输入端相连，电路处于复位模式；当 S_{RESET} 接低电平时，电路处于 CTIA 积分状态，光生电流 I_{PD} 流过并存储在积分电容 C_{INT} 上，输出电压如式(1)所示。

$$V_{CTIA}=\frac{A}{1+A}\left(V_{REF}+V_N+V_{OS}+\frac{I_{PD}\cdot T_{INT}}{C_{INT}}\right) \tag{1}$$

式中，A 为运放直流开环增益，T_{INT} 为积分时间，V_N 为电路噪声电压，V_{OS} 是由器件失配引起的放大器失调电压，失调电压会产生一定的暗电流，暗电流会引起散粒噪声和固定图像模式噪声。为使 CTIA 输出信号具有较小的噪声、清晰度和积分线性度，则 V_N 和 V_{OS} 要足够小，A 要足够大，当 $A\geqslant 70$ dB 时，式(1)中系数约等于 1。

本文提出的自稳零低噪声 CTIA 电路结构如图 3 所示。由一个自稳零电容 $C_{AZ}=500$ fF、两个积分电容 $C_{INT1,2}=100$ fF、一个单端输入差分放大器、自稳零开关 S_{AZ}、复位开关 S_R 构成。其中放大器增益 A 为 72.57 dB，相位裕度为 61.90 deg。

工作原理分为两个阶段：第一阶段，当 S_R 接高电平导通时，自稳零开关 S_{AZ} 闭合，放大器输入通过自稳零电容短接，A 点电压为 V_{REF}，并且 B 点与输出相连，利用负反馈补偿原理可知此时被采样保存在 C_{AZ} 上的电压为：

$$V=V_{REF}-\frac{A}{A+1}(V_{REF}+V_{OS}+V_N)\approx -(V_{OS}+V_N) \tag{2}$$

第二阶段，S_R 接低电平时，S_{AZ} 断开，电路进入积分模式，信号输入，如果 V_{OS} 和 V_N 与采样时基本相同，那么噪声和失调将被消除，流过积分电容的信号将是更低噪声的有用信号。输出电压如式(3)表示：

$$V_{CTIA}=V_{REF}+\frac{I_{PD}\cdot T_{INT}}{C_{INT}} \tag{3}$$

这一阶段有效积分电容为第一阶段 C_{INT2} 的一半，$C_{INT}=\dfrac{C_{INT1}\cdot C_{INT2}}{C_{INT1}+C_{INT2}}$，小的积分电容带来高的输出增益，达到读出本应用背景下输入端 PA 级电流的目的，高增益会增加电路噪声，而重置阶段的大电容可以有效降低噪声[8]，平衡了整体电路增益和噪声的折衷关系。图 4 为自稳零 CTIA 电路模块工作时序图。

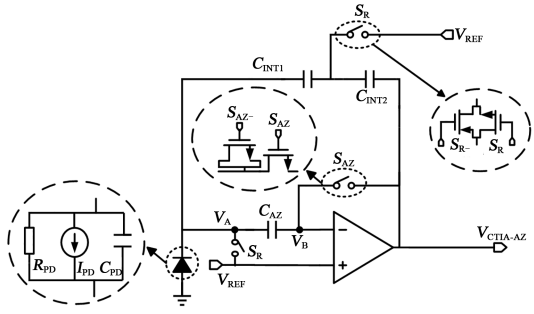


图 3 自稳零低噪声 CTIA 电路

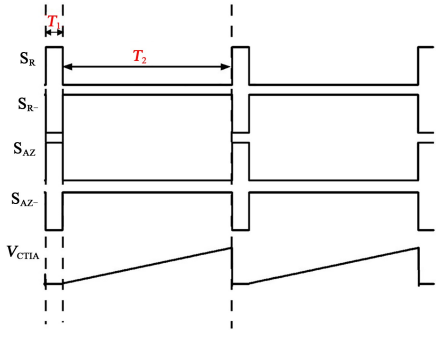


图 4 自稳零 CTIA 电路工作时序图

红外探测器读出电路噪声主要分为两种类型：随机噪声和固定图像噪声(Fixed Figure Noise，FPN)。随机噪声指的是时间上不可被预测的随机波动的信号。读出电路中的主要随机噪声源包括热

噪声、闪烁噪声($1/f$ 噪声)、复位噪声(kT/C 噪声)和暗电流散粒噪声[9]。自稳零可以减小失调引起的散粒噪声和固定图像噪声,同时还可以大大降低 $1/f$ 噪声,但不能很好地降低热噪声。因为热噪声属于白噪声,低频降噪的 AZ 过程效率依赖于噪声样本和瞬时噪声值之间的相关性,当两个 $1/f$ 噪声样本被时间间隔 t 分开时,随着 t 的增加,它们之间的自相关比白噪声的自相关降低要慢得多,所以 AZ 处理可以有效地降低 $1/f$ 噪声,而对降低宽带白噪声效果欠佳,在低温下,热噪声对电路的影响将大大减小。并且,放大器的低频输入噪声功率谱密度 PSD 通常可写成包含一个白色噪声和一个 $1/f$ 噪声分量的形式:

$$S_N(f)=S_0\left(1+\frac{f_k}{|f|}\right) \tag{4}$$

式中,S_0 表示白噪声 PSD,f_k 为角频,定义为 $1/f$ 噪声 PSD 与白噪声 S_0 相等时的频率。具有 MOS 输入器件的放大器角频率通常从 1～100 kHz,这意味着在没有混叠的情况下,输入噪声通常由感兴趣的频率范围内的 $1/f$ 噪声组成。

需要注意的是,AZ 是一种采样技术,宽带噪声会有小部分混叠到基带,较大的采样频率可减轻混叠,但与此同时也带来了负面效应,比如时钟溃通和沟道电荷注入效应。为此,在开关 S_{AZ} 旁边增加虚拟器件 S_{AZ-} 来减轻这二者效应带来的影响,设计 $W_{AZ}=2\ \mu m$,$W_{AZ-}=0.5W_{AZ}=1\ \mu m$,$L_{AZ}=L_{AZ-}=0.6\ \mu m$。开关 S_R 运用 P 管和 N 管构成传输门互补开关来减小电荷注入,宽长比设计为 $W_R=1.6\ \mu m$,$W_{R-}=2W_R=3.2\ \mu m$,$L_R=L_{R-}=0.6\ \mu m$。

2.2　采样保持电路

为了进一步降低 kTC 噪声、$1/f$ 噪声和固定图像噪声,设计中加入了改进的相关双采样电路,相关双采样是自稳零技术的一个特例,不仅可以降低噪声,而且可以降低电路性能对有限放大器增益的敏感性[10]。

本文应用的相关双采样电路是一种更为简单的、像素内整合采样和保持一体的结构,如图 5 所示,图 6 为相关双采样工作时序。传统的方式有两种,一种为差分相关双采样,电路有两个采样电容,分别采样,再经过差分放大器相减;另一种为钳位相关双采样,结构与图 5 相似,不同之处在于本文多一个开关 S_2,并且采样开关不是全程闭合而是只在积分快结束的时候拉高。另设开关 S_2 对电容 C_0 上一帧保存的电荷单独重置,这是因为本文需要将上一帧采样的 V_{CDS} 信号保持到下一帧积分时间内,而不能在下一帧某个积分时间段行选输出前就被重置。开关 S_1 高电平时,也是前一模块 CTIA 电路复位阶段,同时 C_1 右端电压被钳位在地端,CTIA 电路开始积分时,S_1 依然在高电平,高电平时间稍微比复位时间延长一点,是为了使噪声尽可能完全地被存储在 C_1 左端,S_1 断开,SH 闭合时,V_{CDS} 跟随 V_{CTIA} 变化而变化,此时电压变化是有效信号,存储在电容左端的噪声将被消除。CDS 输出电压可用以下公式[11]表示:

$$V_{CDS}=\Delta V_{CTIA}\frac{C_1}{C_1+C_0} \tag{5}$$

根据 kTC 噪声的定义,电容越大,对噪声降低越有利,然而出于像素单元有限面积的考虑,本文选择电容 $C_0=125$ fF,$C_1=500$ fF。

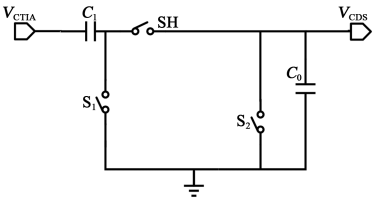


图 5　相关双采样电路

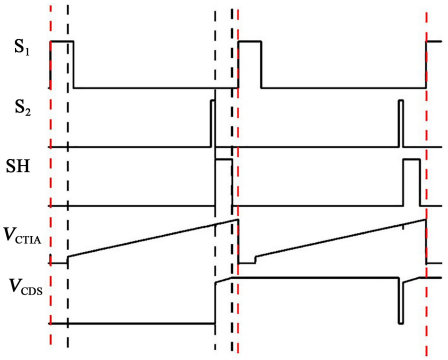


图 6　相关双采样电路工作时序图

3　仿真结果

文中所设计的电路为 5 V CMOS 工艺电路模型。周期为 220 μs,积分时间为 200 μs。偏置电压 V_{REF} 为 1.25 V。将自稳零 CTIA 模块电路和传统 CTIA 电路模块的参数设置成一样,利用 Cadence Spectre 进行噪声仿真计算,结果如图 7 所示,运用自稳零技术后,等效输出噪声下降约 44.7%。

在此基础上加上相关双采样等后续电路,总像素电路输出噪声为 72.1 μV,计算结果如图 8,可以发现 CDS 等电路并未引入过多噪声污染,反而进一

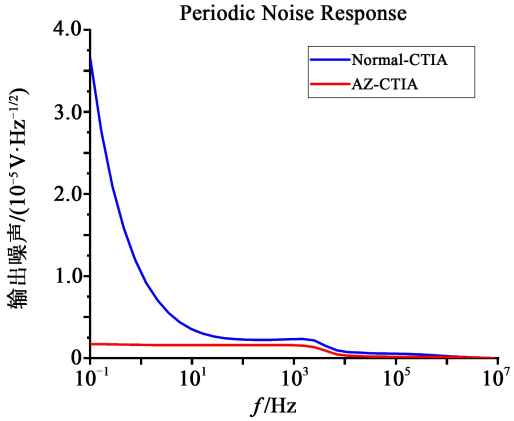
步降低了电路噪声，对比如图 9 所示。

Integrated Noise Summary (in V) Sorted By Noise Contributors
Total Summarized Noise=0.000 292 14
Total Input Referred Noise=$2.086\,33\times10^{-8}$
The above noise summary info is for pnoise data

（a）自稳零 CTIA 电路模块输出噪声

Integrated Noise Summary (in V) Sorted By Noise Contributors
Total Summarized Noise=0.000 528 2
Total Input Referred Noise=$5.726\,49\times10^{-8}$
The above noise summary info is for pnoise data

（b）传统 CTIA 电路输出噪声



（c）周期噪声对比曲线

图 7 自稳零 CTIA 电路与传统 CTIA 电路噪声对比

Integrated Noise Summary (in V) Sorted By Noise Contributors
Total Summarized Noise=$7.206\,86\times10^{-5}$
Total Input Referred Noise=$2.877\,74\times10^{-7}$
The above noise summary info is for pnoise data

图 8 总像素电路输出噪声

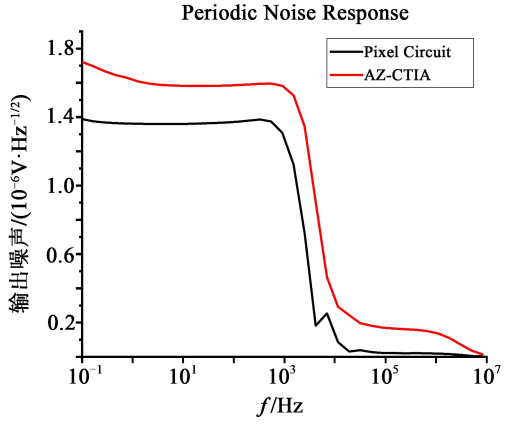


图 9 总像素电路与自稳零 CTIA 电路噪声对比曲线

4 版图设计

本文采用标准 1P4M 0.35 μm CMOS 工艺对 10×1 线列低噪声读出电路进行版图设计和流片。本设计有数字电源和模拟电源，模拟电路版图对噪声和寄生参数等因素非常敏感，基于二者对噪声的包容度不同，将数字电源线用包地的形式隔离，远离模拟电路模块，可有效降低噪声的干扰。最外层采用封装条，屏蔽芯片外干扰信号的同时防止切割时对芯片产生不必要的机械损伤。其次，对寄生电阻而言，金属走线越宽，寄生电阻越小，金属层数叠加可等效寄生电阻，寄生电阻也越小[12]。本版图电源线和地线采用铝金属层走线，通过加粗或增加电源和地线金属层数，优化布线达到降低寄生电阻的目的。最后，本文对版图中匹配性和对称性也进行了考虑。采用与单位电容设计存在比例关系的电容并采用中心对称的方法放置放大器中关键的晶体管，以此来提高匹配精确度。

图 10 为本线列读出电路芯片的版图设计，像素尺寸为 3 102 μm×1 168 μm，整个芯片尺寸为 2.5 mm×2.5 mm。

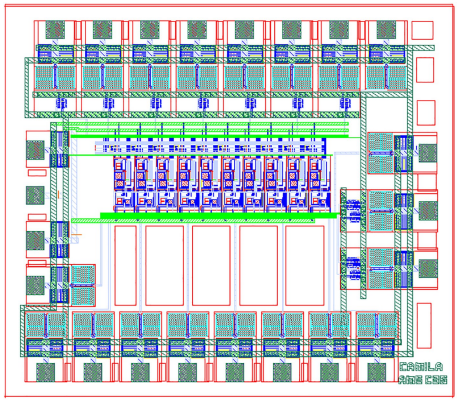


图 10 芯片整体版图

版图设计完成后，为了验证版图符合电气规则以及与原理图的对应性，需对版图进行 DRC 与 LVS 检查。在提取好版图寄生参数后再对芯片进行后仿真处理，后仿真通过后进入到流片阶段。

5 结论

本文主要研究红外探测器读出电路单元与列信号处理电路的设计，考虑了 CTIA 型读出电路的低噪声检测电流需求，重点从降低像素单元噪声和提高转换增益的角度进行设计。本文采用自稳零和新型相关双采样电路技术，通过减小运放输入端的低频噪声和失调，总的等效输出噪声下降了 44.7%，提高了读出电路对微弱探测信号的读取能力。该电路为航天领域微光探测系统读出电路的设计提供了一条新的技术途径。

参考文献：

[1] 叶振华，李辉豪，王进东，等. 红外光电探测器的前沿热点变革趋势[J]. 红外与毫米波学报，2022，41(1)：15-39.
Ye Zhenhua，Li Huihao，Wang Jindong，et al. Recent hotspots

and innovative trends of infrared photon detectors[J]. J. Infrared and Millimeter Waves, 2022, 41(1): 15-39.

[2] 尹　韬, 杨海钢, 刘　珂. 一种适用于微传感器读出电路的低噪声, 低失调斩波放大器[J]. 半导体学报, 2007, 28(5): 796-801.
Yin Tao, Yang Haigang, Liu Ke. A low-noise, low-offset chopper amplifier for micro-sensor readout circuit[J]. J. of Semiconductors, 2007, 28(5): 796-801.

[3] Kim Y S, Woo D H, Jo Y M, et al. Low-noise and wide-dynamic-range ROIC with a self-selected capacitor for SWIR focal plane arrays[J]. IEEE Sensors J., 2016, 17(1): 179-184.

[4] Gao W, Li S, Duan Y, et al. Design and characterization of a low-noise front-end readout ASIC in 0.18-$/mu $ m CMOS technology for CZT/Si-PIN detectors[J]. IEEE Trans. on Nuclear Science, 2018, 65(5): 1203-1211.

[5] Zhuo Y, Lu W, Yu S, et al. A low-noise CTIA-based pixel with CDS for SWIR focal plane arrays[C]// 2021 6th Inter. Conf. on Integrated Circuits and Microsystems (ICICM). IEEE, 2021: 258-262.

[6] Xu R, Ng W C, Yuan J, et al. A 1/2.5 inch VGA 400 fps CMOS image sensor with high sensitivity for machine vision[J]. IEEE J. of Solid-State Circuits, 2014, 49(10): 2342-2351.

[7] 李金洪, 邹　梅. 低照度 CMOS 图像传感器设计与实现[J]. 红外与激光工程, 2018, 47(7): 1-7.
Li Jinhong, Zou Mei. Design and realization of low-light-level CMOS image sensor[J]. Infrared and Laser Engin., 2018, 47(7): 1-7.

[8] Fowler B A, Balicki J, How D, et al. Low-FPN high-gain capacitive transimpedance amplifier for low-noise CMOS image sensors[J]. Proc. SPIE, 2001, 4306: 68-77.

[9] Nakamura J. Image Sensors and Signal Processing for Digital Still Cameras[M]. CRC Press, 2017.

[10] Enz C C, Temes G C. Circuit techniques for reducing the effects of OP-AMP imperfections: autozeroing, correlated double sampling, and chopper stabilization[J]. Proc. of the IEEE, 1996, 84(11): 1584-1614.

[11] 金少雷, 陈永平, 陈世军. 基于时间域读出的大动态范围 CMOS 图像传感器[J]. 半导体光电, 2023, 44(01): 8-13.
Jin Shaolei, Chen Yongping, Chen Shijun. A high dynamic range CMOS image sensor based on time domain[J]. Semiconductor Optoelectronics, 2023, 44(01): 8-13.

[12] 王成刚, 刘泽巍, 袁　媛, 等. 多谱段线列红外探测器读出电路设计优化[J]. 激光与红外, 2017, 47(6): 736-739.
Wang Chenggang, Liu Zewei, Yuan Yuan, et al. Optimization and design of ROIC for multi spectral linear infrared detector array[J]. Laser & Infrared, 2019, 47(6): 736-739.

作者简介：

杨静欣(1999—),女,福建省福州市人,硕士研究生,主要研究方向为红外探测器 CMOS 读出电路;

袁红辉(1972—),男,研究员,博士,主要研究方向为模拟 CMOS 集成电路的设计与测试。