光电器件

DOI：10.16818/j.issn1001－5868.2024011701

1 000 V 4H-SiC VDMOS 结构设计与特性研究

李　尧*，牛瑞霞，王爱玲，王奋强，蓝　俊，
张栩莹，张鹏杰，刘良朋，吴回州
（兰州交通大学 电子与信息工程学院，兰州 730070）

摘　要： 设计并优化了一种基于4H-SiC的1 000 V垂直双扩散金属氧化物半导体场效应晶体管(VDMOS)，在留有50%的裕度后，通过Silvaco仿真软件详细研究了器件各项参数与耐压特性之间的关系。经优化，器件的阈值电压为2.3 V，击穿电压达1 525 V，相较于相同耐压条件下的Si基VDMOS，4H-SiC VDMOS的击穿电压提升了12%。此外，击穿时4H-SiC VDMOS表面电场分布相对均匀，最大值为3.4×10^6 V/cm。终端有效长度为15 μm，约为Si基VDMOS的6%，总体面积减小了近1/10。并且4H-SiC VDMOS结构简单，与相同耐压条件下的Si基VDMOS相比，未增加额外的工艺步骤，易于实现。

关键词： 4H-SiC；垂直双扩散金属氧化物半导体场效应晶体管；击穿电压；漂移区参数；沟道长度

中图分类号： TN386.1　**文章编号：** 1001－5868(2024)03－0378－06

Structure Design and Characteristics Research of 1 000 V 4H-SiC VDMOS

LI Yao, NIU Ruixia, WANG Ailing, WANG Fenqiang, LAN Jun,
ZHANG Xuying, ZHANG Pengjie, LIU Liangpeng, WU Huizhou
(School of Electronic and Information Engineering, Lanzhou Jiaotong University, Lanzhou 730070, CHN)

Abstract: This study focuses on designing and optimizing a 1 000 V vertical double-diffusion metal oxide semiconductor (VDMOS) field-effect transistor using 4H-SiC. Leveraging Silvaco simulation software, we comprehensively investigate the relationship between device parameters and withstand voltage characteristics, aiming for a 50% margin. Following optimization, the device achieves a threshold voltage of 2.3 V, with the breakdown voltage reaching 1 525 V. Compared with an Si-based VDMOS under identical withstand voltage conditions, the breakdown voltage of the 4H-SiC VDMOS increases by 12%. Notably, the surface electric field distribution of the 4H-SiC VDMOS during breakdown remains relatively uniform, with a maximum value of 3.4×10^6 V/cm. The effective terminal length measures at 15 μm, approximately 6% that of an Si-based VDMOS, with the overall area reducing by nearly 1/10. Furthermore, the structure is simpler compared to that of the 4H-SiC VDMOS under identical withstand voltage conditions. It involves no additional process steps, thus facilitating easy device fabrication.

Key words: 4H-SiC; VDMOS; breakdown voltage; drift zone parameters; channel length

收稿日期：2024－01－17.
基金项目：国家自然科学基金项目(61905102,62264008)；兰州市青年科技人才创新项目(2023-QNQ-119).
* **通信作者：**李　尧

0　引言

功率半导体器件作为电力电子系统的核心元件，在电源管理、汽车电子系统、无线通信、工业控制、太阳能电池系统等领域有着广阔的应用前景。其中，垂直双扩散金属氧化物半导体场效应晶体管(Vertical Double-Diffused Metal Oxide Semiconductor Field Effect Transistor，VDMOSFET)的诞生为快速发展的超大规模高压大电流集成电路带来了新的契机，VDMOSFET 具有开关速度快、损耗小、输入阻抗高、驱动功率小、频率特性好等优点，且具有负温度系数，无二次击穿，因此安全工作区间大[1-3]。近年来 Si 基 VDMOS 性能已趋于成熟，如击穿电压为 600 V(漂移区厚度为 52 μm，P 阱结深为 4.5 μm)、743 V(终端长度为 14 μm)、900 V(漂移区厚度为 82.5 μm，沟道长度为 2 μm，终端长度为 250 μm)及 600 V(漂移区厚度为 40 μm)的 VDMOS[4-7]。随着半导体行业技术的发展与进步，Si 基 VDMOS 无法满足实际需要[8]，因此，需要新的宽禁带半导体材料。其中 4H-SiC 作为宽禁带半导体材料具有独特的性能，如高击穿电场、高掺杂漂移区、高电子饱和速度、高热导率等，因而在高功耗、高速、高温开关器件中有着巨大的应用潜力[9]。

本文主要对 4H-SiC VDMOS 结构进行设计模拟与优化，通过理论分析与仿真研究，得出各项参数的最优值，使其击穿电压达到目标设定值，同时对比相同预设耐压条件下 Si 基 VDMOS 的耐压值。

1　VDMOS 结构设计原理

4H-SiC VDMOS 元胞的二维平面结构如图 1 所示，最底端为器件漏极，重掺杂 N^+ 区为衬底，N^+ 衬底上外延一层轻掺杂的 N^- 作为漂移区，N^- 漂移区顶部的左右两端为器件的 P-body 区和 N^+ 源区，器件两侧最外端的 P-body 区内重掺杂的 P^+ 源区，与 N^+ 源区相互独立，器件的导电沟道由 N^+ 源区与 P-body 区的扩散结深差形成[10-11]。栅氧化层覆盖 JFET 区和沟道区部分延伸至 N^+ 源区，栅氧化层上淀积的多晶硅形成器件的栅极，栅极与衬底之间用 SiO_2 来隔离，衬底采用临界电场强度为 Si 的 10 倍的 4H-SiC 材料。

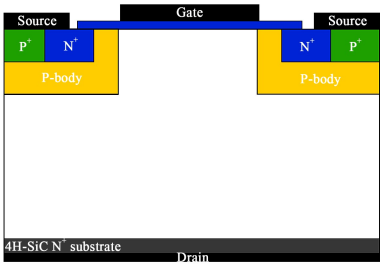


图 1　VDMOS 二维平面结构图

功率器件首要的电学参数是击穿电压，其代表器件所能承受的最大电压。影响器件耐压的主要因素有漂移区厚度和掺杂浓度。漂移区厚度(W_D)和掺杂浓度(N_D)分别由公式(1)和(2)确定，可通过目标耐压值估算漂移区厚度和掺杂浓度。

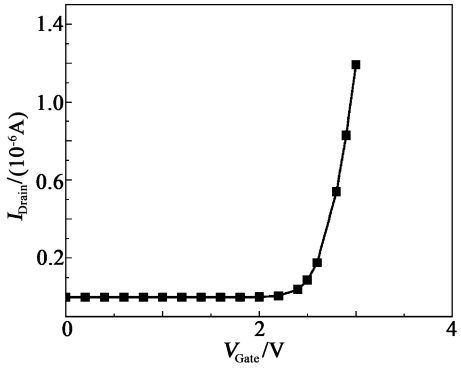
$$W_D = 2.62 \times 10^{-3} V_{Drain}^{1.12} \tag{1}$$

$$N_D = 1.10 \times 10^{20} V_{Drain}^{-1.27} \tag{2}$$

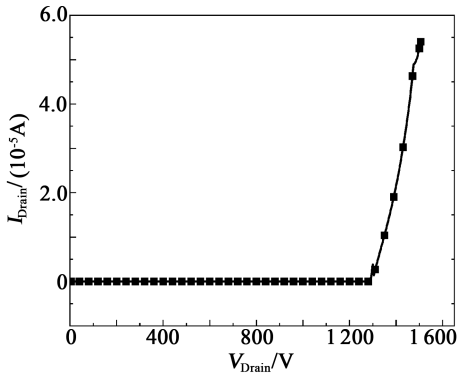
式中，V_{Drain} 为击穿电压，单位 V，W_D 为漂移区厚度，单位 μm，N_D 为漂移区掺杂浓度，单位 cm^{-3}。目标击穿电压是 1 000 V，考虑终端效应且留有足够的裕度后，将耐压指标预设为 1 500 V，最后代入式(1)和(2)中，得到元胞外延层的理论掺杂浓度和厚度分别为 1×10^{16} cm^{-3} 和 9.5 μm。

本文利用 Silvaco TCAD 仿真软件对平面栅 4H-SiC VDMOS 进行仿真模拟，同时考虑掺杂浓度、温度、横向和纵向电场对器件性能的影响。仿真所用的物理模型包括 ANALYTIC 浓度和温度依赖模型、FLDMOB 平行电场依赖模型、CONMOB 浓度依赖迁移率模型、AMGER 俄歇复合模型、Shockley-Read Hall 载流子复合模型和 IMCOMPLETE 不完全电离模型。采用 Gummel 和 Newton 迭代算法求解泊松方程、连续性方程和漂移-扩散方程等。

对器件进行仿真时，首先设定部分元胞参数。本文初步设定沟道长度为 1 μm，JFET 区长度为 3 μm，P-body 区掺杂浓度为 9.5×10^{17} cm^{-3}，结深为 1 μm，N^+ 源区与 P^+ 源区掺杂浓度均为 1×10^{20} cm^{-3}，结深均为 0.3 μm。对器件的转移特性和击穿特性进行



(a) 转移特性曲线



(b) 击穿特性曲线

图 2 VDMOS 转移特性曲线与击穿特性曲线

仿真,如图 2 所示,阈值电压和击穿电压分别由图 2(a)、(b)可知为 2.2 和 1 290 V。其击穿电压并未达到预设值,因此需要进一步调整器件的元胞结构参数来优化器件的击穿特性。本文将对器件漂移区参数、P-body 区掺杂浓度($N_{P\text{-}body}$)、JFET 区宽度(W_{JFET})以及沟道长度(L_{ch})进行优化设计,进而实现预设的击穿电压值。

2 器件仿真与数据分析

在元胞设计中,器件的导通电阻以及反向耐压性能与器件漂移区厚度和掺杂浓度密切相关,且 $N_{P\text{-}body}$,W_{JFET},L_{ch} 等参数对器件的导通特性和击穿特性亦具有重要影响[12]。其中,W_{JFET} 可通过改变 P-body 区间距进行调节,L_{ch} 可通过改变 P-body 区和 N^+ 源区间距进行调节。本文主要对上述参数进行设计优化。

2.1 漂移区参数优化

先固定漂移区厚度为 9.5 μm,对漂移区掺杂浓度进行参数拉偏。将掺杂浓度设定为 $9.4\times10^{15}\sim1.6\times10^{16}$ cm^{-3},研究不同浓度下的击穿电压,结果如图 3 所示。

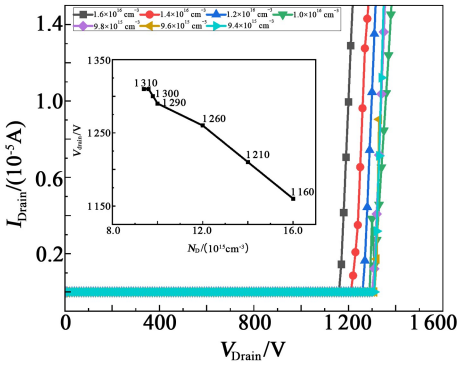


图 3 不同漂移区掺杂浓度下的击穿特性曲线

由图 3 可知,器件击穿电压随漂移区掺杂浓度的增大而减小。原因是,随着漂移区掺杂浓度的增大,器件内部的峰值电场强度减小,遂导致击穿电压减小。当漂移区掺杂浓度为 9.6×10^{15} cm^{-3} 时,击穿电压达到最大值 1 310 V,此浓度与预估值一致。

接着对漂移区厚度 W_D 进行参数拉偏。将漂移区掺杂浓度定为 9.6×10^{15} cm^{-3},改变漂移区的厚度,从 7.5 μm 增至 11.5 μm。对不同漂移区厚度下的击穿特性进行仿真研究,结果如图 4 所示。

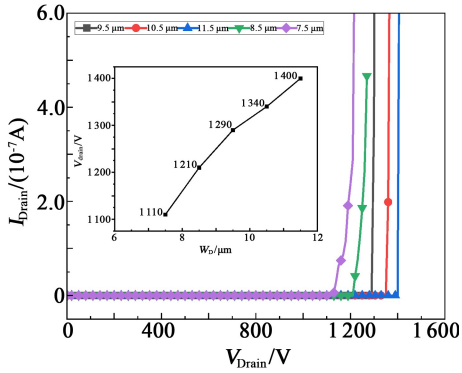


图 4 不同漂移区厚度下的击穿特性曲线

由图 4 可知,器件的耐压值随着 N 型漂移区厚度的增大而增大,且在漂移区厚度为 11.5 μm 时达到最大值 1 400 V。因此,将器件漂移区参数设定为 $N_D=9.6\times10^{15}$ cm^{-3},$W_D=11.5$ μm。

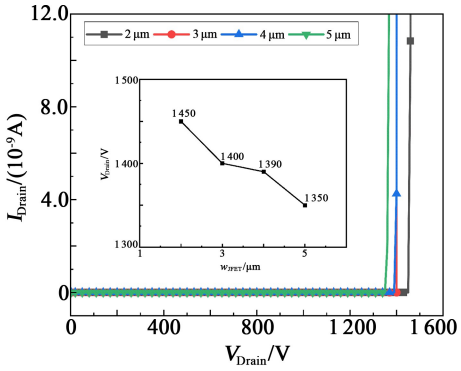
2.2 JFET 区参数优化

在平面栅型 VDMOS 器件中,JFET 区域由单个元胞两端的 P-body 区所夹的漂移区组成。当器件正向导通时,电子从源极释放经沟道反型层进入 JFET 区,此时,栅极所加的正向电压使得大多数的电子在 JFET 区的表面积累,形成电子积累层,少数电子被底部的漏极吸引[13]。接着,进入 JFET 区的电子继续垂直向下穿越整个漂移区至漏极,漏极至源极的源漏电流形成。因此 JFET 区宽度与导通电流呈正向关系。

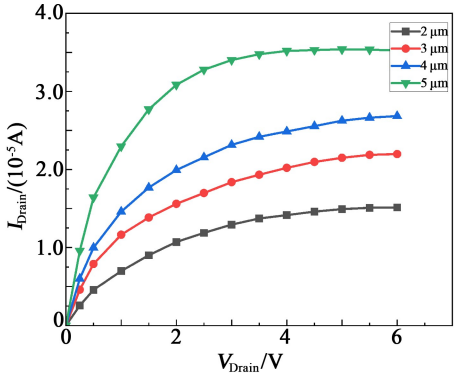
当器件反向截至时,漂移区/P-body 区的 PN 结反偏,构成的耗尽区随耐压的增大而不断向横向和纵向扩展。当扩展至单个元胞的两个 P-body 区相通时,耗尽区边界的曲率将减小,随后耗尽区将主要扩展到下方的漂移区,直至耗尽区将整个漂移区占满[14-16]。因此 P-body 区间距越小,获得的耗尽区分布就越接近于平行平面结,该结构可有效缓解电场集中效应。因此,JFET 区的宽度与击穿电压呈反向关系。

综上，优化 JFET 区宽度时需同时考虑导通电流与击穿电压。设定外延层浓度为 1.0×10^{16} cm^{-3}，将 W_{JFET} 从 2 μm 增至 5 μm，得到的击穿电压和输出电流如图 5 所示。

由图 5(a)可知，击穿电压 V_{Drain} 随着 W_{JFET} 的增大而减小，当 $W_{JFET}=2$ μm 时击穿电压达到最大值 1 450 V；同时由图 5(b)可知，当 $W_{JFET}=2$ μm 时因电流通路被耗尽区挤压过小而导致电流很小。综合考虑击穿与输出特性，将 W_{JFET} 设定为 3 μm，此时的击穿电压为 1 410 V。



(a) 击穿特性曲线



(b) 输出特性曲线

图 5　不同 JFET 区宽度下的击穿特性曲线与输出特性曲线

2.3　P-body 区掺杂浓度优化

N 沟道 VDMOS 的 P-body 区位于 N 漂移区表面，在外加偏压作用下，P-body 区表面产生的反型层作为导电沟道，因此 P-body 区的掺杂浓度 $N_{P\text{-}body}$ 与器件的击穿电压和阈值电压相关。将其掺杂浓度的值从 9.0×10^{17} cm^{-3} 取至 1.5×10^{18} cm^{-3}，对掺杂浓度进行参数拉偏，所得不同掺杂浓度下的击穿电压结果如图 6 所示。

由图可知，随着掺杂浓度的升高，击穿电压随之增大。当掺杂浓度为 1.0×10^{18} cm^{-3} 时器件的击穿电压达到 1 410 V。因此将 P-body 区的掺杂浓度定为 1.0×10^{18} cm^{-3}。

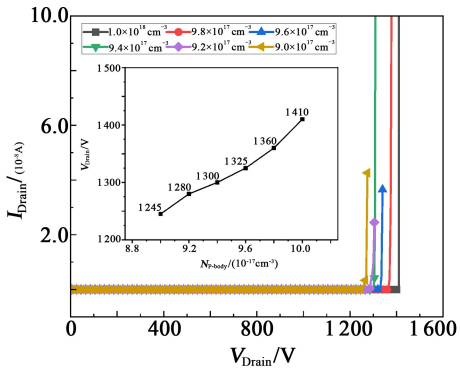


图 6　不同 P-body 掺杂浓度下的击穿特性曲线

2.4　沟道长度

4H-SiC 基器件的界面态陷阱密度远大于硅基器件，界面态陷阱的存在将使沟道处的库伦散射增加、载流子迁移率降低，进而导致沟道处电阻增大，导通性能减弱[17-18]。此外，由于沟道迁移率低，且漂移区薄、掺杂浓度高，因此沟道区电阻将远大于漂移区电阻，沟道电阻成为器件电阻的主要部分。栅源电压的大部分降落在沟道两侧，使得栅极电压被降低的同时增大了反型层的电阻，同样会影响输出电流。不同沟道长度 L_{ch} 下器件的击穿特性曲线如图 7 所示。

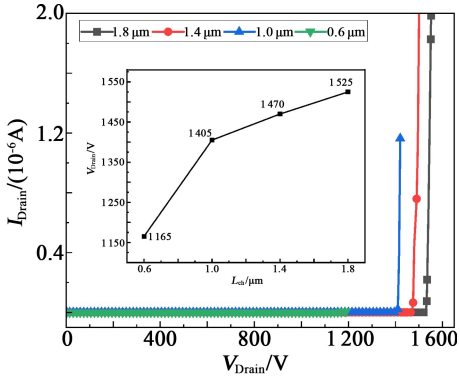


图 7　不同沟道长度下的击穿特性曲线

由图 7 可知，当沟道长度为 1.8 μm 时，器件击穿电压为 1 525 V，达到了预设的 1 500 V 目标值。因此将沟道长度定为 1.8 μm。

在对上述器件结构参数进行仿真拉偏后，最终确定优化后的器件参数如表 1 所示。此时，器件的击穿电压为 1 525 V，表面电场峰值如图 8 所示为 3.4×10^{6} V/cm。

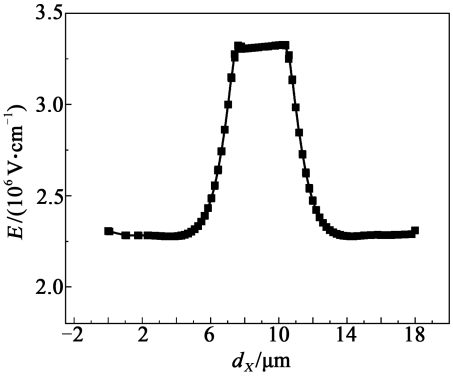


图 8 最终击穿状态表面电场分布

表 1 优化后的器件参数值

器件参数	预设值	优化值
漂移区厚度/μm	9.5	11.5
漂移区掺杂浓度/cm^{-3}	1.0×10^{16}	9.6×10^{15}
P-body 区浓度/cm^{-3}	9.5×10^{17}	1.0×10^{18}
JFET 区宽度/μm	3.0	3.0
沟道长度/μm	1.0	1.8

2.5 结果对比

Si 和 4H-SiC 性能不同，最优杂质分布公式也不同。Si 基 VDMOS 估算漂移区厚度和掺杂浓度分别由公式(3)和(4)给出。一样地设定目标击穿电压为 1 000 V，考虑终端效应且留有足够的裕度后，将耐压指标预设为 1 500 V，最后代入公式(3)和(4)中，得到 Si 基 VDMOS 元胞漂移区的理论掺杂浓度和厚度分别为 7.2×10^{14} cm^{-3} 和 118.5 μm。

$$W_D = 2.62\times10^{-3}V_{Drain} \tag{3}$$

$$N_D = 1.10\times10^{20}V_{Drain} \tag{4}$$

对 Si 基 VDMOS 转移特性进行仿真研究，如图 9 所示，可得其阈值电压为 3.2 V。与 4H-SiC VDMOS 器件的优化步骤相同，对元胞参数漂移区厚度、掺杂浓度、JFET 区宽度、P-body 区掺杂浓度及沟道长度进行仿真优化，得到优化前后Si基VDMOS击穿电压特性曲线如图 10 所示。由图可知，Si 基 VDMOS 的初始击穿电压为 1 130 V，优化后最高达到 1 360 V。虽提高了 20.1%，但仍未达到目标值。相较于 Si 基 VDMOS，4H-SiC VDMOS 在相同耐压条件下其尺寸约为 Si VDMOS 的 1/10，极大地缩小了芯片面积。同时，Si 基 VDMOS 由于 Si 材料本身的局限性，若不采取终端技术，仅靠优化结构参数并不能达到预设的耐压值。

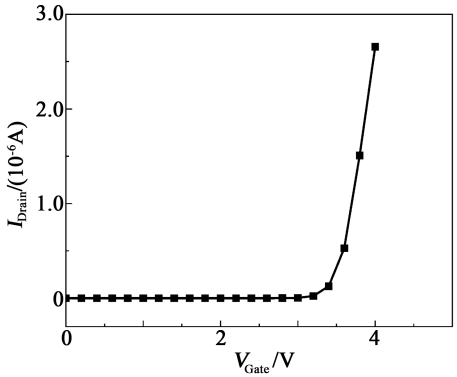


图 9 Si 基 VDMOS 阈值特性曲线

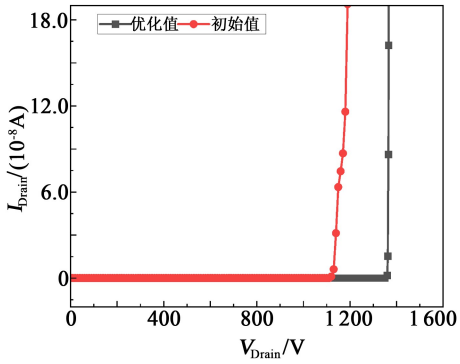


图 10 Si 基 VDMOS 优化前后的击穿特性曲线

同时，本文还对比了其他的仿真研究工作。如中电第四十七所刘好龙等[7]设计了一款 900 V 大功率 VDMOS，该器件的漂移区厚度为 82.5 μm，沟道长度为 2 μm，终端长度为 250 μm；西安电子科技大学先进材料与纳米科技学院郭心宇等[13]采用 6 μm 的交替排列的 P/N 柱设计了一款击穿电压达到 1 680 V 的超结 VDMOS，但该器件结构的工艺难度较大，且成本较高，不易实现。而本文设计的 1 000 V VDMOS 结构，其击穿电压达到了 1 525 V，具有充分的裕度，终端长度仅为 15 μm，漂移区厚度也仅有 11.5 μm，整个设计优化过程中没有增加额外的工艺步骤，工艺兼容性好且难度低，易于实现。

3 结论

本文对 4H-SiC VDMOS 进行了优化设计，通过模拟仿真研究，探究了器件漂移区厚度、漂移区掺杂浓度、JFET 区宽度、P-body 区掺杂浓度及沟道长度与击穿电压之间的关系，同时分析了物理机理。仿真研究表明，击穿电压与漂移区厚度 W_D 成正比，随漂移区掺杂浓度 N_D 的增大而减小，与 JFET 区宽度 W_{JFET} 成反比，与 P-body 区掺杂浓度 $N_{P\text{-}body}$ 成正比，与沟道长度 L_{ch} 也成正比。综上，当 $W_D=11.5$ μm，$N_D=9.6\times10^{15}$ cm^{-3}，$W_{JFET}=3$ μm，$N_{P\text{-}body}=1.0\times10^{18}$ cm^{-3}，$L_{ch}=1.8$ μm 时，4H-SiC VDMOS 的击

穿电压达到 1 525 V，且终端长度仅为 15 μm。

参考文献：

[1] Chen X, Feng Q. 600-V shielded trench split-gate VDMOS improving the figure of merit[J]. IInt. J. Electron., 2020, 107(7): 1083-1097.

[2] Naugarhiya A, Dubey S, Kondekar P N. Novel strained superjunction VDMOS[J]. Superlattices Microstruct., 2015, 85: 461-468.

[3] Cheng J, Chen X. New planar junction edge termination technique using OPTVLD with a buried layer[J]. IEEE Trans. Electron Devices, 2013, 60(7): 2428-2431.

[4] 单长玲，习　毓，丁文华. 一款 600 V 高压 VDMOS 器件的设计[J]. 机电元件，2023，43(2)：25-27.
Shan Changling, Xi Yu, Ding Wenhua. Design of a 600 V high voltage VDMOS device[J]. Electromechanical Components, 2023, 43(2): 25-27.

[5] Yi B, Lin Z, Chen X. Study on HK-VDMOS with deep trench termination[J]. Superlattices Microstruct., 2014, 75: 278-286.

[6] 董子旭，王万礼，赵晓丽，等. 一种新型 VDMOS 器件结构的设计与实现[J]. 太赫兹科学与电子信息学报，2022，20(4)：402-406.
Dong Zixu, Wang Wanli, Zhao Xiaoli, et al. Design and realization of a new VDMOS device structure[J]. J. of Terahertz Science and Electronic Information Technology, 2022, 20(4): 402-406.

[7] 刘好龙，于圣武. 一种 900 V 大功率 MOSFET 器件结构设计[J]. 微处理机，2021，42(3)：18-22.
Liu Haolong, Yu Shengwu. Structure design of a 900 V high power MOSFET device[J]. Microprocessors, 2021, 42(3): 18-22.

[8] Chen X, Wang Z, Wang X, et al. Closed-form breakdown voltage/specific on-resistance model using charge superposition technique for vertical power double-diffused metal-oxide-semiconductor device with high-κ insulator[J]. Chin. Phys. B, 2018, 27(4): 533-539.

[9] Tang Z, Liu R, Tan K, et al. A novel terminal structure for total dose irradiation hardened of a P-VDMOS[J]. J. Semicond., 2014, 35(5): 004-007.

[10] Li Q, Bao T, Li H, et al. Uniform shallow trenches termination design for high-voltage VDMOS transistor[J]. Electron. Lett., 2020, 56(2): 104-105.

[11] Schlichting H, Sledziewski T, Bauer A, et al. Design considerations for robust manufacturing and high yield of 1.2 kV 4H-4H-SiC VDMOS transistors[J]. Mater. Sci. Forum, 2019, 963: 763-767.

[12] 张　娟，柴常春，杨银堂，等. SiC VDMOS 特性的影响因素分析[J]. 微电子学，2008，38(2)：211-214.
Zhang Juan, Chai Changchun, Yang Yintang, et al. Analysis of influencing factors of SiC VDMOS characteristics[J]. Microelectronics, 2008, 38(2): 211-214.

[13] 郭心宇，白　云，雷天民. 1 200 V SiC 超结 VDMOS 研究[J]. 电工电能新技术，2018，37(10)：27-31.
Guo Xinyu, Bai Yun, Lei Tianmin. VDMOS super junction 1 200 V SiC research[J]. Advanced Technology of Electrical Engineering and Energy, 2018, 37(10): 27-31.

[14] Han K, Baliga B J, Sung W. Split-gate 1.2-kV 4H-4H-SiC MOSFET: Analysis and experimental validation[J]. IEEE Electron Device Lett., 2017, 38(10): 1437-1440.

[15] Yu H, Liang S, Liu H, et al. Numerical study of 4H-SiC MOSFET with integrated n-/n-type poly-Si/4H-SiC heterojunction freewheeling diode[J]. IEEE Trans. Electron Devices, 2021, 68(9): 4571-4576.

[16] Liu S, Zhu R, Jia K, et al. A novel model of the high-voltage VDMOS for the circuit simulation[J]. Solid-State Electron, 2014, 93: 21-26.

[17] 高明阳，顾钊源，杨明超，等. 一种 1 200 V 碳化硅沟槽 MOSFET 的新结构设计[J]. 微电子学与计算机，2022，39(7)：94-100.
Gao Mingyang, Gu Zhaoyuan, Yang Mingchao, et al. A new structure design of 1 200 V silicon carbide trench MOSFET[J]. Microelectronics & Computer, 2022, 39(7): 94-100.

[18] Liu T, Hu S, Wang J, et al. An investigation of electric field and breakdown voltage models for a deep trench superjunction 4H-SiC VDMOS[J]. IEEE Access, 2019, 7: 145118-145123.

作者简介：

李　尧(1987—)，男，甘肃省武威市人，博士，副教授，硕士生导师，主要研究方向为功率半导体器件、有机半导体器件、光电子器件。