光电器件

DOI：10.16818/j.issn1001－5868.2024042001

高速数字化三维集成式 CCD-CMOS 图像传感器

李　明*，黄　芳，刘戈扬，周后荣，王小东，任思伟

（重庆光电技术研究所，重庆 400060）

摘　要： 为了解决 CCD 与 CMOS 工艺兼容性低、互连集成制作难度大，以及芯片间接口匹配和高性能兼备等问题，对 CCD 器件拓扑结构与像元、CMOS 读出电路、三维异质互连集成及高密度引脚封装等技术进行研究，提出了一种 1 024×256 阵列规模的集成式 CCD-CMOS 图像传感器。该器件实现了 CCD 信号的高精度数字化处理、高速输出及多芯粒的技术融合，填补了国内 CCD-CMOS 三维集成技术空白。测试结果表明：集成 CCD-CMOS 器件的光响应和成像功能正常，双边成像效果良好，图像无黑条和坏列，互连连通率（99.9%）满足三维集成要求，实现了集成式探测器件的大满阱高灵敏度成像（满阱电子数达 165.28 ke$^-$、峰值量子效率达 86.1%）、高精度数字化（12 bit）和高速输出（行频率达 100.85 kHz），满足集成化、数字化、小型化的多光谱探测成像系统要求。

关键词： 集成式 CCD-CMOS 探测器；三维互连集成；电荷耦合器件；CMOS 读出电路

中图分类号： TP212　**文章编号：** 1001－5868(2024)03－0388－07

A High-Speed, Digitized, 3D-Integrated CCD-CMOS Image Sensor

LI Ming, HUANG Fang, LIU Geyang, ZHOU Hourong, WANG Xiaodong, REN Siwei

(Chongqing Optoelectronics Research Institute, Chongqing 400060, CHN)

Abstract: An integrated CCD-CMOS image sensor with an array size of 1 024 × 256 is proposed in this paper to meet the need for high-precision digitization and high-speed output of CCD image sensor signals. Technologies related to CCD pixel device structure, CMOS readout circuit, 3D integration with heterogeneous interconnection, and high-density pin packaging were developed to address issues such as low compatibility between CCD and CMOS processes, the complexity of integration by interconnection, thereby achieving both adequate matching and high performance at connection ports between circuit dies. This new image sensor realizes the combination of high-precision CCD signal digitization, high-speed output, and multiple dies integration, filling the domestic gap in CCD-CMOS 3D integration technology. Test results show that the CCD-CMOS device has a normal photoresponse and imaging ability, achieving good imaging results from both array sides without any dark or broken columns. The connectivity rate of interconnection reaches 99.9%, meeting the needs of 3D integration. As an integrated detector device, it offers large full well capacity and high sensitivity imaging (FWC e$^-$ count reaching 165.28 ke$^-$, peak QE reaching 86.1%), high-precision digitization (12 bit), and high-speed output (row readout frequency reaching 100.85 kHz), thus meeting the requirements of integrated, digitized, miniaturized multispectral detecting and imaging systems.

Key words: integrated CCD-CMOS detector; 3D interconnection integration; charge-coupled device; CMOS readout circuit

收稿日期：2024－04－20.

基金项目：工信部高质量发展项目（TC220H05N）.

* **通信作者：**李　明

0　引言

多光谱成像技术是将入射光的光谱分为多个谱段，获取目标的图像、光谱特性和空间分布等信息，以实现目标的识别、分析和判断。CCD 图像传感器作为光谱成像的核心光电探测部件，具有光谱响应范围宽、满阱容量大、动态范围高等优点，被广泛应用于环境、灾害监测等领域[1]。传统光谱用 CCD 器件的驱动电路采用分立器件的板级连接方式进行信号处理，其物理尺寸大、芯片数量多、功耗高，因此无法满足未来多光谱成像系统的高集成化、小型化发展需求。

随着多光谱探测和工艺融合技术的发展，近年国内外已开展了集成式图像传感器[2-4]和 CMOS 信号处理技术[5-8]的研究。日本东芝将 CMOS 驱动电路、采样保持电路等模拟前端信号处理电路集成到 CCD 器件中，简化了外围驱动电路。欧洲比利时微电子中心的 eCCD 技术将 CCD 感光阵列嵌入 CMOS 读出电路芯片，其 TDI 类型 eCCD 图像传感器兼具高灵敏度电荷积分、低噪声、低暗电流和数字信号输出等特点，但由于融合 CMOS 工艺的 CCD 需采用单层多晶硅电极，无法采用传统的交叠栅结构，故降低了 CCD 转移效率和满阱容量。国内的集成式 CCD 研究处于起步阶段，目前仅有文献报道基于 CMOS 工艺的单片 TDI-CMOS 探测器样品，但芯片间互连集成式 CCD 探测器的研究尚未见报道。

为了解决 CCD 与 CMOS 工艺兼容性要求高、技术融合与制作难度大、感光单元与读出电路的高性能无法同时兼备等问题，本文对三维集成式面阵 CCD-CMOS 图像传感器技术进行研究，采用芯片间互连集成技术将 CCD 探测器和单片 CMOS 读出电路进行三维异质集成封装，在保留 CCD 图像传感器高成像质量和优越性能的基础上，实现 CCD 信号的高精度数字化处理和高速输出，填补了国内 CCD-CMOS 融合集成技术的研究空白。该技术方案的优点在于结合 CCD 和读出电路的优势特点实现了技术融合，缩小整机体积，降低系统功耗，可满足高集成化、小型化的多光谱成像系统应用要求。

1　集成器件架构

针对 CCD 图像传感器的信号数字化处理和高速输出要求，本文设计了双边读出的集成式 CCD-CMOS 器件架构方案，开展了 CCD 器件拓扑结构与像元、CMOS 读出电路及三维异质集成技术研究。首先分别设计 CCD 探测器与 CMOS 读出电路，通过单独优化两类芯片的性能和工艺实现样品的制作，再采用电路再布线、铟柱倒焊互连及高密度引脚封装技术实现多芯粒的三维集成和封装，研制出集成式 CCD-CMOS 图像传感器样品。

集成式器件的总体架构示意图如图 1 所示，中间部分为 CCD 有效感光阵列区域，上下两侧为 CMOS 读出电路区域，四周为 CCD 驱动信号、CMOS 读出电路信号等 PAD。CCD 感光阵列规模为 1 024×256，图像信号输出结构采用双边输出，考虑暗像元输出，单边输出阵列规模为 1 032×132，通过倒焊互连技术将 CCD 器件的列并行输出信号与 CMOS 读出电路的列级输入信号进行垂直互连集成，CCD 驱动 PAD、CMOS 读出电路信号 PAD 与封装管壳的对应压点进行高密度引脚压焊连接，为集成器件提供电压输入、信号输出和通信控制等。

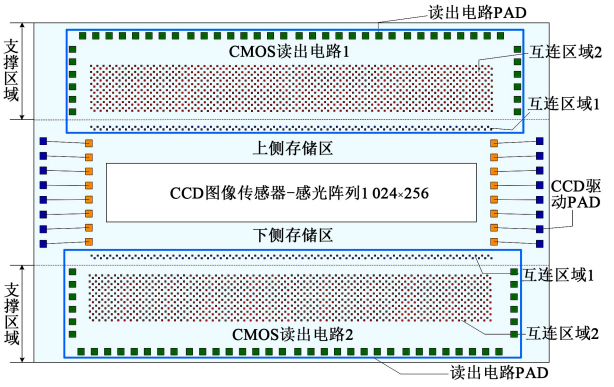


图 1　集成式器件总体结构示意图

2　CCD 器件设计

CCD 器件的有效阵列规模为 1 024×256，行列各设置 4 个暗像元，暗像元需要与有效像元一起读出，因此存储区阵列大小设计为 1 032×132，其结构示意图如图 2 所示。由于 CCD 与 CMOS 在工艺制程及电压体系方面存在差异，为了匹配 CCD 器件与 CMOS 读出电路的信号接口，设计了电压输出 CCD 结构，以满足 CCD 与 CMOS 接口要求。针对 CCD 高量子效率要求，采用背面减薄、背面注入、背面钝化、背面刻蚀等背照工艺流程提升器件的量子效率。

CCD 像元设计采用了 2 次多晶硅 4 相结构，有效像元面积为 15 μm×15 μm，每相宽度为 4 μm，1 032 列像元的总长度为 15 480 μm。CCD 垂直转移频率主要是受多晶硅电极 *RC* 常数影响，阵列规模越大，多晶硅电极和 *RC* 常数越大，从而降低了多

晶硅加电极远端位置的工作频率。为了减小垂直转移多晶硅电极 *RC* 常数，采用水平和垂直方向绑铝，结合两侧同步电压驱动设计技术，以提升长阵列 CCD 的驱动能力。如图 3 所示，采用 4 相垂直转移和每列配置输出节点读出方式，每相转移栅宽度设计为 4 μm，每个垂直绑铝周期约为 50 μm，电容约为 0.14 pF，阻抗约为 238 Ω，使得 CCD 垂直转移频率满足 150 kHz 的输出要求。

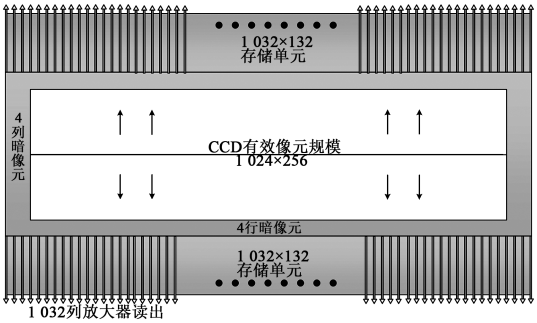


图 2 CCD 器件结构示意图

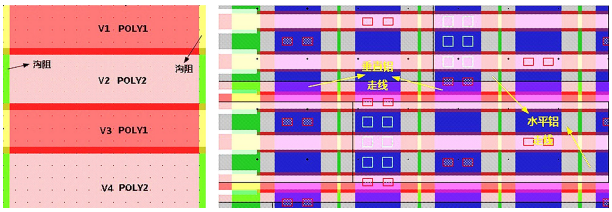


图 3 CCD 像元结构及驱动绑铝走线结构

因取消了传统 CCD 的水平移位寄存器和水平输出放大器，为了匹配后级 CMOS 读出电路的采样接口，同时考虑 CCD 驱动负载、行转移频率和列级放大器输出功耗问题，CCD 采用了单级源跟随放大器的列输出结构实现电荷信号到电压的转换。由于 CCD 与 CMOS 工艺的电压体系不同，CCD 的 V_{RD} 电压一般为 15 V，V_{OUT} 的直流输出电平一般为 6～8 V，而 CMOS 处理电路的输入直流电平不大于 3 V，因此需降低 CCD 器件的输出直流电平才能满足 CMOS 电路的输入要求。列输出放大器结构原理图如图 4 所示，通过对 CCD 衬底施加负偏置电压以降低放大器输出口的直流电平，进而满足 CCD 和 CMOS 的电压接口匹配，同时 CCD 的单级源跟随放大器 T_1 采用 CMOS 电流源作为负载以采样 CCD 图像信号。在图 4 中，V_{OG} 为输出栅，Φ_R 是复位栅，V_{RD} 为复位漏，V_{DD} 为放大器电源电压，T_1 为源跟随放大器，T_2 为复位管，V_{OUT} 为信号输出端，V_{BB} 为放大器地。CCD 输出节点信号经过单级源跟随放大器读出，将有效输出信号送入 CMOS 读出电路进行采样、后级处理和输出。

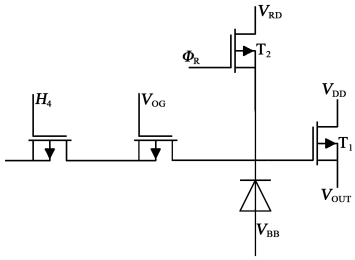


图 4 列放大器结构原理图

3 CMOS 读出电路设计

3.1 读出电路架构

CMOS 读出电路将 CCD 图像信号处理为数字信号，并采用 LVDS 高速接口进行高速远距传输，以实现 CCD 图像信号的数字化高速输出。CCD 有效感光阵列为 1 024×256，采用双边相同的 CMOS 读出电路进行信号处理和读出，单边读出对应像素阵列为 1 024×128。如图 5 所示，读出电路架构包括 CCD-CMOS 接口、信号采样、增益放大器、A/D 转换电路、低电压差分数据 LVDS 输出等技术[9]。为满足高帧频处理要求，将读出电路有效列数分为 8 组输出，每组负责 128 列像元信号输出，每路采样时钟负载 4 路 LVDS 数据的采集。在多通道模式下，列并行转串行输出电路需进行 128 列并行输出转成串行输出，采用 215 MHz 的 LVDS 时钟频率完成串行数据输出，可以满足最大行读出时间要求。

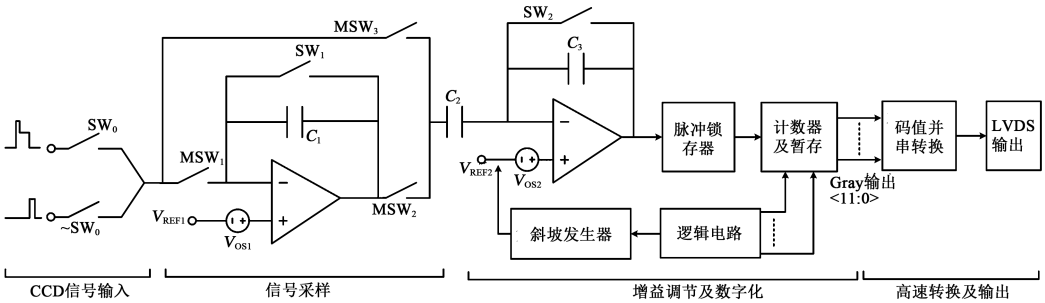


图 5 读出电路架构图

3.2　接口电路设计

CMOS 读出电路接口可将 CCD 输出的电荷信号转化为电压信号，或将 CCD 输出的电压信号进行信号放大处理。为了实现 CMOS 处理电路对 CCD 光电信号的采样、数字化处理、高速读出和三维集成，CCD 输出结构和 CMOS 读出电路采用列并行结构。由于 CCD 和 CMOS 读出电路的工艺制程及电压域范围(CCD 工作电压达到 10 V 以上，CMOS 电路工作电压仅支持 3.3 V)不兼容，在接口电压匹配方面，CCD 器件衬底采用负衬底偏压，CMOS 电路衬底采用零衬底偏压，进而将 CCD 输出电位控制到 3.3 V 以内，实现二者电压匹配；在信号采用匹配方面，将 CMOS 电路的输入接口电路设计为模式可选的信号采样电路，当 CCD 输出为电流信号时，CMOS 工作在 CTIA 电流采样模式，当 CCD 输出为电压信号时，CMOS工作在 PGA电压采样模式，以实现二者的信号采样匹配和模式兼容可选。

信号采样处理电路原理图如图 6 所示，该接口电路支持 CCD 电流信号或者 CCD 电压信号输入，通过 SW_0 开关控制 CCD 信号输出类型。当开关 SW_0 处于闭合模式时，CCD 将电压信号输入到 CMOS 读出电路，同时将开关 MSW_1 和 MSW_2 断开，开关 MSW_3 闭合，CCD 电压信号被直接送入后级运放电路进行增益调节处理与 V_{out} 输出；当开关 SW_0 处于断开模式时，CCD 将电流信号输入 CMOS 读出电路，同时将开关 MSW_1 和 MSW_2 闭合，开关 MSW_3 断开，CCD 电流信号经积分采样电路后转换为电压信号，然后被送入后级运放电路进行增益调节处理与 V_{out} 输出。CCD-CMOS 接口电路的功能仿真图如图 7 所示，该电路可对 CCD 输出电流或电压信号进行采样模式选择、积分采样和增益控制，实现了接口匹配与信号处理。

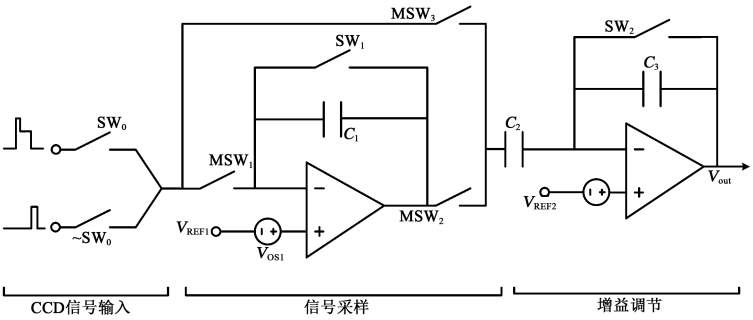


图 6　信号采样电路原理图

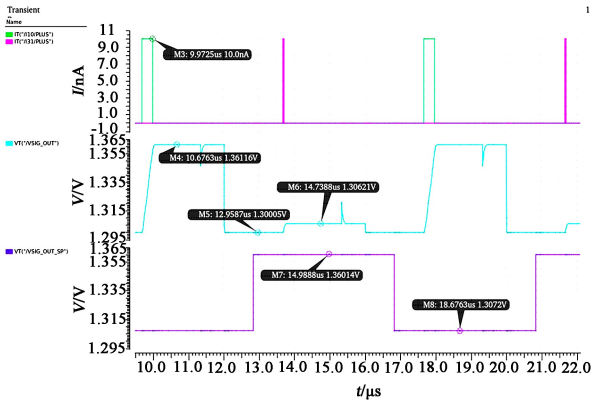


图 7　接口电路仿真结果

3.3　多通道列并行 A/D 转换器设计

多通道列并行 ADC 用于 CCD 模拟信号的数字化转换和信号处理，因 CCD 像元阵列为 1 032 列且并行输出，故 CMOS 读出电路设计了 1 032 个列级 ADC 转换电路，其中有效像元阵列为 1 024 列，将 128 列作为一个输出通道，共需 32 通道可实现 1 024 列有效像元数据的输出。为满足 12 bit 数字化和高速输出，采用了高速列 ADC 内部并行工作方式，如图 8 所示，前级的三个比较器采用可调恒定电平作为其各自的参考电压，将 ADC 的模拟输入电压区间分成由高至低四个不同的分段，进而降低 ADC 对时钟频率的要求，ADC 的比较器将采样电容上存储的复位或图像信号电压与斜坡信号进行比较，并将结果送入次级处理电路，其处理过程包括三个步骤：运放失调校准、比较复位信号和比较图像信号。

双采样技术为先采样像元的复位信号与积分信号，将两次采样结果作差，以消除复位噪声、$1/f$ 噪声及固定模式噪声。CMOS 读出电路的列级采用相关双采样技术进行降噪处理，其原理示意图如图 9 所示。在 ADC 比较器输入端分别输入参考斜坡信号、像素复位电平 V_{rst} 和有效信号电平 V_{sig}，若斜坡信号的电压值大于 V_{rst} 或 V_{sig} 值时，比较器输出发生翻转，暂存相邻两次翻转时刻的时间差以表示斜坡两点电压差，图 9 左侧阴影表示采集复位电平斜坡峰值电压 $V_{ramp_pk_rst}$ 与 V_{rst} 之差；右侧阴影表示

V_{sig} 与斜坡基底电平 $V_{ramp_base_dc}$ 之差。两段时间差可以转换为若干个时钟脉冲，分别进行计数并做加法处理，即得式(1)，其中$V_{sig}-V_{rst}$为相关双采样结果，$V_{ramp_pk_rst}-V_{ramp_base_dc}$ 为常量，可在后级进行消除。

$$V_{ramp_pk_rst}-V_{rst}+V_{sig}-V_{ramp_base_dc}=(V_{sig}-V_{rst})+(V_{ramp_pk_rst}-V_{ramp_base_dc}) \quad (1)$$

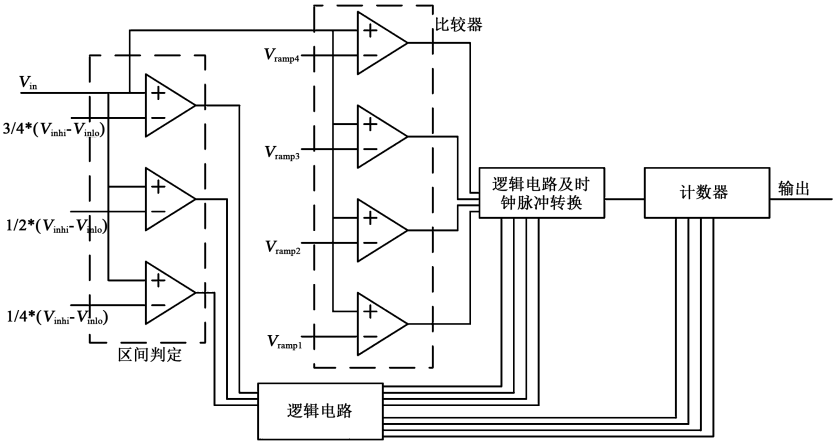


图 8 ADC 工作原理图

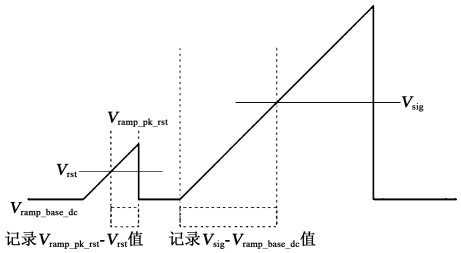


图 9 数字相关双采样原理示意图

列并行 A/D 转换器的仿真结果如图 10 所示，最高采样速度可达 250 kS/s，实现了高速 12 bit 模数转换，能够满足 CCD 器件的工作行频要求。

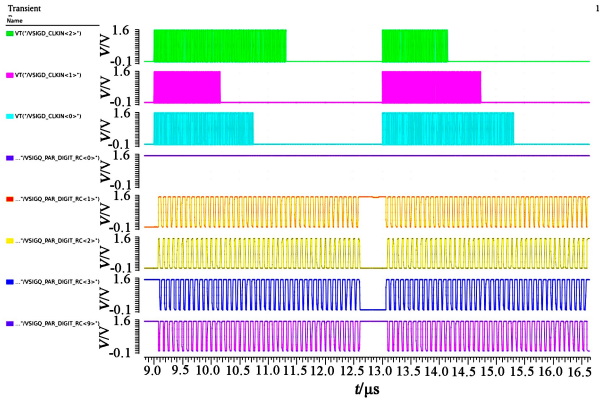


图 10 高速列 ADC 仿真结果

3.4 高速数据输出设计

低电压差分数据输出是低功耗、低噪声的高速数据传输技术，主要对集成式 CCD 器件模数转换后的数字化信号进行高速输出，其输出仿真结果如图 11 所示，同步时钟频率为 215 MHz，在双沿采样下的数据传输速率达到 430 Mbps，在行帧同步信号周期内传输 12 bits 图像信号，图中摆幅为 1.5 V 的数字信号为输入的串行数据，摆幅约为 357 mV 且互为差分的信号为 LVDS 输出信号，其基准共模电压约为 1.25 V。

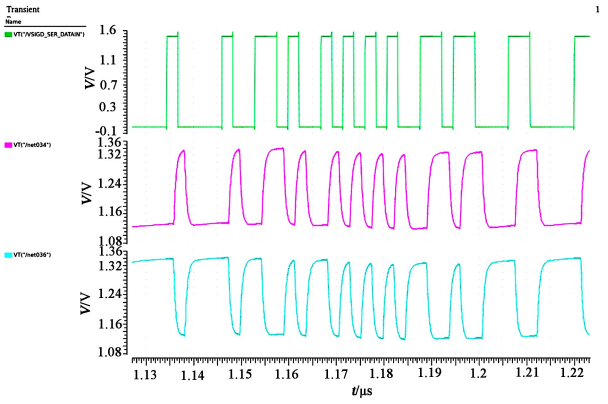
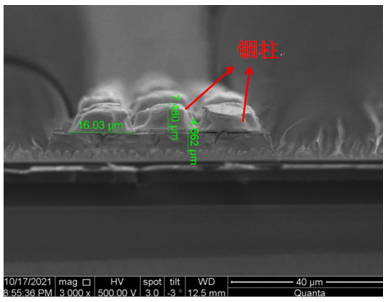


图 11 高速数据输出仿真结果

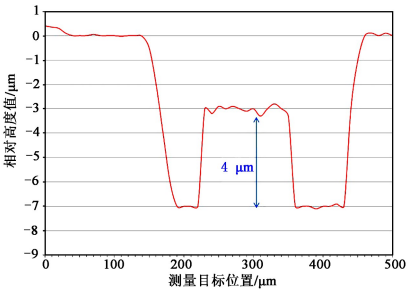
4 三维互连集成技术

集成式 CCD 属于三维混合互连集成结构，利用倒装焊接技术的铟(In)柱阵列将 CCD 器件与 CMOS 读出电路进行互连。铟柱互连集成技术采用剥离工艺制作 In 凸点阵列，使用高精度倒焊机(对位精度±1 μm)进行倒装焊互连集成，其互连技术要求为：In 凸点完整性大于 99.9%，高度均匀性大于 96%，倒焊对位偏差小于 3 μm，压力均匀性大于 98%。为降低互连贯通率、提高均匀性和成品率，采用厚型光刻胶蒸镀/剥离法、氢气还原回流技术制备了附着力强、形状整齐、表面光滑、高度可控的球冠形 In 凸点阵列，制备的 In 柱阵列形貌规则、一致性好，粘结性、延展性和焊接可靠性均得到提高。

因器件面积大且工艺均匀性难以控制，采用以下技术保障措施：增加背照 CCD 倒焊点高度至 5 μm 左右；增大倒焊接触的面积；CCD 和 CMOS 读出电路双面生长铟柱。经多次优化工艺后，测试结果如图 12 所示，背照 CCD 倒焊互连点处台阶由凹陷 1 μm 左右优化成突出 4 μm，铟柱高度提高到 8 μm 左右，达到互连集成要求和设计预期。



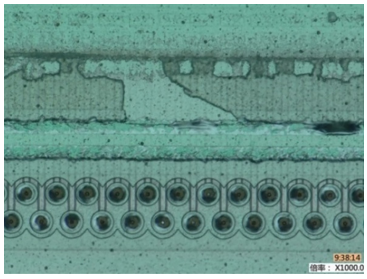
（a）In 柱 SEM 测试图



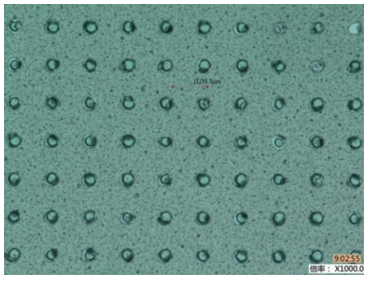
（b）互连点的台阶测试图

图 12　In 柱互连点测试图

通过对铟柱制作工艺、倒焊压力和填充工艺等进行优化制作，互连和支撑区域的显微照如图 13 所示，测试结果表明：互连集成导通率达到 99％以上，盲元率小于 0.1％，满足集成式 CCD 器件的三维互连集成要求。



（a）互连区域显微照

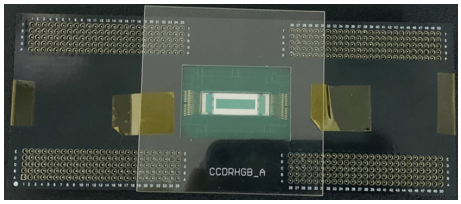


（b）支撑区域显微照

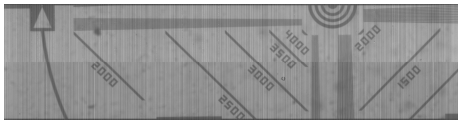
图 13　互连/支撑区域的显微照片

5　测试结果

通过对 CCD 器件和 CMOS 读出电路分别进行设计和制作，采用电路再布线、铟柱倒焊互连及高密度引脚封装技术将 CCD 器件和 CMOS 读出电路进行了互连集成和封装，经过多轮互连试验优化，形成 1 024×256 阵列的三维集成式 CCD-CMOS 图像传感器。测试结果表明：CCD 器件和 CMOS 读出电路芯片的功能正常，集成式 CCD-CMOS 器件的光响应和成像功能正常，双边成像效果良好，图像无黑条和坏列，互连连通率满足多芯片的三维倒焊集成要求，满阱电子数、行频、量子效率、AD 数字化位数等指标达到了预期要求。三维集成式 CCD-CMOS 图像传感器的 PCB 封装实物和靶标成像如图 14 所示，参数测试结果如表 1 所示。



（a）集成式 CCD-CMOS 图像传感器



（b）集成式器件的靶标成像

图 14　集成式 CCD-CMOS 图像传感器及成像

表 1　集成式图像传感器的参数测试结果

序号	指标名称	参数测试值
1	有效阵列规模	1 024×256
2	像元尺寸/μm^2	15×15
4	满阱电子数/ke^-	165.28
5	行频率/kHz	100.85
6	峰值量子效率/％	86.1
7	AD 数字化位数/bit	12
8	互连集成连通率/％	99.9

6　总结

针对 CCD 图像传感器的信号数字化处理和高速输出要求，本文分析了集成式 CCD-CMOS 探测器的整体架构设计方案和工作原理，开展了 CCD 器

件拓扑结构与像元、CMOS读出电路及三维异质集成技术研究，通过单独优化CCD探测器与CMOS读出电路的性能和工艺制作，结合电路再布线、铟柱倒焊互连及高密度引脚封装技术实现多芯粒的三维集成和封装，研制出15 μm×15 μm像元、1 024×256阵列规模的三维集成式CCD-CMOS图像传感器，其具备三维集成、数字化处理和高速输出等特点，填补了国内CCD-CMOS三维集成技术空白。测试结果表明：CCD器件和CMOS读出电路芯片的功能正常，集成CCD-CMOS器件的光响应和成像功能正常，双边成像效果良好；图像无黑条和坏列，互连连通率和非均匀性满足多芯片的三维倒焊集成要求；满阱电子数(165.28 ke^-)、行频率(100.85 kHz)、峰值量子效率(86.1%)、AD数字化位数(12 bit)、互连连通率(99.9%)等指标满足预期要求，实现集成式CCD-CMOS器件的大满阱高灵敏度成像、多通道、高精度数字化和高速输出，使得集成器件兼具CCD和CMOS的优势，降低相机系统的功耗、体积及设计复杂度，满足集成化、数字化、小型化的多光谱探测成像系统要求。

参考文献：

[1] 廖乃镘，刘绪化，刘昌林，等. 横向抗弥散多光谱TDI CCD图像传感器[J]. 半导体光电，2019，40(1)：17-19，24.
Liao Naiman，Liu Xuhua，Liu Changlin，et al. Multispectral TDI CCD imaging sensors with lateral anti-blooming ability[J]. Semiconductor Optoelectronics，2019，40(1)：17-19，24.

[2] Bello D S S，Boulenc P，Vandebriel R，et al. A 7-band CCD-in-CMOS multispectral TDI imager[C]// Inter. Image Sensor Workshop，2017：129-132.

[3] Ko C T，Chen K N. Wafer-level bonding stacking technology for 3D integration[J]. Microelectronics Reliability，2010，50(4)：481-488.

[4] Boulenc P，Thijs S，Bello D S S，et al. Multi-spectral high-speed backside illuminated TDI CCD-in-CMOS imager[C]// Inter. Image Sensor Workshop，2019，Session 10，R47.

[5] Chen Y，Xu Y，Mierop A J，et al. Column-parallel digital correlated multiple sampling for low-noise CMOS image sensors[J]. IEEE Sensors J.，2011，12(4)：793-799.

[6] Suh S，Itoh S，Aoyama S，et al. Column-parallel correlated multiple sampling circuits for CMOS image sensors and their noise reduction effects[J]. Sensors，2010，10(10)：9139-9154.

[7] Stefanov K D，Dryera B J，Hall D J，et al. A global shutter CMOS image sensor for hyperspectral imaging[J]. Proc. SPIE，2015，9602：96020K.

[8] 李毅强，刘昌举，祝晓笑，等. 640×512焦平面读出电路设计[J]. 半导体光电，2014，35(5)：777-781.
Li Yiqiang，Liu Changju，Zhu Xiaoxiao，et al. 640×512 focal plane array readout circuit design[J]. Semiconductor Optoelectronics，2014，35(5)：777-781.

[9] 拉扎维. 模拟CMOS集成电路设计[M]. 西安：西安交通大学出版社，2003，549.
Behzad Razavi. Design of Analog CMOS Integrated Circuits[M]. Xi'an：Xi'an Jiaotong Unversity Press，2003，549.

作者简介：

李　明(1984—)，男，高级工程师，主要从事CIS、集成式图像传感器、图像处理等研究。