光电器件

DOI：10.16818/j.issn1001－5868.2024012402

一种用于CIS列级ADC的片上抗PVT变化高精度自适应斜坡发生器

刘天予，曲　杨，曹　伉，常玉春*

（大连理工大学 集成电路学院，辽宁 大连 116024）

摘　要： 传统的片上全局斜坡发生器电路容易受工艺、电压和温度(PVT)的影响，导致斜坡信号易失真、线性度差；由于寄生电容的影响，片外校准的难度较大。提出了一种可以抗PVT变化，实现自适应校准斜率的斜坡发生器，采用逐次逼近算法细调和定步长搜索法微调相结合的方式，实现对斜坡的两点校正。斜坡校准电路包括电阻型DAC、电流型DAC、逻辑控制、动态比较器等模块。仿真结果表明，自适应斜坡发生器的平均校准周期约为1.143 ms，校准后斜坡微分非线性为＋0.002 07/－0.001 15 LSB，积分非线性为＋0.675 5/－0.388 7 LSB，在不同PVT条件下校准电压误差小于1.5 LSB，平均功耗仅为1.155 mW，与传统斜坡发生器相比具有精度高、功耗低的优点。

关键词： 图像传感器；高速列级模数转换器；斜坡发生器；逐次逼近算法；定步长搜索算法

中图分类号： TN792；TP212　**文章编号：** 1001－5868(2024)04－0543－07

An On-Chip High Precision Adaptive Ramp Generator with Anti-PVT-Variation for CIS Column-Level ADC

LIU Tianyu，QU Yang，CAO Kang，CHANG Yuchun

（School of Integrated Circuits，Dalian University of Technology，Dalian 116024，CHN）

Abstract： The traditional on-chip global ramp generator circuit is significantly affected by process，voltage，and temperature (PVT)，resulting in ramp signal distortion and poor linearity. Moreover，calibration becomes difficult owing to parasitic effects. Therefore，in this study，we introduced an adaptive ramp generator that resists PVT variations. We fine-tuned the ramp using a successive approximation algorithm and a fixed-step search method and achieved a two-point slope correction. The ramp calibration circuit included a resistive DAC (RDAC)，current-mode DAC (IDAC)，logic control，dynamic comparator，and other modules. The average calibration period for the adaptive ramp generator was found to be approximately 1.143 ms. Post calibration，DNL of the adaptive ramp generator was ＋0.002 07/－0.001 15 LSB and INL was ＋0.675 5/－0.388 7 LSB. Under various PVT conditions，the calibration voltage error was less than 1.5 LSB and power consumption was as low as 1.155 mW. Compared with traditional ramp generators，the proposed adaptive generator is advantageous in terms of higher precision and lower power consumption.

Key words： image sensor；high-speed column-level ADC；ramp generator；successive approximation algorithm；fixed step search algorithm

收稿日期：2024－01－24.

基金项目：国家自然科学基金青年科学项目(62304030).

* **通信作者：**常玉春

0 引言

CMOS 图像传感器(CIS)中的列级模数转换器(ADC)在低功耗高速读取大型像素阵列中起到至关重要的作用。其中,逐次逼近型(SAR)ADC 及单斜坡和多斜坡(SS/MS)ADC 是 CIS 中使用最广泛的结构。SAR ADC 虽然具有高采样率的特点,但电容阵列失配会导致 ADC 分辨率受到严重影响,并且更高的分辨率也会牺牲更大的版图面积。SS ADC 在分辨率、面积以及噪声的权衡中更具优势,因此比起 SAR ADC,其在 CIS 中应用更加广泛。斜坡作为 SS ADC 中关键部分,其线性度决定了 ADC 的静态、动态性能,因此对于斜坡发生器具有较高的精度要求。由于列级电路存在寄生电容、沟道长度调制效应、开关非线性等问题,同时工艺、电压和温度(PVT)对器件影响也较大,使得斜坡斜率与设计值产生偏差,且片外校准难度较大[1]。

本文提出了一种抗 PVT 自适应高精度斜坡发生器,通过校准算法减小斜坡非线性,提升 CIS 的量化精度。该斜坡发生器在像素曝光前进行校准,将逐次逼近算法与定步长搜索法结合,实现对斜坡的两点校正。在仿真实验中,使用 300 MHz 的高频时钟作为基准,平均校准周期约为 1.143 ms,校准后斜坡微分非线性(DNL)可以达到 +0.002 07/−0.001 15 LSB,积分非线性(INL)可达 +0.675 5/−0.388 7 LSB,在不同 PVT 下校准电压误差小于 1.5 LSB,平均功耗仅为 1.155 mW。

1 总体架构设计

传统 SS ADC 结构包含静态开环比较器、12 bit 二进制计数器以及 12 bit 寄存器;在此基础之上,本文引入了一个 5 bit 低电压校准模块和一个 13 bit 高电压校准模块,实现斜坡斜率校准,如图 1 所示。在像素曝光期间,校准模块同时校准高低电压,将校准后的斜坡供 ADC 量化使用。

斜坡电压由积分电容在恒定电流下积分产生,其表达式为:

$$V=\frac{1}{C}\int_0^T I\,\mathrm{d}t+V_{\mathrm{initial}} \tag{1}$$

式中,V 为积分电容两端电压,C 为积分电容容值,T 为积分周期,I 为积分电流,V_{initial} 为积分电容的起始电压值。通过调整积分电流以及起始电压值实现对斜坡斜率的校准[2-4]。

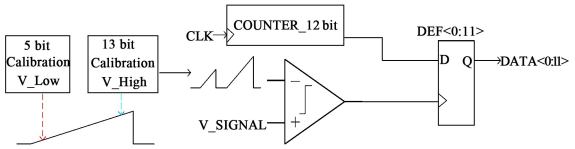


图 1 斜坡校准型 SS ADC 架构图

图 2 为斜坡校准总体流程图,由于采用电流可控式斜坡发生器,斜坡斜率会受沟道长度调制效应的影响,因此,ADC 量化范围小于斜坡最大摆幅。ADC 量化范围的最高电压 V_{High} 受斜坡斜率影响较大,因此需要 13 bit 校准模块进行校准;ADC 量化范围的最低电压 V_{Low} 在 V_{High} 校准后受斜坡复位电压 V_{initial} 影响产生微小偏差,因此使用 5 bit 校准模块进行校准,实现对斜坡斜率的两点校准。由于两点校准不能同时进行,本文先校准 V_{High} 再校准 V_{Low}。单个斜坡运行周期为:

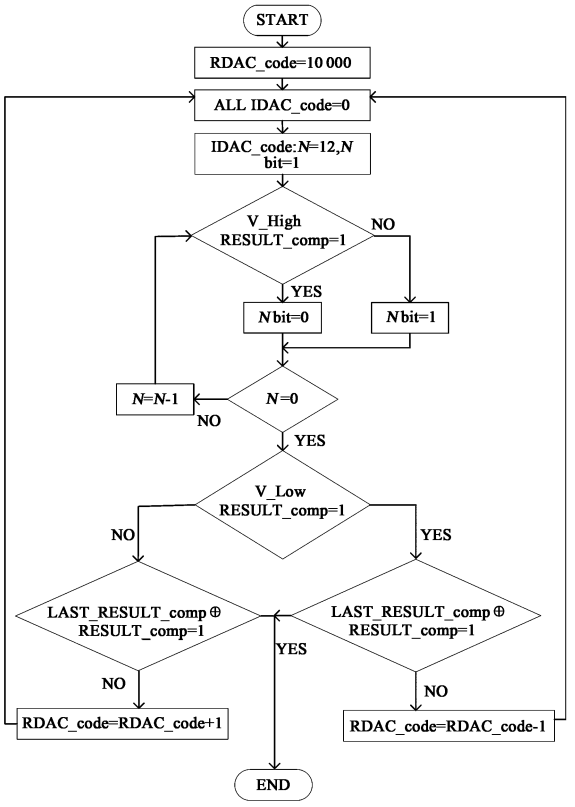


图 2 校准整体流程图

$$T=T_{\mathrm{RST_CAP}}+T_{\mathrm{PRE}}+T_{\mathrm{ADC_RANGE}}+T_{\mathrm{DELAY}} \tag{2}$$

式中,$T_{\mathrm{RST_CAP}}$ 为积分电容复位所需时间;T_{PRE} 为斜坡提前启动的时间,即斜坡从 V_{initial} 到 V_{Low} 所需时间,可表示为:

$$T_{\mathrm{PRE}}=\frac{N_{\mathrm{PRE}}}{f_{\mathrm{ADC_COUNTER}}} \tag{3}$$

式中，$f_{ADC_COUNTER}$ 为 ADC 计数器时钟频率；N_{PRE} 为斜坡提前启动周期数；T_{ADC_RANGE} 为 ADC 量化时间，可表示为：

$$T_{ADC_RANGE}=\frac{(2^N-1)}{f_{ADC_COUNTER}} \tag{4}$$

式中，N 为 ADC 分辨率；T_{DELAY} 为斜坡从 V_{High} 到 V_{END} 所需时间，可表示为：

$$T_{DELAY}=\frac{N_{DELAY}}{f_{ADC_COUNTER}} \tag{5}$$

式中，N_{DELAY} 为斜坡延后周期数。

13 bit V_{High} 校准模块采用逐次逼近算法，T_{V_High} 为 V_{High} 电压固定采样周期，可表示为：

$$T_{V_High}=T_{RST_CAP}+T_{PRE}+T_{ADC_RANGE} \tag{6}$$

经 T_{V_High} 后对斜坡电压进行采样，将采样值与理论值作比较，利用 13 bit 电流舵数模转换器（IDAC）对电流镜进行配置，斜坡斜率进行修调，斜坡经过校准后到达的电压值将会逼近理论值 V_{High}，图 3 展示了 V_{High} 校准的时序。

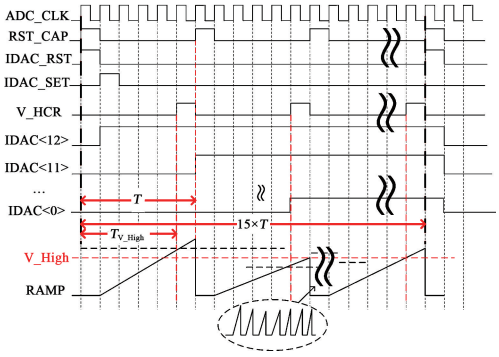


图 3 V_{High} 校准时序

IDAC_RST 为 13 bit IDAC 全局复位信号，IDAC_SET 为 IDAC〈12〉的置位信号，V_HCR 为比较器的复位信号。V_{High} 校准共需要 15 个周期，包含一个全局复位周期和十四个校准周期。首先，将电流镜全部控制字置 0，进行全局复位；随后，将第 12 bit 控制字置 1，其余位仍为 0，每个 V_{High} 校准周期在经过 T_{V_High} 后对斜坡电压进行采样，在比较器中将其与理论值进行比较，若比较器输出为 0，则保持该位不变，将指针移到下一位；若输出为 1，则将该位置为 0，再移动指针至下一位，此流程需一直运行 13 次，方可完成对高电压的校准。

图 4 为 V_{Low} 校准的时序，其中 RDAC_RST 为 V_{Low} 的校准复位信号；V_LCR 为比较器的复位信号；V_LCO 为比较器的输出，当其产生边沿信号后，GLOBAL_LOCK 将会变成高电平，进行全局锁定，标志着校准阶段结束。

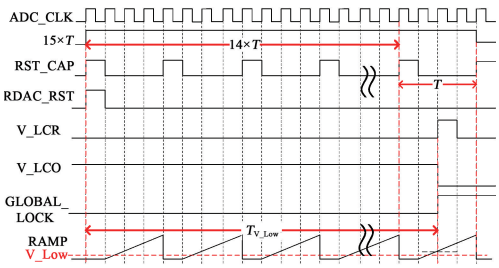


图 4 V_{Low} 校准时序

5 bit V_{Low} 校准模块采用定步长搜索算法，T_{V_Low} 为 V_{Low} 电压的固定采样周期，其可表示为：

$$T_{V_Low}=14\times T+T_{RST_CAP}+T_{PRE} \tag{7}$$

其中，V_{High} 校准需要进行 15 个周期，包含一个复位周期，V_{Low} 校准需要在 V_{High} 校准的最后一个周期进行，电阻分压型 DAC（RDAC）提供的 $V_{initial}$ ± 2 mV 的电压对斜坡复位电压进行 5 bit 修调。当校准开始时，将 RDAC 的初始值置为 10 000，DAC 将输出 $V_{initial}$ 电压，随后对斜坡进行复位，并进行 V_{High} 的校准；校准后，在每个 V_{Low} 校准周期内，斜坡经 T_{V_Low} 后采样，在比较器中将其与理论值比较，若比较器的第一次输出结果为高电平，则将计数器置为减计数，即 RDAC 输出值减 1 bit；反之，将其置为加计数，增加 1 bit；随后继续进行 V_{High} 的校准，并保持加减模式不再变化。若比较器无翻转，则重复前述操作，实现单向改变 $V_{initial}$ 电压；反之，若比较器后续出现翻转，则锁定计数器，使积分电容充电电流以及复位电压不再变化。此时，V_{Low} 以及斜坡整体校准完成，ADC 开始对像素输出信号进行量化。

通过本文所设计的斜坡自适应校准算法，使整个系统能够校正存在的非理想特性，特别是在长时间使用或温度、电源电压变化等因素引起的漂移情况下，通过校准斜坡斜率提高整体系统的精度和稳定性，减小失配影响。

2 电路设计

13 bit V_{High} 校准模块主要由 IDAC，逻辑控制模块、动态比较器组成；5 bit V_{Low} 校准模块主要由 RDAC、带有预置数功能的可加减二进制数值计数器、边沿检测电路、动态比较器组成。

2.1 DAC 及斜坡信号发生器

本文所设计的校准电路以基于对 V_{High} 校准的 13 bit IDAC 以及对 V_{Low} 校准的 5 bit RDAC 为核

心，斜坡发生器及 IDAC 如图 5 所示。

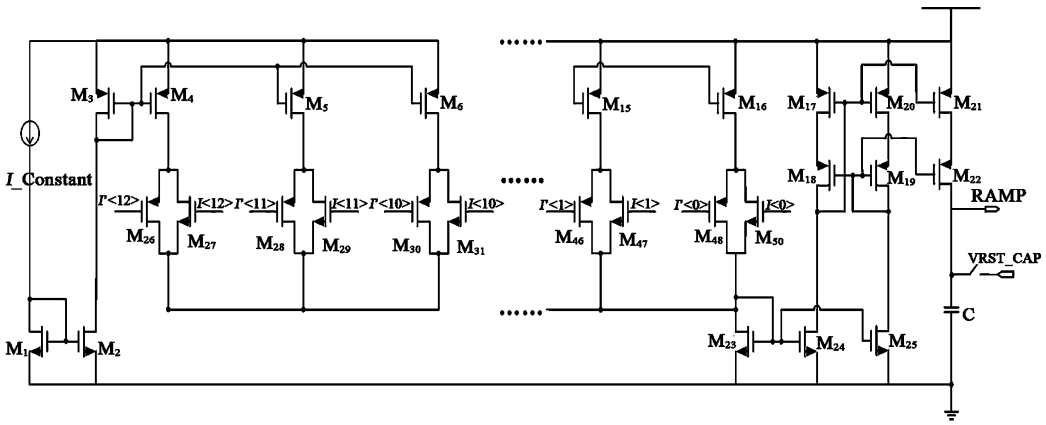


图 5　电流型 DAC

使用恒定电流值为 I_{constant} 的电流源对整个斜坡发生器进行供电，该恒定电流由带隙基准源生成。在电路中，M1～M2 和 M23～M25 充当 N 型管电流镜，M3～M16 为 13 位二进制可配置电流镜，M7～M22 则是共源共栅型电流镜，用于为积分电容提供电流。此外，M26～M49 是传输门开关，用于控制电流镜电流的通断；VRST_CAP 则是斜坡复位开关。积分电流表达式为：

$$I=\sum_{n=0}^{12}D_N\frac{2^n}{2^{13}-1}\times I_{\text{constant}} \tag{8}$$

式中，D_N 为第 N 位控制字的值。使用逐次逼近算法得到 13 bit 控制字来调整积分电流值，从而改变斜坡斜率。

5 bit RDAC 电路图如图 6 所示，其由 31 个电阻串联、5-32 译码器、缓冲器(Buffer)组成。通过定步长搜索算法产生的 D_0～D_4 5 bit 控制字，使用译码器来选择斜坡复位电压 $V_{\text{RST_CAP}}$，并通过 Buffer 输出，提高带载能力。

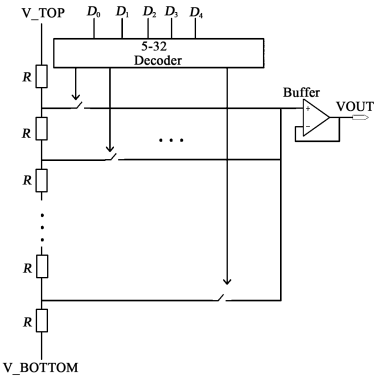


图 6　RDAC 电路

2.2　动态比较器

本文使用动态比较器对斜坡电压采样值与参考值进行比较，将比较结果反馈给逻辑控制模块以实现模拟域到数字域的转换，达到片内校准的目的。如图 7 所示，动态比较器的结构包含预放大电路及动态比较器，使用动态比较器可以以较低功耗提高校准精度。

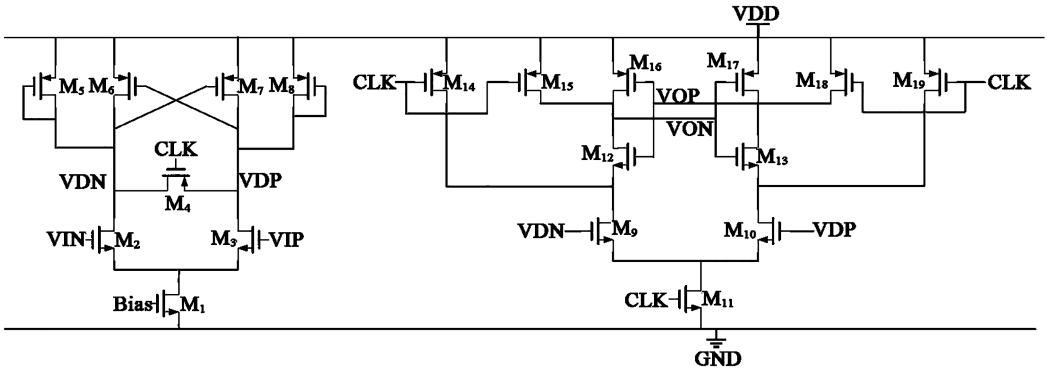


图 7　动态比较器电路

其中 M1～M8 为前级预放大运放，采用预放大电路可以有效减小回踢噪声，从而提高动态比较器

速度和精度。CLK 为比较器工作主时钟，其在复位阶段为低电平，将比较器输出上拉到 VDD；工作阶段为高电平，预放大电路将输入差值进行放大后传给动态比较器进行比较。预放大运放采用负阻连接型负载，当 M5 和 M6 跨导值接近时可获得较高增益[5]。

2.3 逻辑控制电路

如图 8 所示，使用两排 D 触发器(DFF)作为逐次逼近算法逻辑控制电路。第一排 D 触发器被设计为相位指针逻辑电路，负责执行寻址操作；第二排 D 触发器充当寄存器，用于将比较器的结果存储到相应位的寄存器中。当校准周期到来时，通过时钟信号的精确控制，第一排 D 触发器的输出逐次变为高电平，进而将第二排触发器的输出逐步置 1。这两排触发器的输出同时充当上一级触发器的时钟信号，因此，在被置位后，根据用于校准 V_{High} 的比较器输出结果 COMP_OUT，在下一个时钟上升沿再次触发，从而获取相应位上的逻辑信号。该设计确保了逐次逼近算法的高效执行，使得在校准周期内，逻辑电路能够精准地使 V_{High} 逼近目标值。

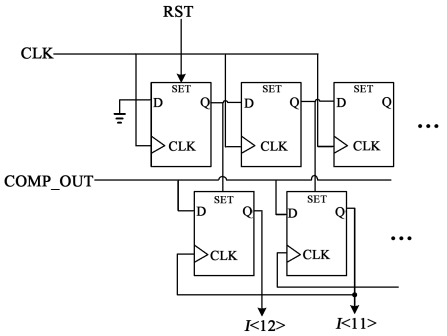


图 8 V_{High} 校准逻辑控制电路

5 bit 带有预置数功能的可加减二进制计数器电路如图 9 所示，其作为 V_{Low} 逻辑控制电路，由五组 JK 触发器及逻辑门电路构成，其输出直接接入 5-32 译码器将 Q〈0：4〉转换为电压值；其中，预置 D〈0：4〉对应斜坡初始复位电压值，经 T_{V_Low} 后用

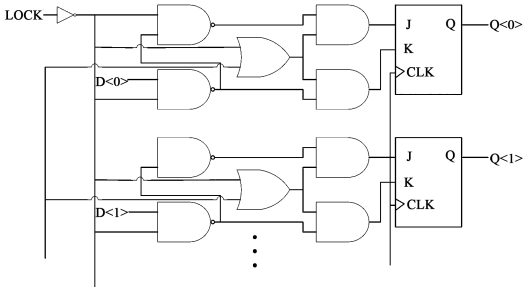


图 9 V_{Low} 校准逻辑控制电路

于校准 V_{Low} 的比较器的值将作为计数器加减判定依据，若结果为高电平，则持续进行正向计数，低电平则持续进行反向计数；同时比较器输出也将通过边沿检测电路产生 GLOBAL_LOCK 信号，一旦比较器输出发生翻转，GLOBAL_LOCK 信号将变为高电平，标志着全局校准结束。

3 仿真结果与版图设计

本文采用 180 nm CMOS 工艺，使用 Cadence 对所提出的自适应斜坡发生器电路进行仿真，其中 V_{High} 理论值为 2.3 V，V_{Low} 理论值为 0.3 V，$V_{initial}$ 初始值为 0.2 V。

图 10 展示了本文所设计用于图像传感器的自适应斜坡发生器校准阶段斜坡波形，斜坡先经过 14 个周期校准 V_{High} 后，对 V_{Low} 进行采样并校准，经过约 700 μs，完成整个校准过程，斜坡斜率不再变化，ADC 进入正常工作阶段。

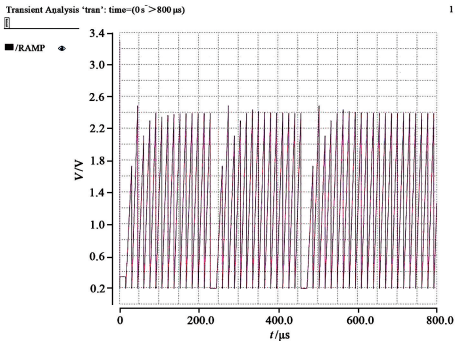
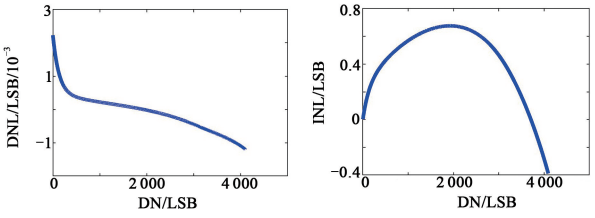


图 10 斜坡校准仿真波形

图 11 展示了斜坡校准后静态特性仿真结果，可以看出斜坡作为图像传感器列级 ADC 中的 DAC，其 DNL 为+0.002/−0.001 2 LSB；INL 为+0.7/−0.4 LSB，小于 1 LSB，有效保证了 ADC 的线性度。

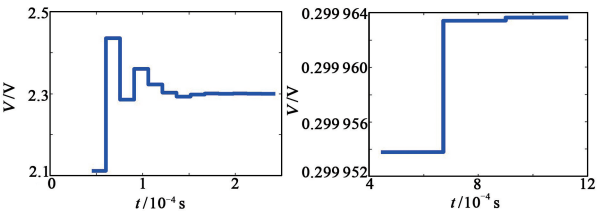


(a) DNL (b) INL

图 11 斜坡 DNL 和 INL 仿真结果

图 12 展示了 V_{High} 和 V_{Low} 校准过程，可以看出电压经过 T_{V_High} 时间的采样值逼近至理论值；电压经过 T_{V_Low} 时间的采样值采用定步长搜索而单向接近理论值，后用于 V_{Low} 校准的比较器将控制逻辑

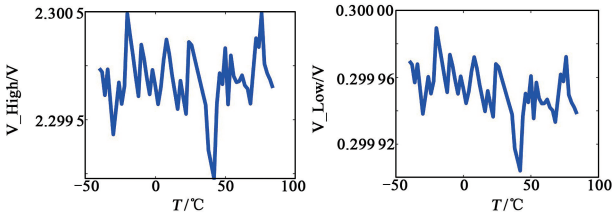
模块停止校准过程。



（a）高电压　　（b）低电压

图 12　V_{High} 及 V_{Low} 校准过程

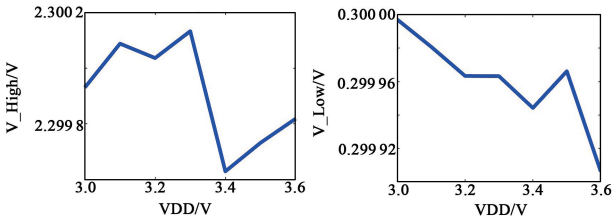
图 13 展示了在－40～85 ℃宽温度范围内高低电压校准情况，可以看出当温度变化时，校准后 V_{High} 电压存在＋0.4 mV/－0.9 mV 的误差，小于 1.5 LSB；校准后 V_{Low} 电压存在－0.09 mV 的误差，小于 1 LSB。



（a）高电压　　（b）低电压

图 13　V_{High} 及 V_{Low} 在－40～85 ℃温度下仿真结果

图 14 展示了在电源电压±10％范围内波动时高低电压校准情况：当电源电压变化时，校准后 V_{High} 电压存在＋0.1 mV/－0.37 mV 的误差，在 1 个 LSB 之内；校准后 V_{Low} 电压存在－0.01 mV 的误差，小于 1 LSB。



（a）高电压　　（b）低电压

图 14　V_{High} 及 V_{Low} 在 VDD±10％下仿真结果

图 15 和图 16 展示了在随机工艺角情况下高低电压校准蒙特卡洛仿真结果。当工艺角变化时，校准后 V_{High} 电压直方图标准差为 239.9 μV，3σ 值约为 1.5 LSB，存在＋0.07 mV/－0.9 mV 的误差；校准后 V_{Low} 电压直方图标准差为 14.3 μV，3σ 值约为 0.2 LSB，存在－0.12 mV 的误差。

在不同的 PVT 情况下，采用所提出的自适应校准算法对斜坡进行校准，结果显示校准后的电压能够接近理论值，并且误差均小于 1.5 LSB，可以显示出自适应算法在不同 PVT 条件下抗干扰能力较强，以满足图像传感器读出链对列级 ADC 的要求。

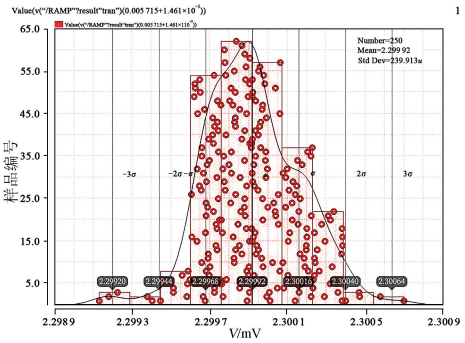


图 15　V_{High} 随机工艺角蒙特卡洛仿真结果

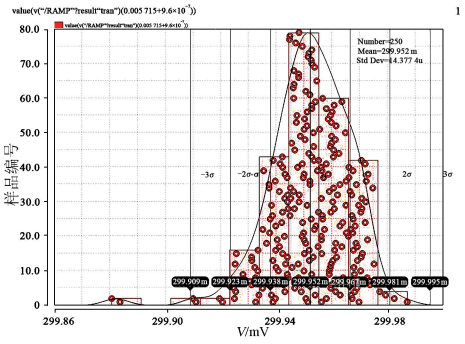


图 16　V_{Low} 随机工艺角蒙特卡洛仿真结果

表 1 为参考文献中斜坡发生器仿真结果性能参数对比，校准后斜坡 DNL 较文献[6]减小＋0.049/－0.077 LSB，较文献[7]减小＋0.37/－0.26 LSB；INL 较文献[8]减小＋0.5 LSB；功耗仅为 1.155 mW。

表 1　斜坡发生器仿真结果性能对比

性能参数	文献[7]	文献[8]	本文
分辨率/bit	10	12	12
电源电压/V	3.3	3.3	3.3
DNL/LSB	＋0.38/－0.27	＋0.000 3/－0.000 5	＋0.002/－0.001
INL/LSB	＋0.33/－0.54	＋1.103/－0.000 5	＋0.675/－0.388

文献[7]使用高增益运放对电容积分得到斜坡；文献[8]通过使用脉宽锁定环（PWLL）电路结构实现负反馈机制，与前两者相比，本文显著降低了对模拟电路的复杂度，并在静态性能方面获得较好的仿真结果。

本文基于 180 nm 工艺设计的自适应斜坡发生器版图布局设计如图 17 所示，包括积分电容、RDAC、IDAC、逻辑控制、动态比较器等模块，总面积约为 1 mm×0.3 mm。

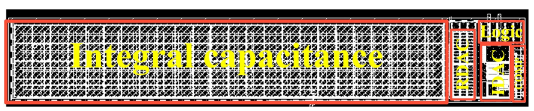


图 17　自适应斜坡发生器版图设计

4 总结

本文设计了一种抗 PVT 变化的自适应高精度斜坡发生器，通过逐次逼近算法以及定步长搜索法校准斜坡斜率，实现对斜坡的两点校正，减小斜坡斜率非线性，提高 CIS 中 SS ADC 的性能。斜坡校准电路包括积分电容、RDAC、IDAC、逻辑控制、动态比较器等模块。仿真结果表明，平均校准周期约为 1.143 ms，在不同的 PVT 情况下，校准后的电压与理论值误差均小于 1.5 LSB，其功耗仅为 1.155 mW。该设计进一步提升了图像传感器列级 ADC 的使用便携度与性能优化的灵活性。

参考文献：

[1] 马 成. 基于高动态像素及高速低功耗 ADC 的 CMOS 图像传感器研究[D]. 长春：吉林大学，2019.
Ma Cheng. Research on CMOS image sensors with high dynamic range pixel and high speed low power ADC[D]. Changchun: Jilin University, 2019.

[2] Sordo-Ibáñez S, Piñero-García B, Espejo-Meana S, et al. An adaptive approach to on-chip CMOS ramp generation for high resolution single-slope ADCs[C]// European Conf. on Circuit Theory and Design, 2013: 1-4.

[3] Elmezayen M R, Wu B, Ay S U. Single-slope look-ahead ramp ADC for CMOS image sensors[J]. IEEE Trans. Circuits Syst. Ⅰ Regul. Pap., 2020, 67(12): 4484-4493.

[4] Fujihara Y, Murata M, Nakayama S, et al. An over 120 dB single exposure wide dynamic range CMOS image sensor with two-stage lateral overflow integration capacitor[J]. IEEE Trans. on Electron Devices, 2021, 68(1): 152-157.

[5] 刘宇帆，刘炯晗，程 禹，等. 基于 SAR-SS 架构的图像传感器专用高速列级 ADC 设计[J]. 半导体光电，2022，43(6)：1119-1123.
Liu Yufan, Liu Jionghan, Cheng Yu, et al. Design of high-speed column-level ADC for image sensor based on SAR-SS architecture[J]. Semiconductor Optoelectronics, 2022, 43(6): 1119-1123.

[6] 张 倩，郭仲杰，余宁梅，等. 用于 CMOS 图像传感器的高速高精度斜坡 ADC 设计技术研究[J]. 传感技术学报，2021，34(10)：1307-1311.
Zhang Qian, Guo Zhongjie, Yu Ningmei, et al. Research on high speed and high precision slope ADC for CMOS image sensor[J]. Chinese J. of Sensors and Actuators, 2021, 34(10): 1307-1311.

[7] 张生才，龚 川，姚素英，等. 基于 CMOS 图像传感器应用的斜坡发生器[J]. 哈尔滨工业大学学报，2008，(7)：1148-1151.
Zhang Shengcai, Gong Chuan, Yao Suying, et al. A ramp generator designed for CMOS image sensor[J]. J. of Harbin Institute of Technol., 2008, (7): 1148-1151.

[8] Li L, Guo Z, Zhang J, et al. Adaptive ramp generator for CMOS image sensor[C]// Inter. Conf. on Integrated Circuits and Microsystems, 2022: 505-509.

作者简介：

刘天予(2000－)，男，辽宁省抚顺市人，硕士研究生，主要研究方向为列级模数转换器的设计；

常玉春(1973－)，男，教授，博士生导师，研究方向包括 CMOS 图像传感器及图像信号处理电路等。