光电器件

DOI：10.16818/j.issn1001－5868.2024022202

全局/滚动曝光兼容高动态抗辐照 CMOS 图像传感器设计

李　明[1*]，刘戈扬[1]，傅　婧[2]，刘昌举[1]，倪　飘[1]，蒋君贤[1]，任思伟[1]

（1.重庆光电技术研究所，重庆 400060；2. 集成电路与微系统全国重点实验室，重庆 400060）

摘　要： 针对高速目标的高精度探测及辐射环境的应用要求，为解决全局与滚动曝光模式兼容难度大、灵敏度和动态低、帧速不高、抗辐照水平低等问题，对 CMOS 图像传感器架构、像素结构、列并行高精度数字化、高速读出、抗辐照加固等技术进行研究。基于单边列并行 DDS、多模兼容的架构方案，设计了一款 7.5 μm×7.5 μm，2 048×2 048 可见光 CMOS 图像传感器，采用双增益像素结构、高帧速数字化读出、多通道可选输出、像素和电路抗辐照加固等方法，实现了全局与滚动曝光兼容、高灵敏度高动态成像、高精度数字化和高速输出、抗辐照加固等技术验证，填补了国内多模曝光兼容抗辐照 CMOS 图像传感技术研究空白。测试结果表明：器件功能正常，成像效果良好，动态范围、满阱电荷、灵敏度、帧速、抗辐照等指标满足预期要求，对高速高动态成像及辐射环境的系统应用具有重要意义。

关键词： CMOS 图像传感器；全局与滚动兼容；抗辐照；像素双增益

中图分类号： TP212　**文章编号：** 1001－5868(2024)04－0569－07

CMOS Image Sensor Design with Global/Rolling Exposure Compatibility, High Dynamics, and Radiation Resistance

LI Ming[1], LIU Geyang[1], FU Jing[2], LIU Changju[1], NI Piao[1], JIANG Junxian[1], REN Siwei[1]

(1. Chongqing Optoelectronics Research Institute, Chongqing 400060, CHN;
2. National Key Laboratory of Integrated Circuits and Microsystems, Chongqing 400060, CHN)

Abstract: To achieve high-precision detection of high-speed targets and meet the application requirements of radiation environments, a CMOS image sensor architecture, pixel structure, column-parallel high-precision digitization, high-speed readout, and radiation hardening are investigated to solve problems such as compatibility issues between global and rolling exposure modes, low sensitivity and dynamics, low frame rate, and low radiation-resistance levels. Based on a single-sided column-parallel direct digital synthesis (DDS) and multi-mode compatible architecture, a 7.5 μm×7.5 μm, 2 048×2 048 visible-light CMOS image sensor is developed. A dual-gain pixel structure, high-frame-rate digital readout, multiple-channel selectable output, and pixel/circuit radiation hardening are adopted to achieve global and rolling exposure compatibility, high-sensitivity and dynamic imaging, high-precision digitization and high-speed output, and radiation hardening. The sensor fills a gap in domestic research on multimode exposure-compatible radiation-resistance contact image sensor (CIS) technology.

Test results show that the device functions normally, the imaging output is satisfactory, and

收稿日期：2024－02－22.

基金项目：国家自然科学基金项目(12305311)；重庆市自然科学基金项目(2024NSCQ-MSX4344).

* **通信作者：**李　明

the parameters meet the expected requirements. These include the dynamic range, full well capacity, sensitivity, frame rate, and radiation resistance. These results are of great significance for high-speed, high-dynamic imaging, and radiation-environment system applications.

Key words: CMOS image sensor; compatibility of global and rolling exposure; radiation resistance; pixel dual gain

0　引言

CMOS 图像传感器(CMOS Image Sensor, CIS)是成像系统的核心探测器件,可将光信号转化为电压信号,并由片上 ADC 量化为数字信号,通过高速接口实现数据传输。随着图像传感器技术和工艺水平的不断发展,CMOS 图像传感器的性能和成像质量均得到了提升,被广泛应用于机载成像、空间科学成像、星敏成像等航空航天领域。如安森美公司的 Star 系列、HAS 系列 CIS,其以优良的抗辐照能力被应用在多型卫星成像;比利时 CMOSIS 公司研发的全局快门 CIS 被应用于无人机成像、飞行器姿态监测等高速成像领域。

高速成像、空间辐射等应用环境对 CMOS 图像传感器的性能提出更高要求,国外已开展了大量先进 CIS 技术和工艺研究[1-5],其中 400 万像素的代表性产品为 CMOSSIS 公司的高速全局 CIS(灵敏度为 5.56 V/lux·s、动态达到 60 dB、帧频大于 100 fps)。近年来国内也对全局快门、背照、低噪声、抗辐照等 CIS 技术进行了研究[6-9],如长光辰芯发布了多光谱(5 谱段 CMOS-TDI)、大面阵(大于 4 k×4 k)等多款科学级 CIS;上海集成电路中心研制出 400 万像素全局快门 CIS(灵敏度不低于 3 V/lux·s、动态大于等于 50 dB、帧频大于 37 fps、总剂量辐照可达 30 krad(Si))。根据文献数据和应用情况,国产 CIS 器件的灵敏度、动态、抗辐照、曝光模式兼容等性能与国外技术和应用需求仍存在较大差距。

为了解决全局与滚动曝光模式兼容难度大、灵敏度和动态低、帧速不高、抗辐照水平低等问题,本文对 CMOS 图像传感器的架构、像素结构、列并行数字化处理、多通道高速读出、抗辐照加固等技术进行了研究。基于列并行架构方案和 0.13 μm 标准 CIS 工艺,设计了双增益像素结构、多模式曝光控制时序、全局/滚动快门兼容可选、高帧速数字化读出、像元和电路抗辐照加固等电路,实现了曝光模式兼容型高动态抗辐照 CMOS 图像传感器的技术验证,填补了国内多曝光模式兼容抗辐照 CIS 技术研究空白,对高速高动态成像及辐射环境的系统应用具有重要意义。

1　CMOS 图像传感器设计与仿真

1.1　CMOS 图像传感器架构

针对高帧速、高动态、数字化输出、全局与滚动曝光可选、抗辐照等设计要求,本文设计了有源像素结合单边列并行读出的面阵 CMOS 图像传感器架构方案。CIS 器件的整体架构如图 1 所示,其感光面有效阵列规模设计为 2 048×2 048,像素采用双增益 6T 结构,可实现全局与滚动曝光兼容,且具备像素高低双增益调节功能;信号处理电路采用单边列并行 ADC 处理与读出方式,列级读出电路主要包含 PGA、ADC、并转串输出电路、LVDS 接口等电路;片上功能和控制电路包含 PLL、带隙基准、电流源模块、时序控制、通信协议、行驱动等模块。

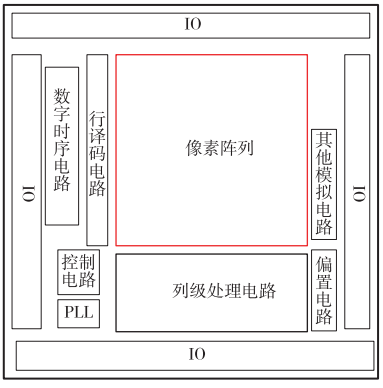


图 1　CMOS 图像传感器架构图

该 CMOS 图像传感器的工作原理如下:1)当光照射到器件感光面时,有源像素将光信号转换为电信号;2)通用 Y 方向地址选择,产生行选信号;3)当像素阵列的某一行被行选信号选中时,像素将电信号输入到模拟前端进行双采样处理;4)处理后的信号被送到列级 ADC,将模拟信号转换为数字信号;5)转换后的数字信号通过多组 LVDS 电路输出到器件外。

1.2　双增益像素设计

针对 CMOS 图像传感器的全局/滚动曝光兼

容、微弱光环境下的低噪声高灵敏度成像要求，本文设计了 7.5 μm×7.5 μm 像元尺寸的 6T 结构像素，像素结构如图 2 所示。相对 4T 结构像素而言，在其基础上增加了 GS，HDR 和 C_{bst}，即 2 个 MOS 管和 1 个电容。GS 管用作全局控制栅，在 GS 控制下，可实现所有像素的同步曝光，在其他 MOS 管的控制下实现逐行读出；HDR 和电容 C_{bst} 分别用于扩大 FD 点的输出摆幅以及提升像素的响应动态。因此该 6T 像素结构具备全局/滚动曝光可选，高、低增益转换等特点。

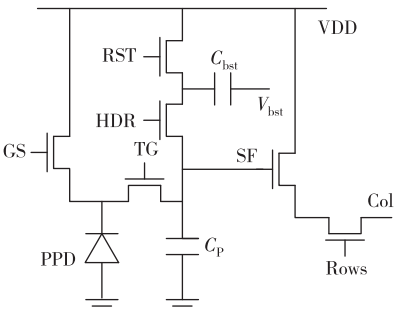


图 2 像素结构图

为了实现弱光环境下的低噪声、高动态和高灵敏度成像，本文设计了具备高、低转换增益模式的双增益像素结构。当在低转换增益模式下，像素的电荷电压转换节点电容由 C_{bst}、C_P 和 HDR 管寄生电容三者构成，其电容值较大，工作时序如图 3(a)所示，HDR 管在信号读出期间始终开启。当在高转换增益模式时，像素的电荷电压转换节点电容仅由 C_P 构成，电容值较小，在信号读出期间，工作时序如图 3(b)所示，HDR 管需要在 RST 复位完成及 V_{bst} 为高之后关闭，使得最终电荷电压转换过程只发生在电容 C_P 中。为保证像素具有较高的转换增益，通过优化 LDD 注入、降低节点注入浓度、减小金属走线寄生等措施对 C_P 电容进行优化，使得低转换增益达到 0.03 DN/e^-，高转换增益达到 0.26 DN/e^-。

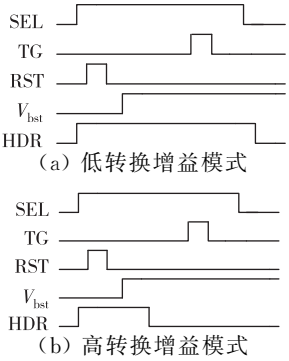


图 3 双转换增益模式时序示意图

为了实现滚动和全局曝光可选功能，采用 6T 像素结构的 GS 作为全局控制栅，设计了像素 GS 管的控制和读出电路时序，滚动和全局控制时序如图 4 和图 5 所示。在器件的曝光和读出工作期间，LVDS 读出过程的读出时间固定不变，设计时需保证行间的曝光开始时间和曝光结束时间不重合。

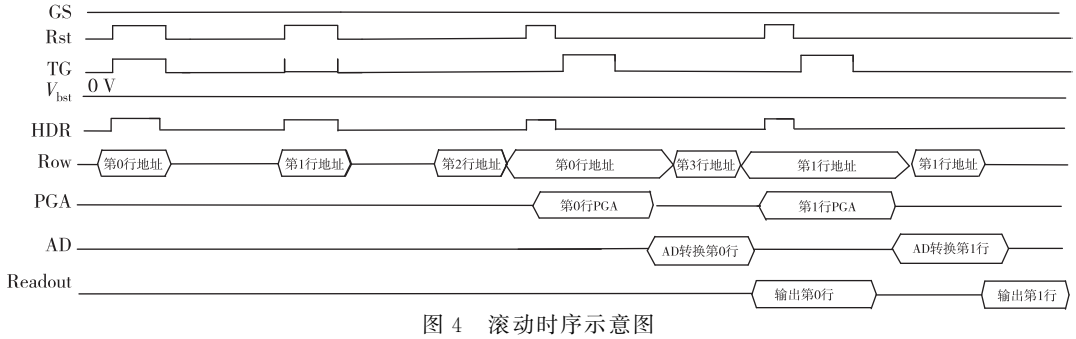


图 4 滚动时序示意图

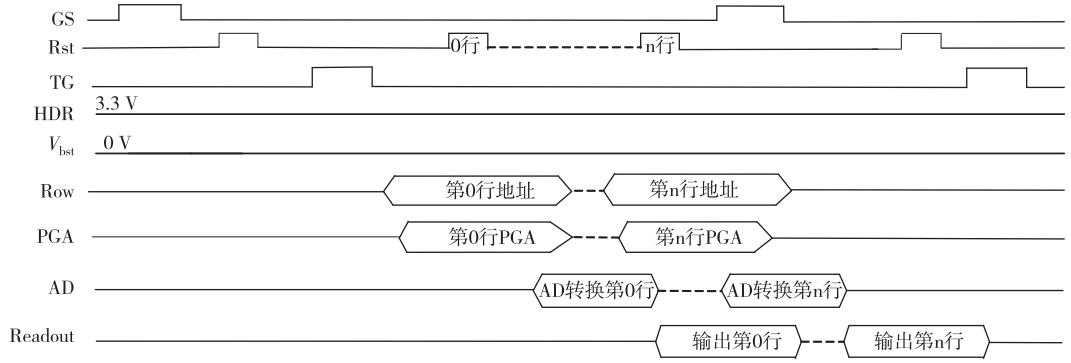


图 5 全局时序示意图

像素暗电流是 CIS 器件的重要参数之一，其主要来源于表面缺陷暗电流、STI 暗电流、传输栅下暗电流、背部缺陷暗电流。本文采用暗电流降低技术措施包括：1）表面钳位层技术，采用表面 P^+ 钳位层注入的方法隔离表面缺陷，可有效降低电子在势垒两侧热交换的概率，从而降低表面缺陷暗电流；2）低暗电流浅沟槽隔离技术，注入形成的隔离层始终钳位在高电位上，在 Si-SiO_2 界面附近形成电子堆积层，隔离光电二极管的空穴收集区域；3）传输栅沟道技术，P 注入的沟道梯度掺杂可使传输栅下形成电势梯度；4）低暗电流负压偏置技术，负压偏置使沟道处于空穴堆积状态，隔离 Si 与 SiO_2 表面的缺陷，从而有效降低暗电流。

1.3　高帧速数字化读出电路设计

针对高精度数字化、高帧速输出和 ADC 位数可选的设计要求，本文研究了列级 ADC 结构、输出通道数可变、高速输出等技术，计算了放大电路的主要噪声源。列并行 ADC 用于像素信号的数字化转换和信号处理，因有效像素阵列为 2 048 列且并行输出，故设计了 2 048 个列级 ADC 转换电路，同时将 128 列作为一个输出通道，共需 16 通道可完成 2 048 列有效像元数据的 LVDS 高速输出。

本文设计的斜坡 ADC 通过在一定的计数时钟周期数实现 AD 转换，计数器采用 250 MHz 时钟频率的上升沿下降沿同触发计数。在 12 位量化模式下，每个计数周期为 4 ns，将计数器的 12 位输出给斜坡发生器，斜坡发生器由 12 位的 ADC 实现，故每个像素行读出周期时间必须大于 4 096 个 ADC 计数时钟周期才可实现完整 AD 转换。斜坡 ADC 结构及高速输出示意图如图 6 所示，主要包括：比较器、斜坡发生器、计数器、寄存器、并串转换、LVDS 等电路模块。

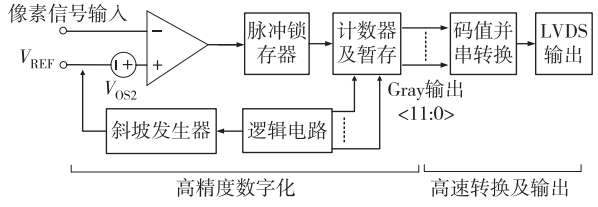


图 6　斜坡 ADC 结构及高速输出示意图

比较器将采样电容上存储的复位或图像信号电压与斜坡信号进行比较，并且将结果送入次级处理，其结构原理图如图 7 所示。

比较器采用放大锁存结构，翻转时满足条件：$V_{in}=V_{refp}+V_{refn}-V_{ramp}$。比较器噪声经过优化设计后，负载管的跨导 $gm1$ 小于输入管跨导，因此其等效输入噪声的功率谱密度可近似表示为：

$$S(f)\approx\frac{16kT}{3gm1} \tag{1}$$

在复位和比较时，引入的热噪声为：

$$v_{nsrt}^2+v_{ncomp}^2\approx\frac{16kT}{3gm1}\frac{\pi}{2}\left(\frac{gm1}{2\pi C_1}+\frac{1}{2\pi r_{out}C_{out}}\right)=\frac{4kT}{3}\left(\frac{1}{C_1}+\frac{1}{C_{out}}\frac{1}{A_0}\right) \tag{2}$$

本设计的 C_1 取值为 5 pF，C_{out} 约为 50 fF，A_0 约为 35，则比较器完成一次比较引入的等效输入热噪声电压值为：

$$v_{ntot}\approx\sqrt{\frac{4kT}{3}\left(\frac{1}{5p}+\frac{1}{50f}\times\frac{1}{35}\right)}\approx 96.23 \tag{3}$$

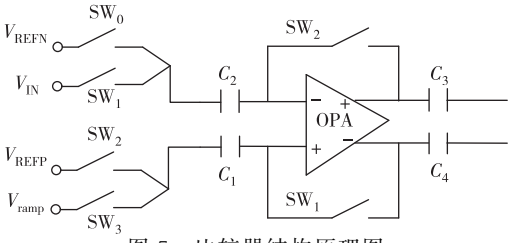


图 7　比较器结构原理图

比较器的模拟信号输入输出波形如图 8 所示，前级复位信号传输至比较器时约为 1.20 V，图像信号约为 2.19 V，斜坡信号的基准电压约为 1.15 V。图中的 V_1 和 V_2 垂直标记为比较器输出发生翻转的时刻，当斜坡信号超越采样信号时，比较器向高电平翻转。

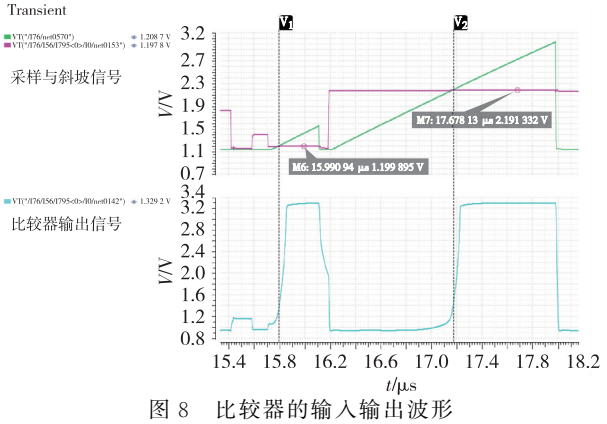


图 8　比较器的输入输出波形

该 CIS 的 PGA 增益调节采用开关电容（C_X，C_Y，C_Z）实现 1x 至 3.5x 八档可调增益编程。PGA 工作过程包括运放失调校准、采复位信号和采图像信号三个步骤。图 9 为 PGA 设置为 1x 增益时的输

入和输出仿真波形，当像素以滚动快门模式开始曝光时，随着积分时间增长，输出电压下降，PGA 输出信号会随像素输出信号下降而上升。

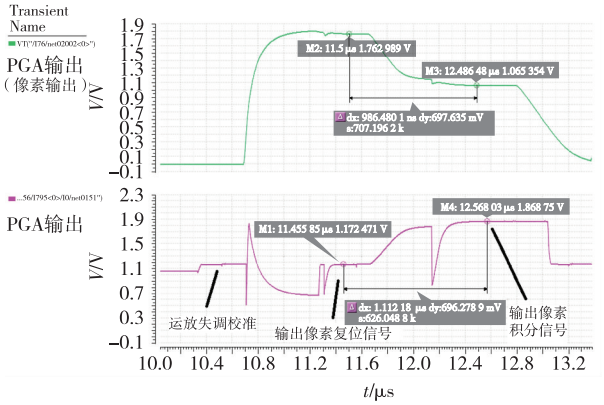


图 9 PGA 输入输出波形

并串转换电路连接前级 ADC 和后级 LVDS 输出驱动电路，将 ADC 的并行信号转换为串行信号输入到 LVDS 驱动电路。当 reg2out_en 为高电平时，由 shift_cp 驱动的寄存器存储由 ADC 输入的并行数据，电路其他部分为锁定状态。当 reg2out_en 为低电平时，电路锁定解除，由 shift_cp1 驱动的寄存器存储并输出寄存器输入端上已有的电平值（即 ADC 输入值），处理完该电平值后继续处理由上一级寄存器输出的电平值，以此类推，形成逐位串行输出的效果。图 10 为 ADC 输出 12bit 并行数据时并串转换模块的输入输出波形，当 reg2out_en 为高电平时，电路在 shift_cp1 的上升沿按输入并行数据的最低位到最高位的顺序输出串行转换结果。

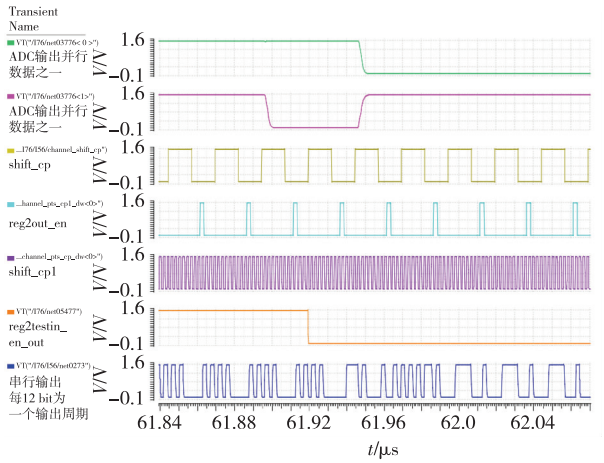


图 10 并串转换电路的输入输出波形

为了解决高帧速处理、高速数据输出的技术问题，CMOS 图像传感器采用最大 16 通道分组，实现并串转换电路处理后的串行数据的高速读出。LVDS 多输出通道读出结构如图 11 所示，2 048 个 ADC 的输出划分为 16 组，每组 128 列 ADC 输出数据通过码值读出电路按时间顺序依次输出到 12 bit 位宽的 LVDS 输入接口，LVDS 将 128 列 12 位并行数据转换为串行数据输出，实现了数据的高速处理。

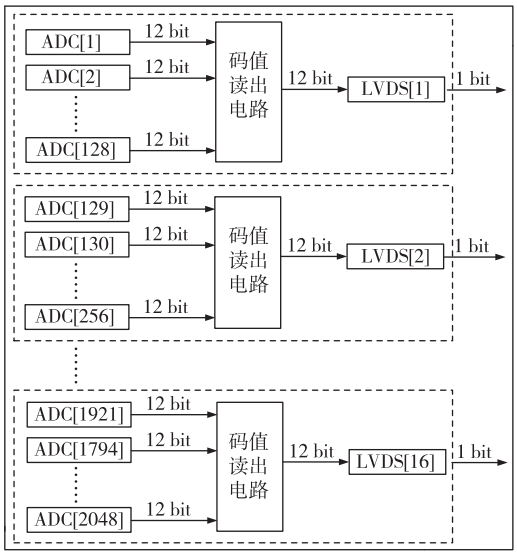


图 11 多输出通道读出结构图

1.4 抗辐照加固技术

为了解决 CIS 抗辐照加固技术难题，抗辐照设计主要考虑像素、关键电路和版图的加固设计，以满足空间及辐射环境下 CIS 器件的长寿命工作要求。

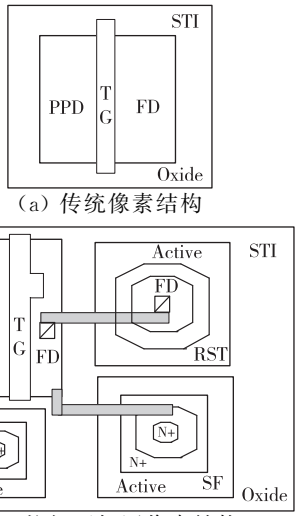
（1）像素抗辐照技术

CMOS 图像传感器像素结构包括光电二极管（PPD）、传输管（TG）、浮置扩散结（FD）、复位管（RST）、源跟随等。在像素抗辐照设计方面[10]，采用以下技术措施：1）STI 结构和 STI 钳位隔离层结构加固（减少界面态，抑制寄生暗电流增加）；2）FD 加固（分割 FD 方案，减少与 STI 的接触）；3）复位管加固（采用环形栅加固，减小暗电流）；4）源跟随器加固（调节源跟随器 SF1 的阈值电压，以减小存储电容的辐照退化）；5）通过提高存储电容节点电压等技术进行加固设计，加固像素结构示意图如图 12 所示。

（2）电路和版图抗辐照技术

在电路抗辐照设计方面，本文对关键读出电路和版图进行了加固。电路由 MOS 管组成，MOS 管在辐照后存在沟道边缘漏电和场氧区漏电两个漏电通道，导致 MOS 管性能退化。为提高其抗闩锁能力，通过合理布局电源接触孔，减少横向电流密度和横向电阻，同时采用以下加固措施：1）环形栅结构

(MOS 管的源区和漏区被栅极分隔，抑制了漏电通路的形成，达到抗辐照加固的目的)；2)保护环/漏(稳定衬底或 N 阱电势，抑制相邻晶体管间的漏电通道形成)；3)三模冗余(对三组输出进行多数表决获得最终输出，提升逻辑控制电路的抗单粒子辐照能力)，实现了读出电路的抗总剂量和抗单粒子能力加固。组合逻辑和时序逻辑加固设计方案如图 13 和图 14 所示。



(a) 传统像素结构

(b) 抗辐照加固像素结构

图 12　传统像素结构与加固像素结构示意图

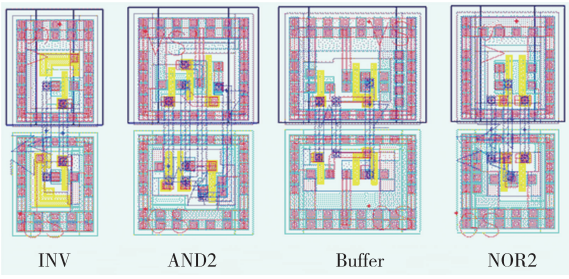


图 13　组合逻辑的保护环/漏版图加固设计

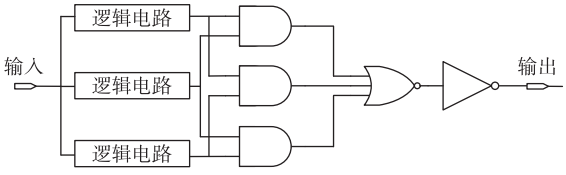


图 14　时序逻辑的三模冗余结构示意图

2　器件制作、测试及试验

本文对 6T 结构像素、列并行高精度数字化、高速信号读出、抗辐照加固等技术进行了设计，在 0.13 μm 标准 CIS 工艺上进行流片制作，研制出 7.5 μm×7.5 μm，2 048×2 048 CMOS 图像传感器。CIS 器件实物如图 15 所示，器件成像如图 16 所示，器件光响应曲线与 PTC 曲线如图 17 所示，其中图 17(a)为光响应曲线，以曝光量(LS)为横坐标，mean_value 为纵坐标；图 17(b)为 PTC 曲线，以平均值 mean_value 为横坐标，方差为纵坐标。参数测试情况如表 1 所示，测试结果表明：器件功能正常，成像效果良好，灵敏度、动态范围、满阱电荷、帧频等指标均达到预期要求，具备 12/10 位 ADC 可选、100 fps@10 位兼容 29.8 fps@12 位的高帧速数字化读出等功能。相比现有同阵列规格 CIS，该器件增加了全局与滚动曝光兼容可选、像素双增益、多模式控制等功能，灵敏度、满阱容量、动态和抗辐照水平均得到提升。

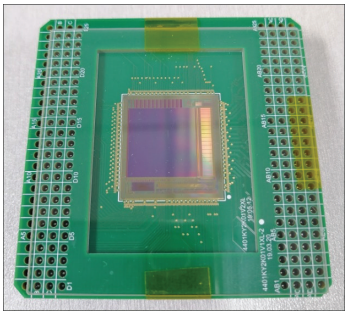


图 15　CIS 器件实物图

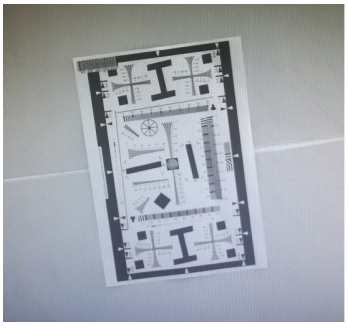
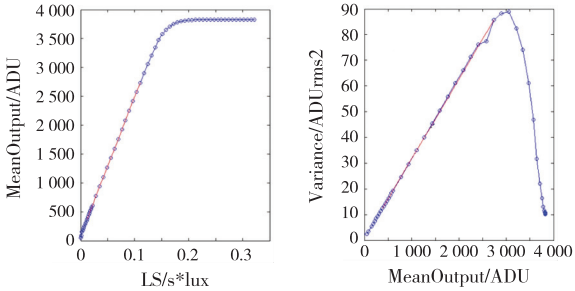


图 16　CIS 器件成像图



(a) 光响应曲线　　(b) PTC 曲线

图 17　器件光响应曲线与 PTC 曲线

总剂量辐照试验采用 ^{60}Co-γ 辐照源，当总剂量达到 100 krad(Si)时，CIS 器件的暗电流平均增长了 10 倍左右，读出噪声增长了 35%，动态范围降低了 7%。试验结果表明：读出噪声、暗电流随辐照剂量增大而增大，动态范围则随剂量累积呈减小趋势，与同工艺、同结构的未加固 CIS 器件相比，加固后 CIS

器件参数退化程度明显降低，参数突变的总剂量阈值增加。单粒子试验采用回旋加速器进行辐照试验，在线性能量传输(LET)值设为 75 MeV·cm²/mg 和辐照总注量累计到 1×10^7 p/cm² 的试验中，本文设计 CIS 器件的电流没有发生明显变化，功能正常，试验结果表明：CIS 器件的单粒子闩锁 LET 阈值达到 75 MeV·cm²/mg，所采用的电路结构和版图加固设计提升了器件的抗单粒子能力。

表 1 器件参数测试情况

序号	指标名称	测试值
1	像素规格	2 048×2 048
2	像元尺寸	7.5 μm×7.5 μm
3	无微透镜灵敏度	14.2 V/lux·s@550 nm
4	满阱电荷	127.6 ke⁻
5	暗电流	258.2 pA/cm²@(23±3) ℃
6	帧频	29.8 fps@12 位、100 fps@10 位
7	曝光方式	滚动与全局曝光可选
8	动态范围	63.5 dB(低增益)、72.5 dB(高低增益结合)
9	抗辐照	总剂量辐照：100 krad(Si) 单粒子闩锁 LET 阈值：75 MeV·cm²/mg

3 结论

针对高速目标的高精度探测及辐射环境的应用要求，为了解决 CMOS 图像传感器的高帧速、高灵敏度、高动态、高精度数字化、曝光模式兼容、抗辐照等技术难题，本文研究了 6T 结构有源像素结合单边列并行读出的器件架构方案和工作原理，开展了像素结构、列并行高精度数字化、高速读出、抗辐照加固等技术研究。基于 0.13 μm 标准 CIS 工艺，采用双增益像素结构、高帧速数字化读出、多通道可选输出、像素和电路抗辐照加固等方法，设计了 7.5 μm×7.5 μm，2 048×2 048 可见光 CMOS 图像传感器，该器件具备高灵敏度、高动态、全局与滚动曝光兼容可选、像素双增益、多通道高速输出、抗辐照等特点，填补了国内在曝光模式兼容、高灵敏度、高动态、抗辐照 CMOS 图像传感器方面的技术研究空白。测试结果表明：器件功能正常、成像效果良好，动态范围(高低增益结合模式下达到 72.5 dB，且不降低分辨率)、满阱电荷(127.6 ke⁻)、灵敏度(14.2 V/lux·s)、暗电流(258.2 pA/cm²)、帧速(100 fps@10 位兼容 29.8 fps@12 位)、抗辐照(总剂量辐照达 100 krad(Si)和单粒子闩锁阈值达 75 MeV·cm²/mg)等指标满足预期要求，实现了 CMOS 图像传感器的高灵敏度高动态成像、高精度数字化和高速输出、抗辐照加固等技术验证。相比同阵列规格器件，本文设计的 CIS 增加了全局与滚动曝光兼容可选、像素双增益、多模式控制等功能，灵敏度、满阱容量、动态和抗辐照水平得到提升，可满足高速高灵敏度高动态成像要求，对辐射环境的系统应用也具有重要意义。

参考文献：

[1] Chen Y, Xu Y, Mierop A J, et al. Column-parallel digital correlated multiple sampling for low-noise CMOS image sensors[J]. IEEE Sens. J., 2011, 12(4): 793-799.

[2] Suh S, Itoh S, Aoyama S, et al. Column-parallel correlated multiple sampling circuits for CMOS image sensors and their noise reduction effects[J]. Sensors, 2010, 10(10): 9139-9154.

[3] Schanz M, Nitta C, Bussmann A, et al. A high-dynamic-range CMOS image sensor for automotive applications[J]. IEEE J. Solid-State Circuits, 2000, 35(7): 932-938.

[4] Furuta M, Kawahito S, Inoue T, et al. A cyclic A/D converter with pixel noise and column-wise offset canceling for CMOS image sensors[C]// Proc. of the 31st ESSCIRC, 2005: 411-414.

[5] Stefanov K D, Dryera B J, Hall D J, et al. A global shutter CMOS image sensor for hyperspectral imaging[J]. Proc. SPIE, 2015, 9602: 96020K.

[6] Qian X, Yu H, Zhao B, et al. Design of a radiation tolerant CMOS image sensor[C]// International Symposium on Integrated Circuits (ISIC), 2011: 412-415.

[7] 金少雷，陈永平，陈世军. 基于时间域读出的大动态范围 CMOS 图像传感器[J]. 半导体光电，2023，44(1)：8-13.
Jin Shaolei, Chen Yongping, Chen Shijun. A high dynamic range CMOS image sensor based on time domain[J]. Semiconductor Optoelectronics, 2023, 44(1): 8-13.

[8] 张为森，马艳华，曲 杨，等. 一种应用于 CMOS 图像传感器的列级高精度 ADC 设计[J]. 半导体光电，2022，43(5)：867-872.
Zhang Weisen, Ma Yanhua, Qu Yang, et al. A column-level high resolution ADC design for CMOS image sensor[J]. Semiconductor Optoelectronics, 2022, 43(5): 867-872.

[9] 王祖军，赖善坤，杨 勰，等. CMOS 图像传感器辐照损伤效应仿真模拟研究进展[J]. 半导体光电，2022，43(5)：839-847.
Wang Zujun, Lai Shankun, Yang Xie, et al. Simulation research progress of radiation damage effects on CMOS image sensors[J]. Semiconductor Optoelectronics, 2022, 43(5): 839-847.

[10] 吕玉冰，吴琼瑶，刘昌举. CMOS 图像传感器抗电离辐射加固技术研究[J]. 半导体光电，2020，41(3)：331-335.
Lü Yubing, Wu Qiongyao, Liu Changju, et al. Study on radiation-harden technologies for CMOS image sensors[J]. Semiconductor Optoelectronics, 2020, 41(3): 331-335.

作者简介：

李 明(1984—)，男，高级工程师，主要从事 CIS、集成式图像传感器、图像处理等研究。