光电技术及应用

DOI：10.16818/j.issn1001－5868.2023120705

一种针对大像元 CCD 的电荷累积方法研究

袁世顺[1*]，杨　洪[1]，周建勇[1]，陈红兵[1]，王玉琳[1]，唐遵烈[1]

（重庆光电技术研究所，重庆 400060）

摘　要： 提出了一种针对大像元 CCD 的电荷累积的方法，包括器件内垂直和水平方向像元结构细分与电荷包求和，以及驱动时序上的多相非等分驱动。其特点在于，通过时序与 CCD 图传感器结构的配合，实现了大电荷量在图像传感器内累积的功能，大幅提高了模拟信号动态。再将此方法应用到一款 210 μm×210 μm 的大像元 CCD 器件上，以此方法为架构搭建硬件电路并进行软件设计，通过采集成像和参数测试对方法效果进行验证。测试结果表明，在不损失转移效率的情况下，实现了 CCD 内信号累积和模拟输出的 CDS 采集成像，提高了满阱容量和动态范围。

关键词： CCD 图像传感器；驱动时序；大电荷量

中图分类号： TP212　**文章编号：** 1001－5868(2024)04－0629－06

Method for Charge Accumulation in Large-Pixel CCD

YUAN Shishun[1], YANG Hong[1], ZHOU Jianyong[1], CHEN Hongbing[1], WANG Yulin[1], TANG Zunlie[1]

(Chongqing Optoelectronics Research Institute, Chongqing 400060, CHN)

Abstract: This article proposes a method for charge accumulation in a large-pixel CCD, which includes two aspects: The first is the subdivision of vertical and horizontal pixel structures within the device and the sum of charge packets. The second is the multiphase nonuniform driving in driving timing. This method is applied to a 210 μm×210 μm pixel CCD and is used to build hardware circuits and design software. Its effectiveness is verified via acquisition imaging and parameter testing. Results show that a large full-well capacity and dynamic range are achieved without compromising transfer efficiency.

Key words: CCD image sensor; driver timing; large charge quantity

0　引言

电荷耦合器件(CCD)具有低暗电流、高灵敏度、高光响应灵敏度、高动态范围、高测光精度、宽光谱响应范围、高几何稳定性、好的响应线性度等特点，在天文观测、航空航天遥感、科学测量、地面装备以及民用等领域得到广泛应用[1]。

大的动态范围对于成像质量至关重要，决定了图像对于场景细微光强差异的分辨力。对于航天对地成像，大的动态范围是极其重要的一个指标，即图像传感器能够响应的最大光强与最小可探测光强(通常由系统的噪底决定)的比值，用分贝(dB)作为单位[2]。在尽可能低的系统噪声基础上想要进一步提高动态范围，最直接的方法即是增大图像传感器的阱电荷容量。

大电荷量的存储和转移受限于像元阱深的工艺实现问题，因为读出频率的限制，单方面增加像元尺寸将引起电荷转移不及时，转移效率下降。本文所提出的方法，即是为了解决转移效率降低和像元电荷量增大之间的矛盾，通过将电荷包进行拆分后再转移，而后电荷包在垂直合并栅和浮置扩散放大器输出节点上进行累积。通过不断优化和验证，驱动电路采用非等分驱动时序使电荷包能够顺利实现累积并使信号能够被用于CCD器件进行CDS采样的

收稿日期：2023－12－07.

* **通信作者：**袁世顺

A/D 读出。通过硬件电路设计和时序的设计与优化，将此方法得以通过一款目标器件进行验证。经验证测试，实现了预期的功能，达到了设计指标。

1　理论分析

电荷转移效率(CTE)反映电荷在转移过程中保持其完整性的能力，促使电荷在 CCD 信道内转移的机理有三种：热扩散、自感应漂移和边缘场效应，电荷转移过程中占主导作用的对象取决于电荷包的大小[3]。热扩散、自感应漂移和边缘场效应从理论上规定了 CTE 的性能，CCD 信道中的局部陷阱也限定了 CTE，这些陷阱主要分为四类：设计陷阱、工艺陷阱、体陷阱和辐射陷阱。电荷转移效率有时也用电荷损失率(CTI)来表示：$CTI=1-CTE$。

目标像元损失的电荷作为目标像元后面像元的延迟电荷表现出来，造成图像拖影，降低 CCD 的调制转移函数(MTF)，影响图像成像质量。因此，CCD 需要具有高的电荷转移效率，尤其是对于大阵列探测器。CTE 定义为一个电荷包在一次转移过程中被转移的电荷占原电荷的百分比，其计算公式为：$CTE=(Q_n/Q_0)1/N$。Q_0 为转移前的电荷量，Q_n 为经过 N 次转移后剩余的电荷量。为提高 CTE，从以下两个方面考虑：(1)选用优质低体缺陷的硅材料，降低设计陷阱；(2)采用埋沟技术避免界面态对转移效率的影响。

体内陷阱是影响转移效率的主要因素，为此采用多重吸杂技术降低体缺陷密度，在硅表面形成一层厚约 20 μm 的“清洁区”，同时采用三氯乙烯源作掺氯氧化，抑制或清除堆垛层错生成和吸杂除钠离子作用，这样体内陷阱大大降低，提高了电荷转移效率。通过下式可以估算埋沟 CCD 体内陷阱对电荷转移效率的影响，这时体内陷阱成了影响转移效率的重要因素：

$$\Delta Q=q\cdot N_b\cdot V_s\cdot\exp(1/Tf\tau)\cdot[1-\exp(m/f\tau)] \tag{1}$$

式中，ΔQ 为每次转移电荷的损失量，N_b 为单位体积缺陷数量，它们位于导带底的某个能级，V_s 为电子势阱某一电荷占据的体积，f 为时钟频率，T 为时钟周期，τ 为发射时间常数，m 为信号电荷包前面有个空位，q 为电子电荷。

可以看出，转移效率与体内态、工作频率和体内态的发射时间常数有关。取发射时间为 275 μs，体内有效陷阱密度为 1.2×10^{11} cm^{-3}，当电荷包前的空位数较少时，CCD 的转移损失率为 10^{-5} 量级。

大像元以及相对较短的行周期是影响探测器转移效率两大因素，项目需求的行周期为 450 μs，像元读出速率约为 230 kHz；探测器像元尺寸为 210 μm×210 μm，按照四相转移设计，每一相尺寸为 52.5 μm，按照边缘场转移机制以及 0.999 95 转移效率要求，可以实现的最高频率为 84 kHz，不能满足像元读出速率约为 230 kHz 要求。水平细分之后，每一相多晶硅栅长为 13.625 μm，对于转移效率为 0.999 95 指标要求，对应可以实现最高 4 MHz 频率。

2　器件结构

此方法需将 CCD 图像传感器的像元进行“细分设计”，同时其结构需具有 SCK(垂直 CCD 求和栅)、TCK(垂直至水平信号转移栅)和 OG(输出栅)。设计上将目标图像传感器设计为四相转移的 TDICCD 器件，经计算分析将垂直区和水平区一个像元拆分为了四等分，即垂直和水平方向上各四个传统意义上的像元结构合并为了一个像元，使其单次转移电荷数变为四分之一。

2.1　垂直 CCD 细分结构

如图 1 所示，VCCD 一共有 16 根多晶硅条，每四根多晶硅条(分别是 CI1_B，CI2_B，CI3_B，CI4_B)构成一组，一共四组。

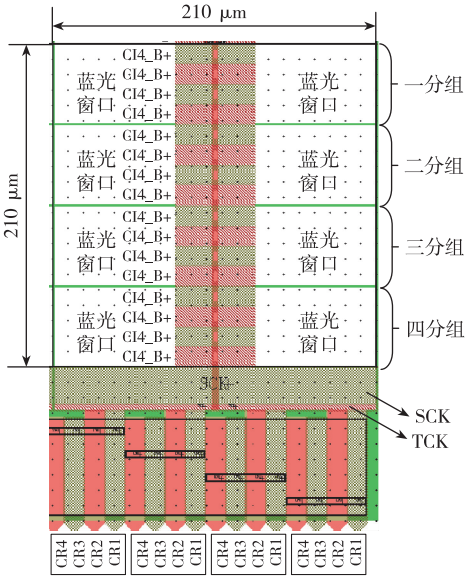


图 1　像元结构示意图

器件工作时，信号在一、二、三、四分组中进行“拆分”，产生的光生信号在 VCCD 时钟 CI1_B，CI2_B，CI3_B，CI4_B 作用下，信号向下转移，并在求和

势阱 SCK 中进行一、二、三、四分组信号“求和”，待“求和”完成后，信号再经 TCK 转移至 HCCD，从图 1 可以看出：

(1)SCK 与 VCCD 时钟相 CI4_B 承接；

(2)HCCD 时钟 CR1，CR2 与 TCK 相承接。

2.2 水平 CCD 细分结构

从图 1 可以看出，与 VCCD 类似，HCCD 也进行了“细分”设计，如图 1 所示一共有四组“CR1，CR2，CR3，CR4”，在 SCK 中的信号再次在 HCCD 中“拆分”，在 HCCD 时钟脉冲驱动下，“拆分”的信号自右向左转移，在输出节点浮置扩散 FD 中再次实现“求和”，再经放大器输出。

综上所述，器件总的工作原理及过程是：信号拆分→信号求和→信号拆分→信号求和→输出。

2.3 浮置扩散放大器工作原理

采用一级源跟随浮置扩散放大器输出结构，如图 2 所示。

图中 OG 为输出栅，RG 是复位栅，RD 为复位漏，DD 为放大器电源电压，mr 为复位管，m1 是一级放大器，R 和 C 为外部负载，组成单级源跟随放大器，out 为信号输出端。

CCD 光敏区产生的光电子信号经过 CCD 的转移，最后被送到输出节点。结点电容的大小将决定信号电荷对电压的转换能力，表示单个电子电荷量转换成对应电压值的能力。计算公式为：$Sv = q/Cs$，式中 SV 为 CCD 输出节点转换灵敏度，q 为电子电量，Cs 为输出节点有效电容。输出节点电容由两部分组成：CMOS(CCD 输出节点 MOS 电容)和 CFD(CCD 输出节点浮置扩散电容)。

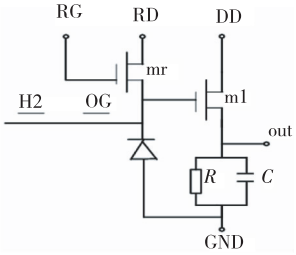


图 2 一级浮置扩散放大器结构原理图

3 时序设计

时序设计过程如图 3 所示，经历了理论分析、时序构思、代码实现、时序仿真、时序调试、时序优化、参数测试、成像演示过程，其中时序优化过程是反复进行之前的理论分析到时序调试的循环。最初设计时序难以匹配 CDS 采样时序，而转移过程进行得太快之后又无法保证转移效率，时序间的交叠和上升下降沿的阻抗匹配更是经历了反复的分析和试验。

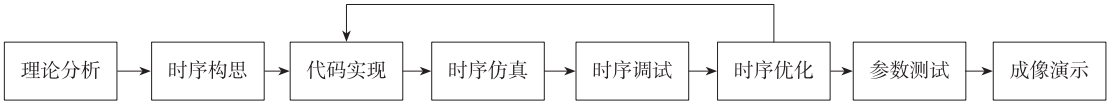


图 3 时序设计流程框图

经过不断的优化和试验得到了以下较为成熟的设计方案，如图 4 所示，现对于上升下降沿的阻抗匹配不进行描述，仅介绍此种驱动的时序设计架构。

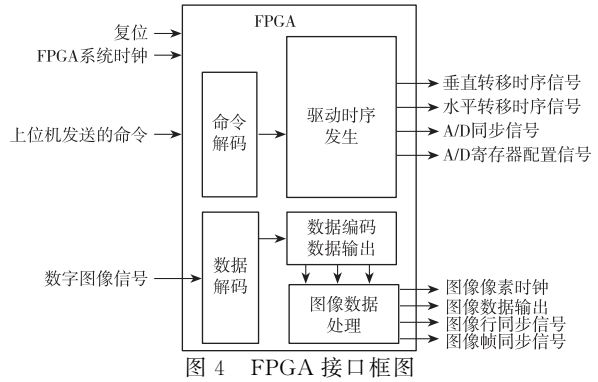


图 4 FPGA 接口框图

3.1 垂直转移时序设计

垂直转移时序和整个行周期是同步的，采用的垂直和水平同时转移的时序。如图 5 中垂直转移时序等分为了 16 个状态，T_1 为一个状态的时间，T_2 为 SCK 和 TCK 脉冲所需时间，T_3 为测试模式下的积分时间，最小可为0。垂直区转移四次后，信号累

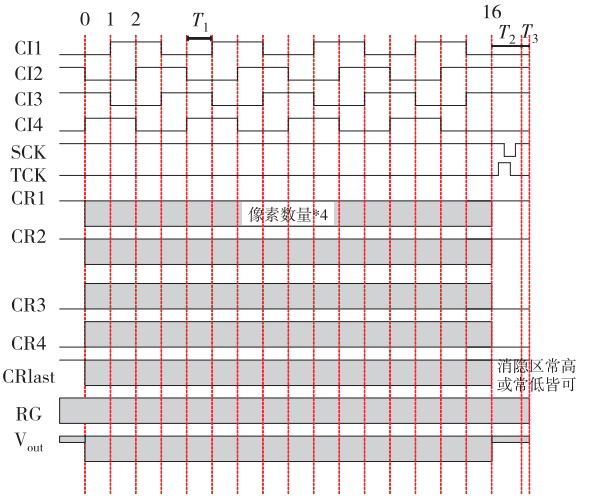


图 5 整体时序图

积在 SCK 中，此时要求 SCK 区域的电荷容量大于像元最大电荷容量，才能保证无信号溢出。然后通过 TCK 脉冲和 SCK 脉冲将信号电荷转移到水平承接像元 CR1 相上。T_1 和 T_2 的具体时间在此不便给出，仅作示意参考。

3.2　水平转移时序设计

水平转移时序的设计需综合考虑水平转移电荷的读出、节点电荷的累积和 CDS 采样（相关双采样）采集时序等相关因素。CDS 采样是 CCD 图像传感器模拟图像信号处理的关键，能对复位噪声和参考电平的变化用相关特性加以抑制[4]。CCD 输出的视频信号包含大量的噪声，主要有光子散弹噪声、暗电流噪声、复位噪声，其中复位噪声是主要消除对象，同时可抑制低频噪声和宽带白噪声[5]。如图 6 所示，CDS 采用两级高速采样保持器，一级用来采集复位电平，一级用来采集像元信号电平，采样的位置需符合一定的时序要求才能顺利地被 A/D 解码。

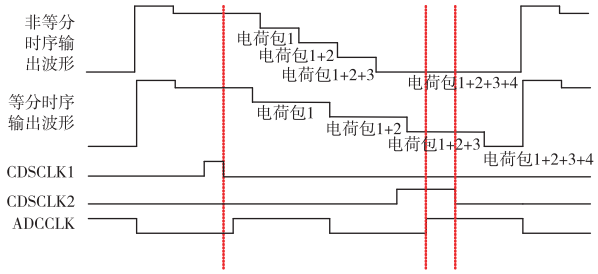
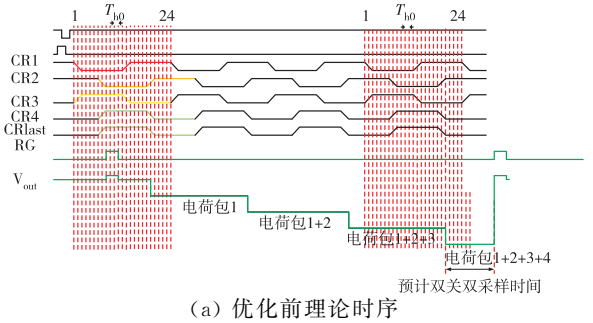


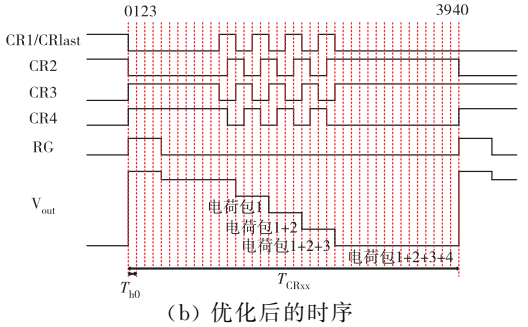
图 6　CDS 采样时序示意图

水平的驱动时序则是按照转移原理进行设计后，再通过反复尝试和优化得来的。首先要考虑频率对于转移效率的影响，又要满足一定的像素时钟频率要求，还要兼顾考虑 A/D 进行 CDS 采样时的采样位置和时序，最后综合优化得到一个各方面性能指标能满足要求的时序波形。此种时序的关键在于在像素周期内，通过四次处于周期内特定位置的转移脉冲将电荷包转移至 FD 放大器内进行累积。由于一个像素周期内 RG 信号只复位一次，故电荷包会经历四次累积过程，单个像素周期输出的模拟图像信号 V_{out} 如图 7 所示，呈现为阶梯状的四次累积。而处于特定位置的转移脉冲使 V_{out} 信号前端拥有足够宽度的复位参考平台，后端叠加的电信号有足够的采样宽度，以实现与 A/D 进行 CDS 采样时序的配合。其中 T_{h0} 是将像素周期均分为了 40 等分，其中每一份的时间 T_{CRxx} 是像素周期的时间。

水平驱动的优化设计是基于每一相多晶硅栅长为 13.625 μm，可以达到最高 4 MHz 的频率，而实际像元读出速率要求为 230 kHz。则在读出转移过程中在最高频率不超过 4 MHz，同时兼顾 CDS 采样位置的综合考虑下，将水平驱动集中在了像元读出周期的中段。经优化后的时序，反复经过多批次元器件参数测试的验证后，既兼顾了电路设计的硬件设计，又与图像传感器结构相配合不会使参数性能下降。



(a) 优化前理论时序



(b) 优化后的时序

图 7　水平驱动及输出信号时序图

4　验证电路设计

图像传感器各个栅施加的驱动时序均由 FPGA 产生，然后通过驱动器转换为所需电平的驱动脉冲后，送至图像传感器各个引脚。接口电路负责接收控制命令送给 MCU 和将 FPGA 输出的图像数据按照 Cameralink 数据格式对外输出。MCU 负责接收接口电路的控制命令信号，将时序控制命令通过 ISP 协议送给 FPGA，将电平控制命令转换输出给对应的 D/A 通道。D/A 接收到 MCU 送出的电平控制命令，将对应通道的电平根据命令调整后输出至运放。运放负责将 D/A 输出的电平负载能力放大后作为图像传感器偏置电压和驱动电平电压分别送给图像传感器、模拟开关和驱动电路。FPGA 接收 MCU 通过 ISP 协议送来的时序控制命令，对时序进行调整后将产生的时序送给驱动电路和信号处理器，同时接收信号处理器送来的图像数据，对图像数据进行编码缓存后输出至接口电路。驱动电路负

载将 FPGA 输出的驱动时序按照运放提供的电平输出为对应电平的驱动脉冲信号，送给图像传感器或送至模拟开关。模拟开关根据控制电平负责切换栅的电平或脉冲状态，实现部分栅功能的灵活控制。信号处理器负责按照控制命令将图像模拟信号经 CDS 采用后转换为图像数据的数字信号输出给 FPGA。

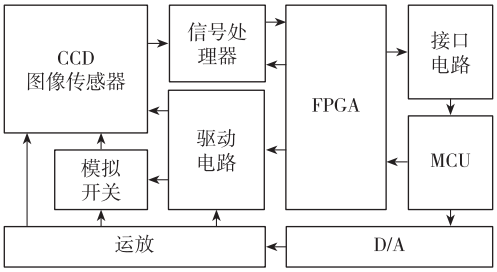


图 8 电路设计架构图

图像传感器收到的驱动信号如图 9 和表 1 所示，分为三种类型，分别是直流偏置电压、低频脉冲信号和高频脉冲信号。其中 TCK，SCK 和 CI1～CI4 为低频脉冲信号，CR1～CR4，CRlast 和 RG 为高频脉冲信号。

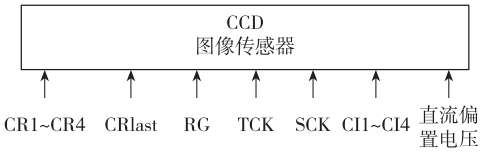


图 9 图像传感器接收的驱动信号示意图

表 1 图像传感器栅名称对应表

驱动缩写	CI_X	SCK	TCK	CR1～CR4	CRLast	RG
栅名称	垂直区时钟电平	累加栅	转移栅	水平移位寄存器	水平移位寄存器最后一相	复位时钟

其中高频脉冲信号的驱动电路为高速转移脉冲电路，以 EL7155 驱动器加外围钳位电路的方式，幅度设置范围为 5～12 V、低电平的设置范围为－12～0 V、负载能力大于等于 200 pF@20 MHz。低频脉冲信号的驱动电路为低速脉冲电路，以 MAX333A 模拟开关和 IRF7309 驱动器搭建，高电平的设置范围为 0～15 V、低电平的设置范围为－12～0 V、负载能力不低于 10 nF@5 KHz；直流电平的电压设置－15～20 V、最大输出电流不低于 200 mA。

图像模拟信号处理器使用的是 AD9826，这是一款专门为 CCD 应用而开发的信号处理电路。AD9826 的信号链由输入钳位电路、相关双取样电路、可编程偏置模数转换电路及可编程增益放大器构成，其允许的峰值输入最大可达 4 V。

5 设计结果

最终优化后的时序应用到了宇航对地观测型号项目的载荷上，达到了既定的功能和性能指标，实现了对应型号的图像传感器、驱动电路和驱动时序的应用。实际的水平移位寄存器势阱能力大于 16 000 ke^-，动态范围大于 22 624∶1，转移效率大于 0.999 95。

此种时序与传统时序相比，不同点如下：

(1)垂直驱动和水平驱动都将电荷累积了四次后才往后一级转移；

(2)水平驱动的脉冲并不是等分在像素周期内，而是经反复验证后压缩到周期的一段特定时间段内；

(3)输出波形与传统时序的输出波形相比，有明显的四次电荷包累积过程，但又有足够的 CDS 采样宽度；

结合特殊结构的 CCD 图像传感器，得到的输出模拟信号波形和成像效果如图 10 和 11 所示：

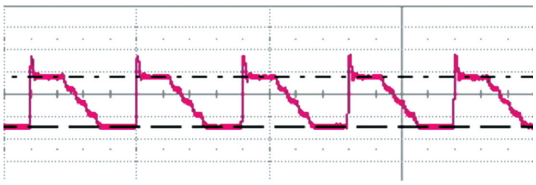


图 10 输出信号实测波形



图 11 成像效果图(部分)

满阱容量的主要影响因素为存储栅面积和埋沟注入工艺两个方面，水平移位寄存器存贮电荷面积为 63 $\mu m \times 210/2\ \mu m = 6\,615\ \mu m^2$，埋沟注入磷工艺条件下转移栅有效满阱电子数水平约 2 500 $e^-/\mu m^2$，水平移位寄存器势阱能力约为 6 615 $\mu m^2 \times 2\,500\ e^-/\mu m^2 = 16\,537.5\ ke^-$。

动态范围定义为 CCD 满阱容量与读出噪声之比，用分贝的形式表示为：

$$DR = 20 \cdot \lg\left(\frac{S_{FW}(e^-)}{\sigma_R(e^-)}\right) \tag{2}$$

式中，$S_{FW}(e^-)$为 CCD 像元的满阱容量，$\sigma_R(e^-)$为 CCD 的读出噪声[6]。根据满阱容量保底设计值大于 $1.0\times10^7\ e^-$，噪声电子数实测值小于 442 e^- 计

算，动态范围为大于 22 624∶1。

6　结论

本文介绍了一种结合特殊结构的 CCD 图像传感器而实现的图像传感器内大电荷量累积成像的驱动时序。其特点在于通过时序与 CCD 图像传感器结构的巧妙配合，实现了大电荷量在图像传感器内累积的功能，有效地大幅度提高了模拟信号动态；同时通过经验分析和反复试验，找到了既能满足图像传感器转移效率要求，又能匹配 A/D 进行 CDS 采集的驱动时序，使外围不需要特殊的外围电路即可实现阶梯状模拟信号的 CDS 采样。由此可见，采用该时序不但可以实现 CCD 内信号累积，而且还能方便地被 A/D 采集进行成像，实现了大满阱容量、大动态范围的 CCD 图像采集。

参考文献：

[1] 王俊波. CCD 图像传感器技术与应用[M]. 成都：电子科技大学出版社，2004.

[2] 王庆有. 图像传感器应用技术[M]. 北京：电子工业出版社，2003.

[3] 李　立. CCD 图像传感器输出节点电荷容量设计[J]. 半导体光电，2022，43(4)：777-780.
Li Li. Design for charge handling capacity of sense node in CCDs[J]. Semiconductor Optoelectronics，2022，43(4)：777-780.

[4] 杨　洪，李　金，白雪平，等. 一种具有开窗功能的行间转移 CCD 图像传感器[J]. 半导体光电，2021，42(1)：25-29，65.
Yang Hong，Li Jin，Bai Xueping，et al. An interline CCD image sensor with open window ability[J]. Semiconductor Optoelectronics，2021，42(1)：25-29，65.

[5] 熊　平. CCD 与 CMOS 图像传感器特点比较[J]. 半导体光电，2004，25(1)：1-4，42.
Xiong Ping. Comparison of CCD and CMOS image sensors[J]. Semiconductor Optoelectronics，2004，25(1)：1-4，42.

[6] 廖乃镘，刘绪化，刘昌林，等. 横向抗弥散多光谱 TDI CCD 图像传感器[J]. 半导体光电，2019，40(1)：17-19，24.
Liao Naiman，Liu Xuhua，Liu Changlin，et al. Multispectral TDI CCD imaging sensors with lateral anti-blooming ability[J]. Semiconductor Optoelectronics，2019，40(1)：17-19，24.

作者简介：

袁世顺(1989—)，男，重庆市人，工程硕士，从事图像传感器测试电路设计及成像组件相关研究。