光电技术及应用

DOI：10.16818/j.issn1001－5868.2023122203

可配置分段式 FFE 高速 SerDes 发送端设计

张春茗，张得胜*，陶保明

（西安邮电大学 电子工程学院，西安 710121）

摘　要： 基于 28 nm CMOS 工艺实现 56 Gb/s NRZ 和 112 Gb/s PAM-4 双模发送端设计，均衡采用一个数据多路复用架构，支持完全可配置的分段式前向反馈均衡(FFE)，终端输出网络采用带有上拉电流源的电流模式逻辑(CML)驱动拓扑结构。关键的电路结构和技术包括：依靠段落分配模块对 FFE 的段落进行分配，实现抽头权重的粗调；采用预充型 1-UI 脉冲发生器＋4∶1 MUX 架构改善带宽；驱动器采用负载端并接电流源提升共模电压和插入 T 形线圈的方法来扩展输出带宽和提高输出摆幅。仿真结果表明在输出 112 Gb/sPAM4 情况下眼高为 40 mV，56 Gb/s NRZ 情况下为 130 mV。

关键词： 分段式 FFE；双模发射机；CML 驱动；4∶1 MUX

中图分类号： TN715；TN791　**文章编号：** 1001－5868(2024)04－0641－06

Design of A Configurable Segmented FFE High-Speed SerDes Transmitter

ZHANG Chunming, ZHANG Desheng, TAO Baoming

(School of Electronic Engineering, Xi'an University of Posts and Telecommunications, Xi'an 710121, CHN)

Abstract: In this study, we implemented a 56 Gb/s NRZ and 112 Gb/s PAM-4 dual-mode transmitter design on a 28 nm CMOS process. For the equalization, we used a data multiplexing architecture to support a fully configurable segmented feed-forward equalizer (FFE). Next, we adopted a current-mode logic (CML) driver topology, with a pull-up current source, as the terminal output network. The key circuit structures and techniques included relying on a paragraph allocation module to allocate paragraphs for the FFE and achieving coarse adjustments of the tap weights. We utilized a pre-charged 1-UI pulse generator and 4∶1 MUX to enhance the bandwidth. The driver incorporated a load-side parallel current source to boost the common-mode voltage and a T-coil to extend the output bandwidth and swing. Our simulation results demonstrated that the eye heights for the 112 Gb/s PAM4 and 56 Gb/s NRZ output were 40 and 130 mV, respectively.

Key words: segmented FFE; dual-mode transmitter; CML driver; 4∶1 MUX

0　引言

随着超高速互联的需求不断扩大，推动了每通道运行速度超过 100 Gb/s 的有线发送端的发展。有线通信对数据速率提出了更高的需求，例如在 100 Gb/s$^+$ 范围中使用 4 电平脉冲幅度调制(PAM-4)信号[1]。PAM-4 信号允许每帧数据速率翻倍，而不需要相应地增加电路带宽，PAM-4 信号通常用于高速率数据传输中，以提高频谱效率[2]。然而，即使 PAM4 信号相对于 NRZ 信号具有更高的频谱效率，但这并不代表其成为所有系统的最优调制选择。最优调制是目标数据速率和信道损失的函数[3]，大

收稿日期：2023－12－22.

基金项目：低功耗高集成高性能 100 G 光传输系统研究与应用示范项目(2019YFB1803600).

* **通信作者：**张得胜

多数标准依旧使用简单的二进制 NRZ 信号调制。为了向后兼容现有的 NRZ 标准，对双模式信号发送端的研究仍然很有意义。另一方面芯片到模块的链接是一种重要的 I/O 应用，这种短距离链路通常具有 10 dB 或更高的信道损耗[4]。面对不同信道的损耗，需要发送端均衡权重的灵活变动。因此，在本文中实现了一种可配置均衡权重的 56 Gb/s NRZ 和 112 Gb/s PAM-4 双模发送端。

1　整体电路架构

发送端整体电路框图如图 1 所示。数据路径包括 64∶8 MUX、温度编码器和重定时器，然后是包含三个等权重均衡束的可配置分段式 FFE。发射机同时支持 PAM-4 和 NRZ 信号，FFE 均衡束在 PAM-4 模式下接收三个不同温度编码的信号(T8a/b/c)，或在 NRZ 模式下接收三个相同的信号[5]。每个 FFE 均衡束由 6 个并行的游标段组成。每个游标段包含一个均衡配置模块和 1-UI 脉冲发生器。4∶1 MUX 将来自各段的单位脉冲进行串化求和，传递给带有 50 Ω 终端电阻和上拉电流源的 CML 驱动中，并以大的驱动能力将信号驱动至信道。发送端所需时钟由 PLL 提供。PLL 产生 14 GHz 4 相位正交时钟，经相位插值器和正交校正器生成 $C4_{I/Q}$，然后由分频器分别生成 7 GHz C8，C8’和 3.5 GHz C16。

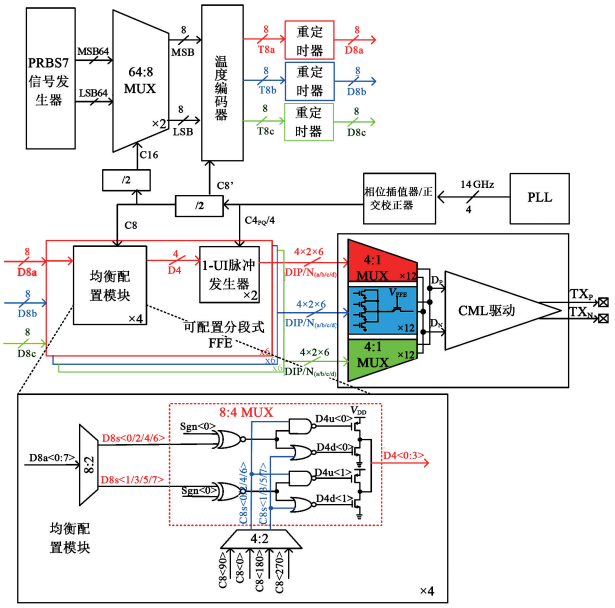
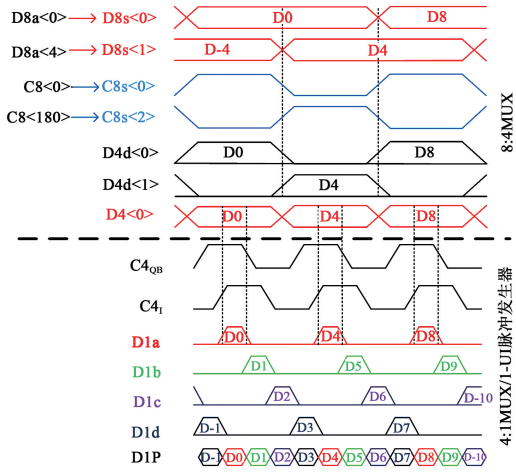


图 1　发送端整体电路框图

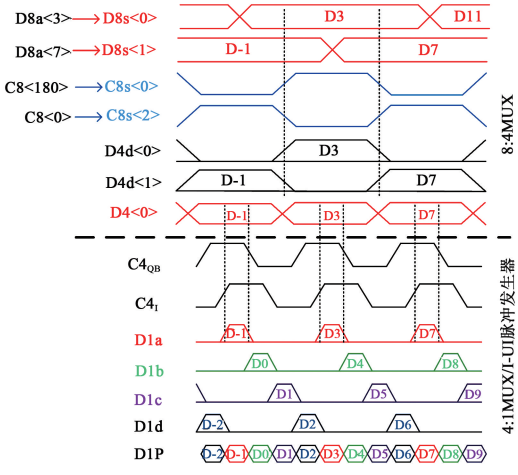
可配置分段式 FFE 通过分配前、主、后游标段的数量来实现均衡权重的粗调。如何配置前、主、后游标段是由均衡配置模块来实现的，而均衡配置模块的实质是对数据和时钟的选择。例如图 2 所示。

主游标段中数据 D8s〈0〉，D8s〈1〉通过 8∶2MUX 分别选择 D8a〈0〉，D8a〈4〉，时钟 C8s〈0〉，C8s〈2〉通过 4∶2 MUX 分别选择 C8〈0〉，C8〈180〉。在这种情况下，将 D8s〈0〉，D8s〈1〉和 C8s〈0〉，C8s〈2〉逻辑结合，生成脉冲 D4d〈0〉和 D4d〈1〉，然后进一步串化生成 4-UI 脉冲 D4〈0〉，最后将 D4〈0〉与 $C4_I$ 和 $C4_{QB}$ 结合生成 1-UI 脉冲 D1a，D1(a/b/c/d)经 4∶1MUX 最终输出 D1P。

在第一后游标段中不同于主游标段的是，数据 D8s〈0〉，D8s〈1〉分别选择 D8a〈3〉，D8a〈7〉，时钟 C8s〈0〉，C8s〈2〉分别选择 C8〈180〉，C8〈0〉。在这种情况下，数据 D8s〈0〉，D8s〈1〉与时钟 C8s〈0〉，C8s〈2〉逻辑结合生成 D4〈0〉，随后再由 $C4_I$ 和 $C4_{QB}$ 生成 1-UI 脉冲 D1a，最终输出 D1P。此时与主游标段输出的 D1P 正好延迟 1-UI。



(a) 主游标段时序图



(b) 第一后游标段时序图

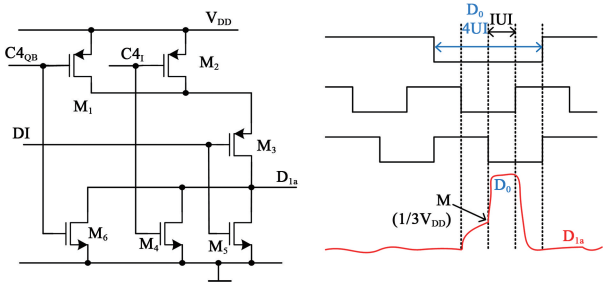
图 2　主游标段和第一后游标段时序图

2 电路设计

2.1 1-UI 脉冲发生器

本文采用的 1-UI 脉冲发生器是基于两级动态逻辑的预充脉冲发生器，其时序图如图 3 所示。第一阶段(脉冲发生的前一个 UI 时间内)，$C4_{QB}$ 为低电位，$C4_I$ 为高电位，此时晶体管 M_1，M_3 和 M_4 晶体管导通，M_1 和 M_3 组合为弱的上拉晶体管，晶体管 M_4 为强拉晶体管，使得 D1a 可以预冲到 M 处，约等于 1/3 V_{DD}，接近 NMOS 的阈值电压。第二阶段，$C4_{QB}$ 和 $C4_I$ 同时为低电位，此时上拉晶体管 M_1，M_2 和 M_3 全部导通，将 D1a 快速的从 M 点强拉到 V_{DD}。

本文提出的预充 1-UI 脉冲发生器，减少了三晶体管堆叠产生的内部节点的寄生，表现出更低的抖动。并且，由于提前预充，使其更能适用于高速率数据传输中，解决了高传输速率时，脉冲难以爬升到 V_{DD} 的问题[6]。

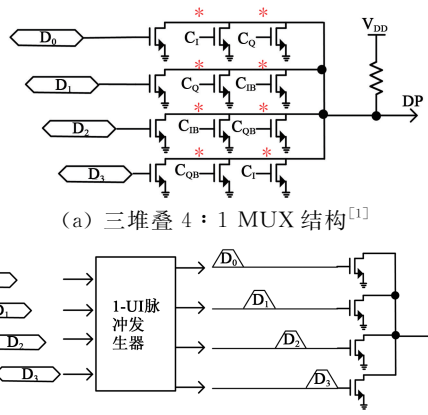


(a) 发生器 (b) 时序图

图 3 预充 1-UI 脉冲发生器及时序图

2.2 4∶1 MUX

当信号速率在 50 Gb/s 乃至更高时，4∶1 MUX 电路基本代表着 1/4 速率体系结构中速度和功率的瓶颈[1]。图 4(a)显示了一个由 NMOS 晶体管搭建的三堆叠 4∶1 MUX 结构。数据位是由两个相邻相位的正交时钟从输入的 4UI 脉宽内采样得到的。虽然三堆叠结构的电路简单，但堆叠晶体管的内部寄生降低了 4∶1 MUX 的带宽，而且未驱动的内部节点(由 * 标出)产生了码间串扰(ISI)。因此，三堆叠的 4∶1 MUX 不能在目标速度下满足低失真传输。本文采用无堆叠的 4∶1 MUX，如图 4(b)所示。由 1-UI 脉冲发生器将数据从 4-UI 脉冲中提取出来，产生了可供 4∶1 MUX 直接进行串化的单位脉冲，避免了 4∶1 MUX 内时钟采样晶体管的堆叠。尽管功能被分为两个阶段，但这种拓扑结构消除了 4∶1 MUX 内的驱动节点，拥有更高的输出带宽。



(a) 三堆叠 4∶1 MUX 结构[1]

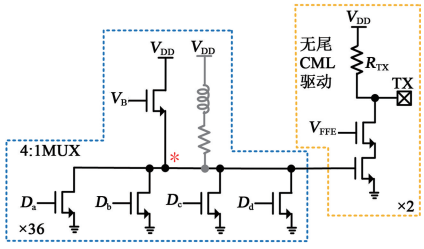
(b) 1-UI 脉冲发生器+4∶1 MUX 结构

图 4 两种不同的 4∶1 MUX 结构

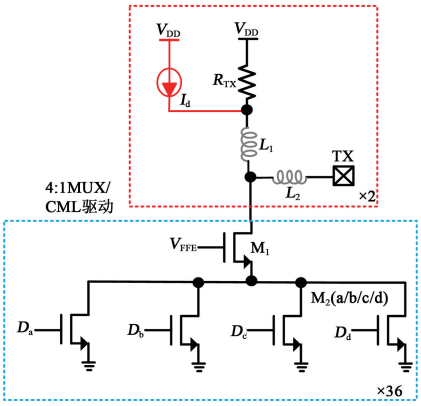
2.3 CML 驱动

CML 驱动常用的两种结构：有尾 CML 和无尾 CML。有尾 CML 在尾电流源处产生较大的寄生，影响了整个驱动的输出带宽[7]。因此，选择带宽更高的无尾 CML 驱动器是最佳的方案。

驱动器寄生的全速率节点和负载电容对发送端的性能有显著影响。因此，4∶1 MUX 和驱动程序的优化对于输出带宽和发送端功率是至关重要的。图 5 显示了 4∶1 MUX 与无尾 CML 驱动连接的两种方式。在图 5(a)中可以发现 MUX 内部拥有一个全速率节点，降低了输出带宽。为了解决这一问题，文献[3]中采用了一种无源电感器来实现并联峰化。然而，分段式 FFE 结构不允许在集中的内部节点处添加无源电感。可以在每个段落上添加一个有源电感和负载来扩展带宽，但在 28 nm CMOS 工艺中全速率节点处的寄生电容中和了有源电感的影响，有源电感的尺寸不足以满足该设计实现全速率操作[8]。因此，我们选择将 4∶1 MUX 直接作为无尾 CML 驱动电路的输入极，如图 5(b)所示，驱动程序只在输出处有一个全速率节点，并且在驱动中可通过增加无源电感器来扩展带宽。对于 FFE 均衡权重的微调，可以通过调节 V_{FFE} 改变驱动器的输出电流来实现。



(a) 方式一



(b) 方式二

图 5　4∶1 MUX 与 CML 的连接架构图

图 5(b)中，为了减小有源器件 M_1 和 M_2(a/b/c/d)的寄生电容，应尽可能减小 M_1 和 M_2(a/b/c/d)的总宽度。同时，M_1 和 M_2(a/b/c/d)的过驱动电压也随之变大。由于过驱动电压较大，当输出电压发生变化时，晶体管通常保持在线性区内。有源器件 M_1 和 M_2(a/b/c/d)进入线性区时，输出电阻会降低，将导致阻抗失配[9]。

为了解决这个问题，我们需要提高输出的共模电压，最简单方法就是增加输出驱动的电源电压，然而电源电压过高会导致稳定性问题，并增大驱动器的功率[10]。我们在设计中选择添加了一个上拉电流源来增加共模电压。此外，上拉电流源结合驱动器负载电阻 R_{TX} 可稳定输出电阻 R_{OUT}。图 6 显示了总的输出阻抗在随输出电压变化时的波动情况，通过调整不同 PVT 工艺角下的电流，整个输出电压范围内的整体输出阻抗保持在 40～60 Ω。

为扩展输出带宽，我们引入一个电感 L_1，加入一个电感与负载电阻串联提供一个阻抗随频率增加的元件(引入一个零点)。小信号模型如图 7 所示。输出阻抗为：

$$Z(s)=(sL_1+R)\left\|\frac{1}{sC_L}=\frac{R(sL_1/R+1)}{s^2L_1C_L+sRC_L+1}\right. \tag{1}$$

模值为：

$$|Z(j\omega)|=R\sqrt{\frac{(\omega L_1/R)^2+1}{(1-\omega^2L_1C_L)^2+(\omega RC_L)^2}} \tag{2}$$

公式(2)分子随频率增加而增加，而分母中$(1-\omega^2L_1C_L)$对于低于 L_1C_1 谐振的频率也会使$|Z|$增加，这两项同时扩展了频宽。为求出 L_1 值的最优解，引入一个因子 μ，定义为两个时间常数 RC_L 和 L_1/C_L 的比值，当 μ 约等于 2.41 时，可得到最大平坦度的频率响应，其归一化后的带宽可扩展到原来的 1.72 倍[3]。为进一步阻断来自各段 M_2(a/b/c/d)带来的波纹，另加一个同等大小的副电感 L_2，与 L_1 形成 T-coil 结构。加入 T-coil 之后其带宽扩展为 30 G 左右，足以满足设计要求，仿真结果如图 8 所示。

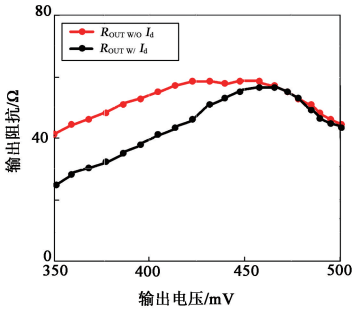


图 6　总输出阻抗模拟结果

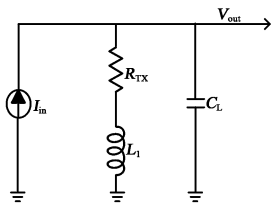


图 7　CML 输出阻抗小信号模型

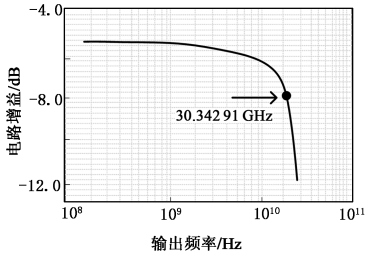


图 8　输出带宽仿真结果

3　结果仿真与验证

采用 28 nm CMOS 工艺设计和验证，由 PRBS7 作为信号源，PLL、分频器、相位插值器和正交校正器提供 7 GHz 的 C8 和 14 GHz 的 $C4_{I/Q}$ 正交时钟。利用 Cadence IC 615 软件进行仿真验证得到的结果如图 9 所示。

图 9 为一次主游标和两次后游标得到的 PAM-4 仿真眼图结果，粗调游标段配置为主游标：9/18、第一后游标：6/18、第二后游标：3/18，提供细调 V_{FFE} 偏置电压分别为 800，800 和 600 mV。在 PAM-4 模式下得到眼高 40 mV，抖动为 8 ps，眼宽约为 0.5 UI。

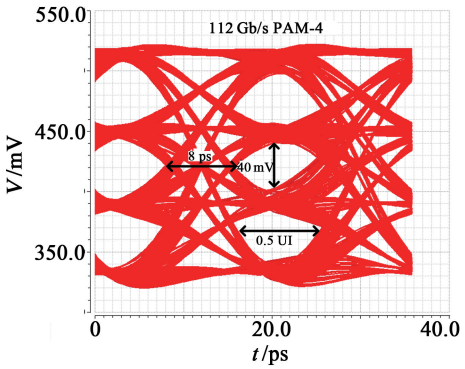


图 9 PAM-4 仿真眼图

图 10 为一次主游标和两次后游标得到的 NRZ 眼图结果，并且调游标段配置为主游标：9/18、第一后游标：7/18、第二后游标：2/18，提供细调 V_{FFE} 偏置电压分别为 800，700 和 600 mV。在 NRZ 模式下得到眼高 130 mV，抖动为 2.8 ps，眼宽约为 0.84 UI。

相比于文献[3]，本文采用可配置分段式 FFE，采用 4∶1 MUX 作为 CML 驱动输入级的连接方式，扩展优化带宽，避免了无源电感的使用，在得出与图 11 眼图效果相仿的同时，实现了均衡的灵活性；与文献[8]相比，本文采用 1/4 速率的架构，在相同的工艺下将数据速率提高 2 倍；图 12 为文献[10]中 PAM-4 眼图，从图中对比可知，本文电路和文献[10]中的数据传输率相同，但本文电路采用了低电源电压，且眼图质量更佳。

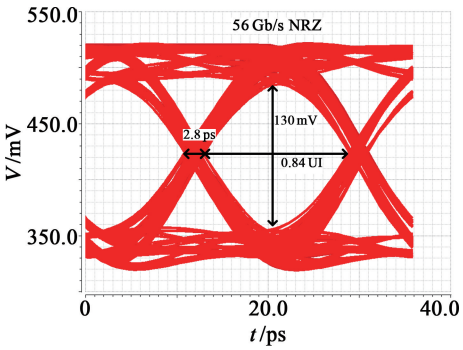


图 10 NRZ 仿真眼图

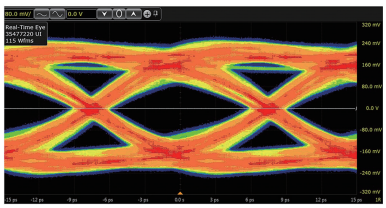


图 11 文献[3]的 64 Gb/s NRZ 仿真眼图

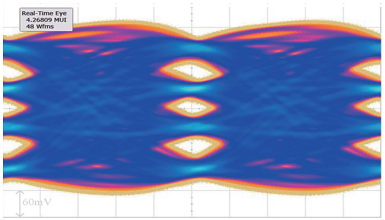


图 12 文献[10]的 112 Gb/s PAM-4 仿真眼图

表 1 与其他文献的性能参数对比

参数	文献[1]		文献[3]	文献[8]		文献[10]		本文	
工艺/nm	14		16	28		10		28	
电源电压/V	0.95/1.2		0.8/1.1	0.9		1.5		1.05	
架构	1/4 速率		1/4 速率	1/2 速率		1/4 速率		1/4 速率	
均衡	3-tap FFE		3-tap FFE	/		3-tap FFE		3-tap FFE	
调制模式	NRZ	PAM-4	NRZ	NRZ	PAM-4	NRZ	PAM-4	NRZ	PAM-4
数据速率/(Gb·s^{-1})	64	128	64	28	56	56	112	56	112
眼高/mV	240	100	150	570	147	260	30	130	40
功耗/mW	/	/	225	215	265	/	232	/	356

4 结论

本文基于 CMOS 28 nm 工艺设计了一种数据速率可达 56 Gb/s NRZ 和 112 Gb/s PAM-4 双模发送端，在输出 112 Gb/s PAM-4 信号下眼图眼高为 40 mV，眼宽为 0.5 UI；输出 56 Gb/sNRZ 信号下，眼图眼高为 130 mV，眼宽为 0.84 UI。发射端均衡采用一个数据多路复用架构，支持完全可配置的分段式 3-tap FFE，前、主和后游标段的数量可以灵活配置，实现均衡权重的粗调；提出了一种预充型 1-UI 脉冲发生器，并结合 4∶1 MUX 实现了一种改善输出带宽的方案；终端输出网络采用上拉电流源的 CML 驱动拓扑结构稳定输出阻抗，可调节驱动的偏置电压控制驱动电流，进而实现均衡权重的细调。在粗调和细调的结合下，实现了发送端均衡配置的灵活性。

参考文献：

[1] Toprak-Deniz Z, Proesel J E, Bulzacchelli J F, et al. A 128-Gb/s 1.3-pJ/b PAM-4 transmitter with reconfigurable 3-tap FFE in 14-nm CMOS[J]. IEEE J. of Solid-State Circuits, 2019, 55(1): 19-26.

[2] Lv F, Zheng X, Zhao F, et al. A 2～40 Gb/s PAM4/NRZ dual-mode wireline transmitter with 4∶1 MUX in 65-nm CMOS[J]. J. of Semiconductor Technology and Science,

2018，18(2)：270-280.

[3] Frans Y，McLeod S，Hedayati H，et al. A 40-to-64 Gb/s NRZ transmitter with supply-regulated front-end in 16 nm FinFET[J]. IEEE J. of Solid-State Circuits，2016，51(12)：3167-3177.

[4] Kossel M A，Khatri V，Braendli M，et al. 8.3 An 8 b DAC-based SST TX using metal gate resistors with 1.4 pJ/b efficiency at 112 Gb/s PAM-4 and 8-Tap FFE in 7 nm CMOS[C]// 2021 IEEE Inter. Solid-State Circuits Conf.（ISSCC）. IEEE，2021：130-132.

[5] Roshan-Zamir A，Elhadidy O，Yang H W，et al. A reconfigurable 16/32 Gb/s dual-mode NRZ/PAM4 SerDes in 65-nm CMOS[J]. IEEE J. of Solid-State Circuits，2017，52(9)：2430-2447.

[6] Menolfi C，Braendli M，Francese P A，et al. A 112 Gb/S 2.6 pJ/b 8-tap FFE PAM-4 SST TX in 14 nm CMOS[C]// 2018 IEEE Inter. Solid-State Circuits Conf.-(ISSCC). IEEE，2018：104-106.

[7] Gu Y，Chen J，Li X，et al. A 32 Gb/s NRZ wireline transmitter with CMFB-based CML driver in 28 nm CMOS technology[C]// 2021 IEEE Inter. Midwest Symp. on Circuits and Systems（MWSCAS），2021：14-17.

[8] Tang Z，Lv F，Shi J，et al. A 28 Gb/s NRZ and 56 Gb/s PAM4 SerDes dual-mode transmitters based on 28 nm CMOS[C]// 2022 7th Inter. Conf. on Integrated Circuits and Microsystems（ICICM）. IEEE，2022：662-666.

[9] Tan K H，Chiang P C，Wang Y，et al. A 112-Gb/s PAM4 transmitter in 16 nm FinFET[C]// 2018 IEEE Symp. on VLSI Circuits. IEEE，2018：45-46.

[10] Kim J，Balankutty A，Dokania R K，et al. A 112 Gb/s PAM-4 56 Gb/s NRZ reconfigurable transmitter with three-tap FFE in 10-nm FinFET[J]. IEEE J. of Solid-State Circuits，2018，54(1)：29-42.

作者简介：

张春茗(1973—)，女，辽宁省锦州市人，博士，讲师，主要研究方向为高速模拟集成电路设计；

张得胜(1997—)，男，山东省济宁市人，硕士，主要研究方向为高速模拟集成电路设计。