光电器件

DOI：10.16818/j.issn1001－5868.2024032601

一种基于双钳位技术的宽范围高精度电流匹配电荷泵设计

郑佳坤，曲　杨，常玉春*

（大连理工大学 集成电路学院，辽宁 大连 116024）

摘　要： 基于TSMC 65 nm CMOS工艺，设计了一款基于双钳位技术，实现在宽电压范围下，满足高精度电流匹配电荷泵电路。双钳位技术可以避免使用轨对轨运放所带来的电路结构复杂化的问题，并且通过增加调节开关管和互补开关计数，有效地优化电荷共享、时钟馈通以及电荷注入等非理性效应对电路的影响。仿真结果表明，与传统电荷泵电路相比，在电源电压为1.2 V、电荷泵电流为50 μA时，双钳位电荷泵电路的电流匹配度在0.2～1.0 V范围内可以保持在0.03%以内。

关键词： 电荷泵；双钳位技术；电流失配；时钟馈通；电荷共享

中图分类号： TN911.8　**文章编号：** 1001－5868(2024)05－0720－06

Charge Pump Design with A Wide Range and High-precision Current Matching Based on Double-clamp Technology

ZHENG Jiakun, QU Yang, CHANG Yuchun

(School of Integrated Circuits, Dalian University of Technology, Dalian 116024, CHN)

Abstract: Based on TSMC 65 nm CMOS technology, in this study, a double-clamp counting circuit is designed for a high-precision current matching charge pump circuit in a wide voltage range. The double-clamp technology avoids the complicated circuit structure caused by the rail-to-rail operation amplifier. Moreover, the influence of non-rational effects, such as charge sharing, clock feedthrough, and charge injection, on the circuit are effectively optimized by adding the count of the regulating switch tube and the complementary switch. The simulation results show that, compared with the traditional charge pump circuit, when the power supply voltage is 1.2 V and the charge pump current is 50 μA, the power supply voltage is 1.2 V. The current matching degree of the double-clamp charge pump circuit can be maintained within 0.03% in the range of 0.2～1.0 V.

Key words: charge pump; double clamp counting; power loss allocation; clock feedthrough; charge sharing

0　引言

时间数字转换器(TDC)是一种高精度的模数转换器，相比于电压型的模数转换器(ADC)，TDC是将光子飞行时间(TOF)转化为数字信号，广泛地应用在TOF激光测距以及图像传感器成像中。光子飞行速度为3×10^8 m/s，为保证测量精度，需要TDC的量化精度达到ps级，这使得电路对时钟信

收稿日期：2024－03－26.

基金项目：国家自然科学基金青年科学项目(62304030).

* **通信作者：**常玉春

号质量要求较高，因此，需要使用高精度的时钟发生器。延时锁相环(DLL)是一种时钟产生电路，其主要功能是产生与基准时钟频率一样的时钟信号，并且能通过压控延迟链产生多个分相时钟信号用于TDC中的延时单元。DLL一般主要由鉴频鉴相器(PFD)、电荷泵(CP)、压控延时线(VCDL)所组成。在理想情况下，当DLL进入锁定达到稳定状态时，CP充放电电流相等，输出的 V_{CTRL} 电压会保持不变。但在实际电路工作时存在非理想效应，CP电路中存在电荷共享、时钟馈通以及电荷注入等。这些非理想效应会导致 V_{CTRL} 电压波动，波动电压 ΔV 经过VCDL电路后转化为相位噪声，恶化时钟信号，进而对TDC测量精度产生影响。所以需要CP电路在宽电压范围下保证充放电电流的匹配精度。此外充放电电流匹配性也受工艺、电压和温度(PVT)影响，电路设计中通常采用低压现行稳压器(LDO)进行供电，避免电压波动，工艺的可靠性由晶圆加工厂的工艺决定，因此在后续的仿真中，主要研究温度变化对电流失配的影响[1]。

本文提出了一种新型电荷泵电路，与轨对轨运放电路相比，双钳位技术的应用可以简化电路结构。此外，电路中还加入了调节开关管，不仅有效抑制了电荷泵中的电荷共享和时钟馈通效应，还保证了在宽电压范围下皆可以满足高精度电流匹配。

1　鉴频鉴相器和电荷泵的基本原理

常见的PFD架构如图1所示，鉴频鉴相器作为DLL中的关键模块，主要功能为比较输入参考时钟 f_{CLK_1} 和反馈时钟 f_{CLK_2} 之间的频率与相位，将相位差以电压的形式传输到CP中，根据输入时钟超前/滞后参考时钟，决定CP的输出电压 V_{CTRL} 升高或者降低，进而决定VCDL的延时时间缩短或者延长[2]。

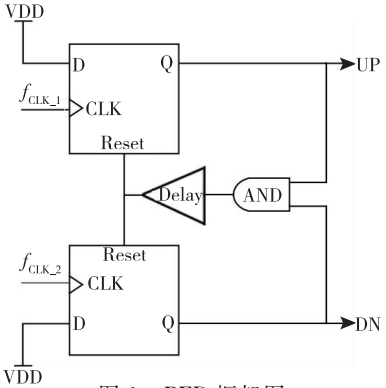


图1　PFD框架图

PFD状态转换如图2所示，对于理想的三态鉴频鉴相器而言，UP和DN信号不会同时出现高电平。所以具有三种工作状态，即：

状态1：当 f_{CLK_1} 信号超前 f_{CLK_2} 信号时，PFD的输出端UP为高电平。且UP输出的高电平矩形脉冲宽度是在 f_{CLK_1} 信号上升沿到来开始，在 f_{CLK_2} 信号上升沿到来时结束。此时，DN信号一直输出低电平。

状态2：当 f_{CLK_1} 信号滞后 f_{CLK_2} 信号时，PFD的输出端DN为高电平。且DN输出的高电平矩形脉冲宽度是在 f_{CLK_2} 信号上升沿到来开始，在 f_{CLK_1} 信号上升沿到来时结束。此时，UP信号一直输出低电平。

状态3：当 f_{CLK_1} 信号和 f_{CLK_2} 信号完全相同时，UP和DN信号一直都是低电平。

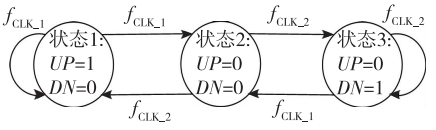


图2　理想PFD状态转换图

电荷泵在DLL中的主要功能是将PFD输出的时钟相位差转化为电压信号 V_{CTRL}，V_{CTRL} 的上升或下降决定了VCDL的延时时间减少或增加，经过反馈使得输入参考 f_{CLK_1} 和反馈时钟 f_{CLK_2} 消除相位差，DLL进入锁定状态[3]。CP在实际DLL工作过程中并不是一直进行工作的，只有当PFD输出相位差时，CP才会进行充放电，控制压控延时链的延时时间增加或者减少。在进行系统性环路分析时会将CP的输出信号默认为连续信号，但为保证这个结论近似成立，必须有一定的约束条件，即环路带宽要小于1/10～1/15的参考时钟频率。因此，CP的传递函数如下：

$$\frac{I_{out}}{\Delta\varphi}=\frac{I_{cp}}{2\pi} \tag{1}$$

式中，I_{out} 为输出到电容中的电流，$\Delta\varphi$ 为PFD鉴别出的相位差，I_{cp} 为电荷泵电流。

2　CP非理性特性

2.1　电流失配度

CP输出电流失配度可以用来衡量实际电路中充放电电流 I_{up} 和 I_{dn} 之间的失配情况。如图3所示，当锁相环环路锁定之后，VCDL模块的输入控制电压将会保持不变，CP模块在每个参考周期的输出

电流应为 0 A。然而锁定后的 PFD 模块仍会向 CP 电路传递相同的短脉冲 UP 和 DN 信号，使其两个开关同时开启和关闭。因此，电流源电流和电流沉电流之间的电流失配，都会导致锁定后的输出电流不为 0，产生周期性的电压纹波，恶化相位噪声。失配严重时还会使整个环路失锁。而且 VCDL 输入 V_{CTRL} 电压需要在一定电压范围下可调，以保证延时链的延时时间满足设计要求，这就需要 CP 满足在输出电压 V_{CTRL} 的可调范围内，保持 I_{up} 和 I_{dn} 匹配精度[4]。

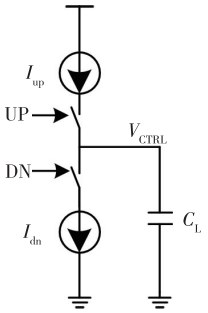


图 3 电荷泵电路原理图

2.2 开关电荷共享

开关电荷共享效应是电荷泵电路中一种常见的非理想特性，它会导致信号传输延时增加，同时也会在电荷泵电路中引发额外的功耗及输出电压抖动。如图 4 所示，以漏端开关电荷泵电路为例，分析电荷泵中开关电荷共享对电荷泵的影响，C_{ds1}，C_{ds2} 分别为 PMOS 管 M1 和 NMOS 管 M4 的漏源寄生电容，V_P 和 V_N 为偏置电压。当电荷泵锁相环处于锁定状态时，假定开关管 M2 和 M3 同时断开，A 点电压会通过寄生电容 C_{ds1} 被充电到 VDD，B 点电压会通过寄生电容 C_{ds2} 被放电到 GND。当复位信号到来时，M2 管和 M3 管导通。忽略开关管上的压降，假定 A 点和 B 点的寄生电容相等，A 点电压从 VDD 降到锁定电压 V_{CTRL}，B 点电压从 0 上升到 V_{CTRL}，节点 A 电容上电压变化为 $VDD-V_{CTRL}$，节点 B 电容上电压变化为 V_{CTRL}。如果 $V_{CTRL}\neq VDD/2$，则 A 点和 B 点电容电压变化不相同，会从负载电容 C_L 中抽取或注入电荷。在环路锁定之后，导致输出电压发生变化，进而影响输出时钟的抖动性能，甚至造成锁相环的失锁[5]。

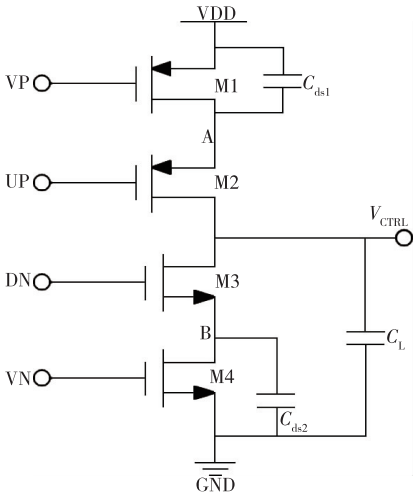


图 4 开关电荷共享效应示意图

2.3 时钟馈通

时钟馈通是指当 MOS 开关栅极的时钟控制信号发生一个跳变时，MOS 管存在栅源寄生电容 C_{gs} 和栅漏寄生电容 C_{gd}，若输入信号的频率较高，开关信号 UP 和 DN 都会通过寄生电容耦合到 V_{CTRL} 处，从而引起源漏电压的变化，这种非理想效应在漏极开关型电荷泵中最为明显[6]，如图 5 所示。

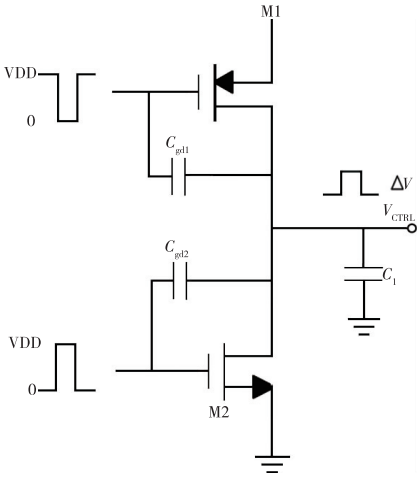


图 5 开关电荷共享示意图

由于开关管栅漏极覆盖电容的效应，当上拉信号和下拉信号通过 C_{gd1} 和 C_{gd2} 到达电路输出端 V_{CTRL} 时，这时由于时钟馈通产生的 ΔV 为：

$$\Delta V=\frac{C_{gd1}-C_{gd2}}{C_{gd1}+C_{gd2}+C_1}VDD \tag{2}$$

3 电路设计及结果分析

采用如图 6 所示的双钳位电荷泵技术，为了减小电荷泵静态电流失配在电路中加入了两个运算放大器(OPA)电路用于钳位，作用是通过负反馈使得 A，B 两点电压相等，OPA1 是 NMOS 输入运放，OPA1 与 MP8 和 MP10 构成负反馈系统，OPA2 是 PMOS 输入运放，OPA2 与 MN9 和 MN12 构成负

反馈系统，通过两个负反馈系统保证电流能够精确复制。电路中 MP8，MP10 和 MN9，MN12 是对称的，保证电荷泵的电流源电流（MP8，MP10 的漏电流）和电流沉电流（MN9，MN12 的漏电流）相匹配，由于反馈系统的存在也可以保证 MP8，MP10 漏端电压相等，MN9，MN12 的漏端电压相等，由此消除因沟道长度调制效应所引起的电流失配。由于双钳位系统中间的反馈环路存在简并点，电路上电过程中会出现自锁现象。为避免这种情况发生，在中间分别加入了 MP5 和 MN7 两个自偏置二极管，用以消除零简并点的出现。

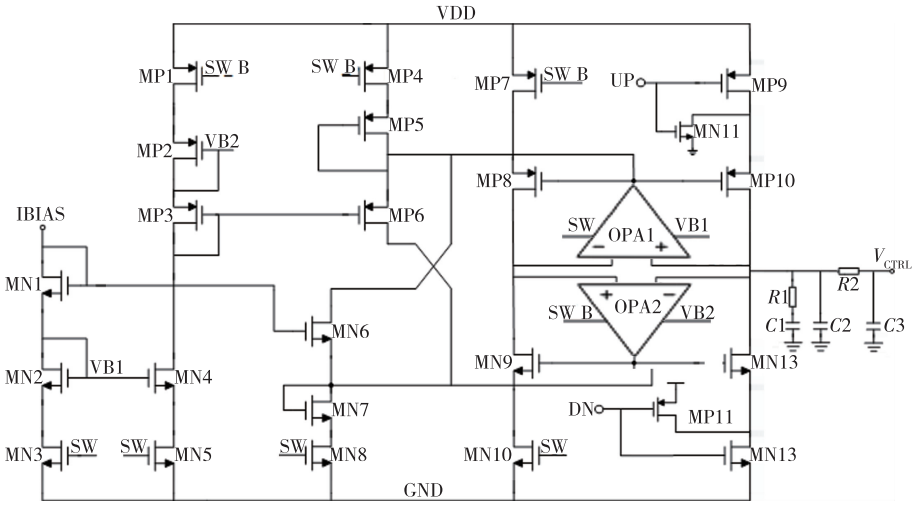


图 6　本文提出的电荷泵电路

电荷共享的存在，会对 CP 电路最后输出的 V_{CTRL} 产生波动，严重时甚至会导致 DLL，电路失锁。然而，传统的设计中即使采用源极开关的方案，同样不能解决电荷共享的问题，如图 7 所示。以 MN1 的漏端开关为例，当开关关断后 MN1 的源极仍然处于低电位，要使 MN1 完全关断，MN1 必定会向 V_{CTRL} 处放电，直到 MN1 的源极和栅极电压差小于 V_{th} 时，才能够关断。

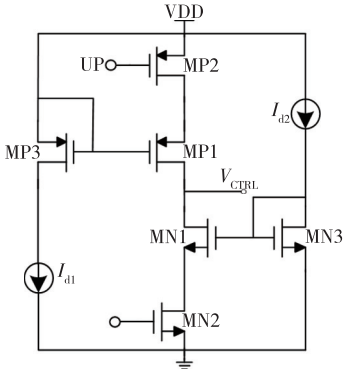


图 7　传统源极开关电荷泵电路

为避免电荷共享，本次设计在源极开关的基础上加入了上拉和下拉 dummy 管、MN11 和 MP11 管，通过关闭类比传统设计中 MN1 管的 MN12 管上拉 dummy 管，MP11 管可以直接将 MN12 管的源端点位拉高，即可解决该问题。所采用的改进漏极开关的方案同时也克服了电荷注入和时钟馈通的问题。

在电路测试中，设置了三种常见的测试温度值，即－40，25 和 125 ℃。其中，－40 ℃表示实际使用的低温环境，25 ℃代表正常室温条件，125 ℃则表示实际使用的高温条件。如图 8 和 9 所示，本文提出的架构在 0.2～1.0 V 的电压范围内，均可保证电压跟随且在不同的温度下均可以保证电流源电流和电流沉电流良好跟随，输出电流在 50 μA 左右，电流精度均在 0.03％左右。

对电流失配的失配值进行了 200 次蒙特卡洛仿真，以分析电流源电流与电流沉电流之间的失配值。在电压范围为 0.2～1.0 V 且静态电流为 50 μA 的条件下，电流源电流和电流沉电流之间的失配平均

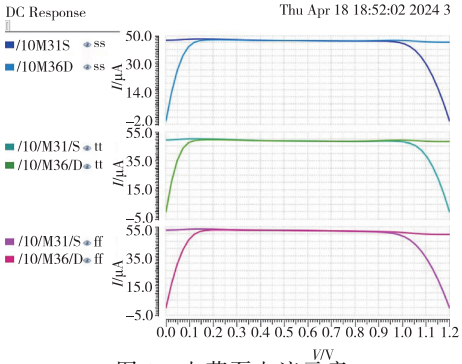


图 8　电荷泵电流示意

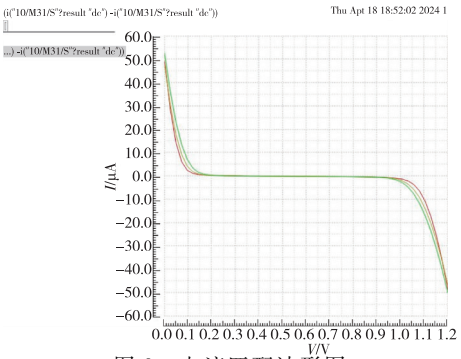


图 9 电流匹配波形图

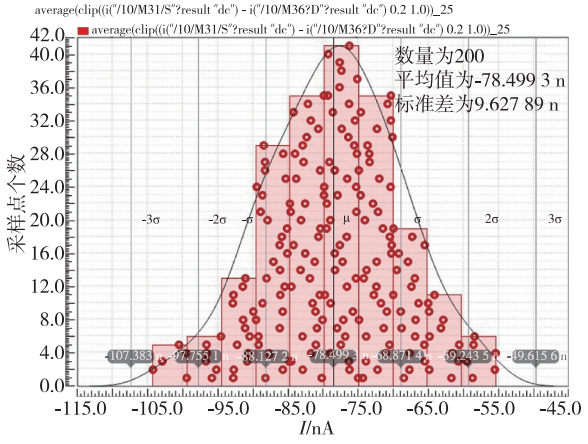


图 10 电流失配蒙特卡洛仿真结果

值为 79 nA，且在 3δ 的范围内，电流匹配度均在 0.1%以上，如图 10 所示。

电荷泵中所用的钳位使用的运放为如图 11 所示的五管运放的结构，运放在这里起钳位的作用，理论上运放的开环增益越大，则正负端跟随越好，但外面的 MP10 和 MN12 同样有一定的放大能力，所以运放本身并不用有很大的放大能力就可以达到电压跟随的需求。电荷泵电路在工作中V_{CTRL} 会产生波动，这时运放的两端就会出现电压差，运放在电路中起到钳位作用，需要将运放的两个输入端重新拉到

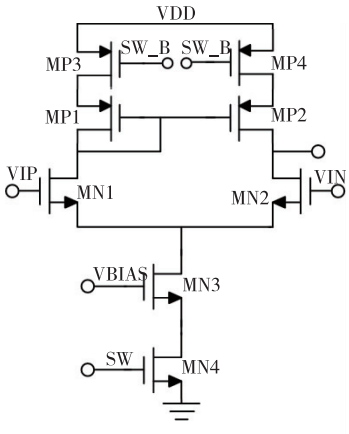


图 11 OPA 示意图

一个平衡状态，运放的带宽直接决定需要多长时间可以重新建立起新的平衡状态，使电路重新达到稳定状态。由于电荷泵是使用在整个 DLL 环路中，所以整个环路对运放的带宽要求并不大。在运放的两端同样加入了开关管，保证电路的匹配性。

传统的轨对轨运放钳位相比于双钳位五管运放结构，需要轨对轨运放有足够大的增益，这通常需要使用 Cascode 结构来增加电路的开环增益，且输出级采用互补推挽输出结构来提高电压输出范围，这些电路结构均会使得电路结构更加复杂，版图面积增大，不利于电路集成化。

在 DLL 环路系统中，CP 通常搭配 PFD 一起使用，当输入的时钟信号之间出现超前或滞后的相位差时经过 PFD 鉴相后输出到 CP 中，CP 电路根据 UP 和 DN 信号决定进行充电或放电操作。

上述中的电荷共享、电荷注入等非理想因素会使得电荷泵电路在充放电过程中充放电不相等，如图 12 和 13 所示。本文所设计的电荷泵电路有效地补偿了电路中的非理性特性，使得电路在充放电的过程中输出的V_{CTRL} 电压步长稳定，过渡平滑，无过冲等现象，且电路工作稳定，证明对电流失配、电荷共享、电荷注入等非理想因素进行了良好的抑制。

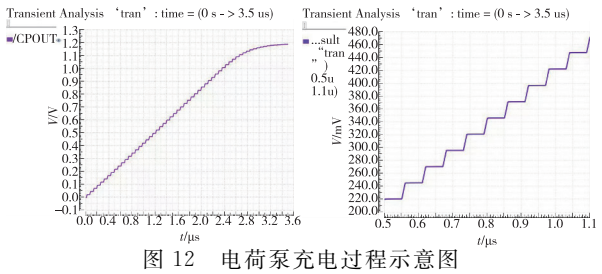


图 12 电荷泵充电过程示意图

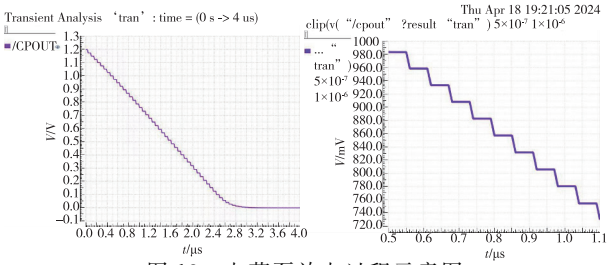


图 13 电荷泵放电过程示意图

版图布局如图 14 所示，其中需要注意两个运算放大器电路的输入对管进行匹配，防止输入对管的失配对电路产生影响，电荷泵中的电流镜需要共质心匹配，最终版图面积为 180 μm×179 μm。

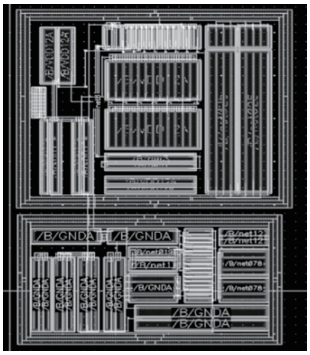


图 14　电荷泵版图布局

4　结论

本文基于 TSMC 65 nm 工艺设计了一款双钳位电荷泵电路，供电电压为 1.2 V，保证宽电压范围下高电流匹配度。仿真结果表明，在不同的温度下，电荷泵电流为 50 μA，在 0.2～1.0 V 均可以保证电荷泵充放电电流匹配精度在 0.03%左右，与相关文献中的指标进行了对比，如表 1 所示，该电路在电流失配度及静态电流波动上都有明显提高，很好地解决了传统电荷泵的电荷共享、时钟馈通等非理性因素，可以广泛应用在延时锁相环电路和电荷泵锁相环等具有电荷泵锁相环的锁相环电路中。

表 1　关键指标比较

指标	本文	[3]	[4]	[5]
工艺节点/nm	65	180	180	65
供电电压/V	1.2	3.3	1.8	1.0
静态电流/μA	50	30	600	150
电压覆盖范围/V	0.2～1.0	0.3～3.0	0.5～1.5	0.1～0.85
电流失配度	＜0.03%	＜15%	＜0.1%	＜0.03%
静态电流波动	＜0.05%	NA	＜4%	＜1.2%

参考文献：

[1]　胡　勇. 快速锁定的高精度多相时钟产生电路研究与设计[D]. 成都：电子科技大学，2016.
Hu Yong. Research and design of a fast-locking high-precision multi-phase clock generator circuit[D]. Chengdu：University of Electronic Science and Technology of China，2016.

[2]　郝国达. 基于 CMOS 的低抖动电荷泵锁相环研究与设计[D]. 成都：电子科技大学，2023.
Hao Guoda. Research and design of low jitter charge pump phase locked loop based on CMOS[D]. Chengdu：University of Electronic Science and Technology of China，2023.

[3]　Cheng S，Tong H，Silva-Martinez J，et al. Design and analysis of an ultrahigh-speed glitch-free fully differential charge pump with minimum output current variation and accurate matching[J]. IEEE Trans. Circuits Syst. Ⅱ：Express Briefs，2006，53(9)：843-847.

[4]　Choi Y S，Han D H. Gain-boosting charge pump for current matching in phase-locked loop[J]. IEEE Trans. Circuits Syst. Ⅱ：Express Briefs，2006，53(10)：1022-1025.

[5]　Amer A G，Ibrahim S A，Ragai H F. A novel current steering charge pump with low current mismatch and variation[C]// 2016 IEEE Inter. Symp. on Circuits and Systems (ISCAS)，2016：1666-1669.

[6]　朱斌超. 基于环形振荡器的电荷泵锁相环研究与设计[D]. 南京：东南大学，2019.
Zhu Binchao. Research and design of charge pump phase locked loop based on ring oscillator[D]. Nanjing：Southeast University，2019.

作者简介：

郑佳坤(1998－)，男，黑龙江省哈尔滨市人，硕士研究生，主要研究方向为时间数字转换器的设计；

常玉春(1973－)，男，博士，教授，博士生导师，研究方向包括 CMOS 图像传感器及图像信号处理电路等。