光电器件

DOI：10.16818/j.issn1001－5868.2024071602

3 300 V 平面栅 IGBT 器件特性仿真研究

李文佩[1*]，王永顺[1]，张利军[2]，李梦梦[1]，胡　瑶[3]

（1. 兰州交通大学 电子与信息工程学院，兰州 730070；2. 天水师范学院 电子信息与电气工程学院，甘肃 天水 74100；
3. 兰州交通大学 机电工程学院，兰州 730070）

摘　要： 绝缘栅双极型晶体管(IGBT)作为一种广泛应用于电子电路领域的功率器件，具有导通电压低、通态电流大、开关速度快和输入阻抗高等优势。文章基于数值模拟软件建立了 3 300 V 平面栅场截止型绝缘栅双极型晶体管器件(FS-IGBT)的仿真模型，通过设计器件结构及参数分别对击穿特性、转移特性以及导通特性进行分析。在合理的阈值电压范围内，研究漂移区厚度和掺杂浓度、P-body 区掺杂浓度、P^+ 衬底区掺杂浓度和 N 型缓冲区掺杂浓度等对器件的击穿电压和导通压降产生的影响。结果显示 FS-IGBT 器件的饱和电压和关断损耗相较传统平面栅 IGBT 结构分别降低了 5.2%和 32%，击穿电压提高了 14%，阈值电压为 5.3 V。

关键词： 击穿电压；阈值电压；导通压降；漂移区掺杂浓度

中图分类号： TN386　**文章编号：** 1001－5868(2024)06－0879－08

Simulations on the Characteristics of 3 300 V Planar Gate IGBT Device

LI Wenpei[1], WANG Yongshun[1], ZHANG Lijun[2], LI Mengmeng[1], HU Yao[3]

(1. School of Electronic and Information Engineering, Lanzhou Jiaotong University, Lanzhou 730070, CHN; 2. School of Electronic Information and Electrical-Engineering, Tianshui Normal University, Tianshui 74100, CHN; 3. School of Mechanical and Electrical-Engineering, Lanzhou Jiaotong University, Lanzhou 730070, CHN)

Abstract: Insulated gate bipolar transistors (IGBT) are widely used in the electronic industry for their excellent advantages such as low on-state voltage, high current capability, fast switching speed, and high input impedance. The physical model of 3 300 V field cut-off IGBT (FS-IGBT) with planar gate structure was established based on the device structure and physical mechanism presented in this paper. The breakdown performance was simulated, and an in depth analysis was conducted on the transfer and conduction characteristics. Within a reasonable threshold voltage range, the drift region thickness and regional P-body, P^+ substrate, and N-type buffer doping concentrations had significant effects on the breakdown voltage and on-voltage drop of the device. The results indicate that the saturation voltage and turn-off loss of the FS-IGBT device were reduced by 5.2% and 32%, respectively, compared with that of the conventional planar-gate IGBT structure, and the breakdown voltage improved by 14%, with a threshold voltage of 5.3 V.

Key words: breakdown voltage; threshold voltage; on-voltage drop; doping concentration of drift region

收稿日期：2024－07－16.

基金项目：国家自然科学基金项目(6136606).

* **通信作者：**李文佩

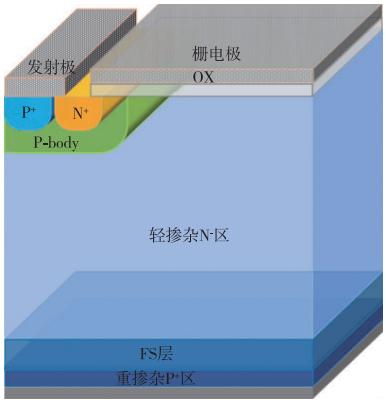
0 引言

近年来，随着半导体行业和电力电子技术的不断发展，功率半导体器件的市场需求增大，对其性能的要求越来越高，不仅要求器件可以在高压环境下正常工作，而且需具备体积小、成本低和集成度高等优势。绝缘栅双极型晶体管（IGBT）是一种双极型输出的功率器件，兼具双极型和单极型器件的优点，由于其导通压降低、开关损耗小，IGBT 在大功率和高频功率器件中具有优势地位，是目前发展最快的新型功率半导体器件之一。在 IGBT 结构设计中，击穿电压和导通特性是衡量器件可靠性的重要参数。目前，改善器件电学性能的方法有以下几种：(1)优化器件参数，例如漂移层和缓冲层中的载流子寿命、掺杂浓度和厚度等提高击穿电压[1]。(2)设计新结构，如增加载流子存储层（CSL）[2-5]，通过对 CSL 的厚度和掺杂参数进行设计，优化器件的电学特性。Huang 等[6]提出具有自偏置 PMOS 的 SJ-IGBT 结构，加快电流关断，进而降低了导通损耗；Mao 等[7]提出一种 p-多晶硅/p-SiC 异质结的 H-IGBT 结构，减少器件关断时的尾电流以降低关断损耗。(3)改进器件的制造工艺，如改变栅极结构和优化沟槽间距来提高耐压能力并采用退火技术改善导通压降与关断损耗[8-9]。

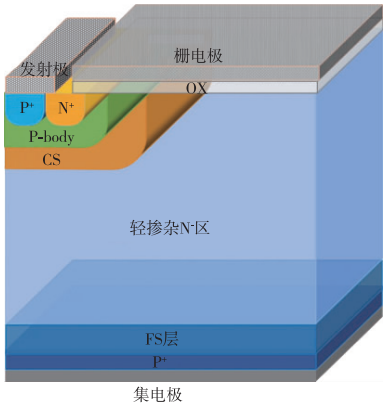
本文利用 Silvaco TCAD 数值仿真软件对 3 300 V 平面栅场截止型绝缘栅双极型晶体管（FS-IGBT）器件电学特性进行仿真研究，通过改变漂移区掺杂浓度和厚度、P-body 区、P^+ 衬底区、N 型缓冲区和载流子存储层区掺杂浓度等参数来研究对器件击穿电压、阈值电压和导通压降的影响。

1 器件结构及仿真模型

图 1(a)为传统平面栅 FS-IGBT（T-IGBT）半元胞三维结构示意图，器件从下往上依次为集电极、重掺杂 P^+ 区为衬底、FS 层、轻掺杂 N^- 区为漂移区、源极 N^+ 区、P-body 基区和表面栅电极。图 1(b)为载流子存储层 IGBT（CSL-IGBT）[10-12]半元胞三维结构示意图，在传统结构基础上加一层 N 型掺杂的载流子存储层。在对器件的电学特性进行仿真研究之前，对结构的参数进行计算和分析，结构相关参数及设计目标如表 1 所示。在仿真过程中，首先设计传统 3 300 V IGBT 的基本结构，验证器件的击穿电压，然后保持参数不变，继续设计 CSL-IGBT 结构。



（a）T-IGBT结构示意图



（b）CSL-IGBT结构示意图

图 1 IGBT 的基本结构示意图

表 1 器件结构相关参数

参数	T-IGBT	CSL-IGBT
半元胞宽度/μm	24	24
N^- 漂移区厚度/μm	350～450	350～450
P-body 深度/μm	2	2
CS 掺杂浓度/cm^{-3}	—	5×10^{15}
N^+ 源区掺杂浓度/cm^{-3}	1×10^{19}	1×10^{19}
P-body 掺杂浓度/cm^{-3}	$3\times10^{17}\sim8\times10^{17}$	$3\times10^{17}\sim8\times10^{17}$
N^- 漂移区掺杂浓度/cm^{-3}	$1.5\times10^{13}\sim2.5\times10^{13}$	$1.5\times10^{13}\sim2.5\times10^{13}$
FS 层掺杂浓度/cm^{-3}	$2\times10^{15}\sim5\times10^{17}$	$2\times10^{15}\sim5\times10^{17}$
P^+ 衬底掺杂浓度/cm^{-3}	$2\times10^{18}\sim8\times10^{19}$	$2\times10^{18}\sim8\times10^{19}$
N^+ 缓冲层厚度/μm	20	20
P^+ 衬底厚度/μm	2	2

运用 Silvaco TCAD 仿真软件对平面栅结构 IGBT 进行仿真。在数值模拟时考虑掺杂浓度、元胞厚度和纵向电场对器件性能的影响，基于成熟的 IGBT 器件的模型和参数进行仿真，在进行电学特性模拟时采用的物理模型包括碰撞电离模型（IMPACT SELB）、能带变窄模型（BGN）、迁移率模型（CVT）和俄歇复合模型（AUGER）等[13-15]。采用 Gummel 和 Newton 迭代算法求解连续性方程、泊松方程和漂移扩散方程[16]。

2　仿真结果与讨论

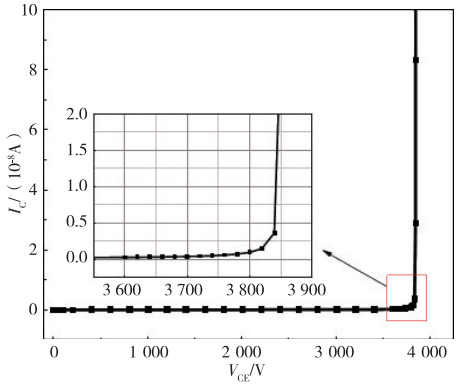
2.1　IGBT 击穿特性

IGBT 压力指示器设置为 3 300 V，漂移区掺杂浓度 N_d 可通过击穿电压计算式估算，即：

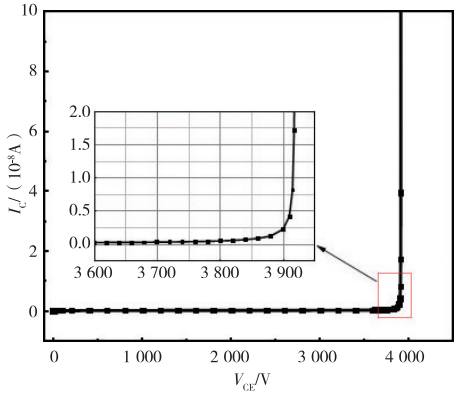
$$BV_{PP}=5.34\times10^{13}N_d^{-3/4} \tag{1}$$

式中，BV_{PP} 为击穿电压，单位为 V；N_d 为 N 型漂移区的掺杂浓度，单位为 cm^{-3}。3 300 V 硅基 IGBT 器件在设计时，需要留有 20%以上的余量。根据公式(1)可得出当 $BV_{PP}=3\ 960$ V 时，N^- 漂移区浓度 $N_d=1.65\times10^{13}\ cm^{-3}$，暂时取 $N_d=2\times10^{13}\ cm^{-3}$。

根据以上参数设置，对器件进行击穿电压仿真，击穿特性曲线如图 2 所示，纵轴为器件集电极电流 I_C，横轴为集电极电压 V_{CE}。当在集电极与发射极之间加正向电压时，IGBT 处于阻断状态，该状态下栅极和发射极短接。可以看出 CSL-IGBT 比 T-IGBT 击穿电压高，器件在集电极电压达到 3 910 V 后集电极电流快速增长，发生雪崩击穿。



(a) T-IGBT击穿特性曲线



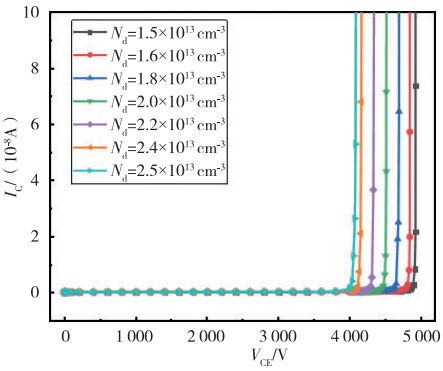
(b) CSL-IGBT击穿特性曲线

图 2　IGBT 击穿特性曲线

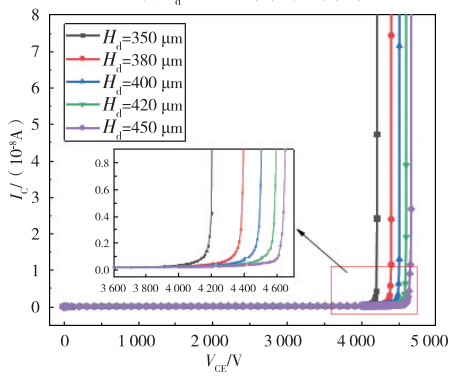
2.2　漂移区参数

漂移区掺杂浓度和厚度作为 IGBT 元胞结构设计时的重要参数。通过仿真工具辅助优化电学特性指数，确定估算值附近的最佳值。

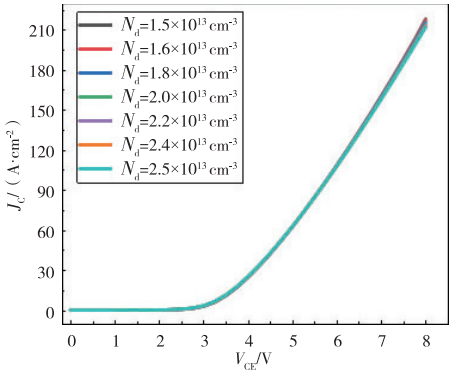
分别选取漂移区厚度 H_d 为 350，380，400，420，450 μm，同时漂移区浓度 N_d 从 $1.5\times10^{13}\ cm^{-3}$ 增加到 $2.5\times10^{13}\ cm^{-3}$，对器件的击穿特性和转移特性进行仿真，如图 3 所示。由图 3(a)可以看出，在相同 H_d 情况下随着 N_d 的增大击穿电压逐渐降低，在 $N_d=2.0\times10^{13}\ cm^{-3}$ 附近击穿电压与导通压降较为折衷。从图 3(b)可以看出，在相同 N_d 情况下，击穿电压随着 H_d 的增加而增大，H_d 越大则 N^- 漂移区电阻越大，器件的导通电阻越大，导通压降也越大，当 $H_d=400$ μm 时较为折衷。图 3(c)为不同 N_d 对应的导通压降，纵轴为集电极电流密度 J_C，可以看出在相同 H_d 情况下，导通压降随着 N_d



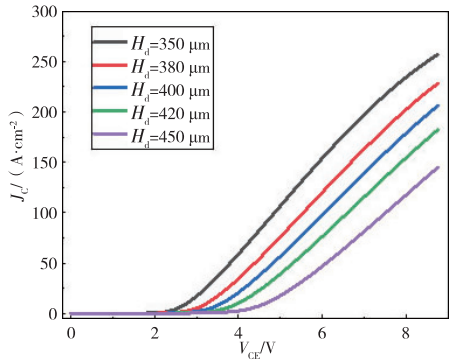
(a) 不同N_d对应的击穿特性曲线



(b) 不同H_d对应的击穿电压



(c) 不同N_d对应的导通电压

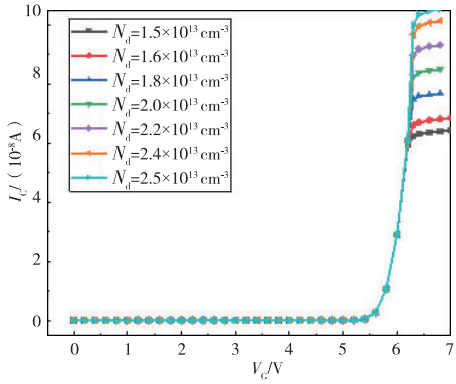


（d）不同H_d对应的导通电压

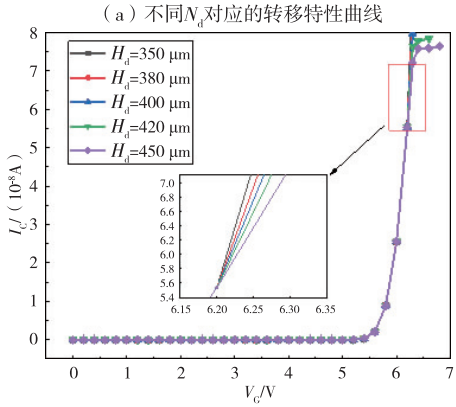
图 3 击穿特性和导通特性图

的增大而减小。图 3(d)为不同 H_d 对应的导通电压之间的关系曲线，可以看出，在相同 N_d 情况下，导通电压随着 H_d 的增加而增大。

阈值电压为器件 P 型沟道开启时所施加的最低栅压，N^- 漂移区内掺杂浓度的改变不会影响 P 型沟道和栅极。当 $H_d=400$ μm 时，N_d 对器件转移特性的影响如图 4(a)所示，横轴为栅极电压 V_G。可以看出，N_d 的变化对阈值电压 V_{th} 没有太大影响。当$N_d=2.0\times10^{13}$ cm^{-3} 时，其余各参数保持不变，H_d 的变化对器件转移特性的影响如图 4(b)所示。H_d增大对 IGBT的阈值电压影响较小，但H_d



（a）不同N_d对应的转移特性曲线



（b）不同H_d对应的转移特性曲线

图 4 转移特性图

过厚会使 IGBT 产生较大的导通损耗，因此在达到器件设计要求的同时使 H_d 较小。

当 $H_d=400$ μm 时，不同 N_d 下的击穿电压、阈值电压和导通压降如表 2 所示。可以看出，当 $N_d=2.0\times10^{13}$ cm^{-3} 时，同时满足高击穿电压和低导通压降的设计要求。当 $N_d=2.0\times10^{13}$ cm^{-3} 时，不同 H_d 下的击穿电压、阈值电压和导通压降如表 3 所示。可以看出，当 $H_d=400$ μm 时，可同时满足击穿电压和导通压降的理想值。因此，经综合折衷考虑后的漂移区厚度为 $H_d=400$ μm，漂移区掺杂浓度为 $N_d=2.0\times10^{13}$ cm^{-3}。

表 2 当 $H_d=400$ μm 时不同 N_d 对应的器件性能

N_d/(10^{13} cm^{-3})	1.5	1.6	1.8	2.0	2.2	2.4	2.5
BV_{PP}/V	4 780	4 660	4 520	4 420	4 330	4 120	3 990
V_{th}/V	5.3	5.3	5.3	5.3	5.3	5.3	5.3
V_{on}/V	4.695	4.694	4.692	4.691	4.689	4.687	4.686

表 3 当 $N_d=2.0\times10^{13}$ cm^{-3} 时不同 H_d 对应的器件性能

H_d/μm	350	380	400	420	450
BV_{PP}/V	4 160	4 340	4 420	4 530	4 620
V_{th}/V	5.3	5.3	5.3	5.3	5.3
V_{on}/V	3.81	4.39	4.82	5.30	5.93

2.3 P-body 区域的参数

在 IGBT 器件中，阈值电压值是由 P-body 区的参数决定的，主要包括 P-body 区的厚度和掺杂浓度。在数值模拟和仿真过程中，P-body 区的结深 H_P 设置为 2.0 μm，其他参数保持不变，将 P-body 区掺杂浓度 N_p 从 3×10^{17} cm^{-3} 增加到 8×10^{17} cm^{-3}，进行击穿、转移特性仿真研究，得到 IGBT 的击穿特性曲线，如图 5 所示。可以看出随着 P-body 区浓度 N_p 的增加，IGBT 的击穿电压基本保持不变，一直在 4 400 V 左右。

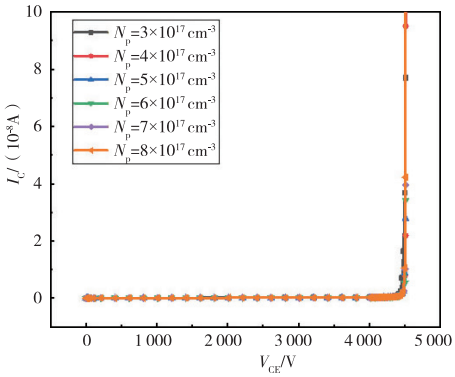
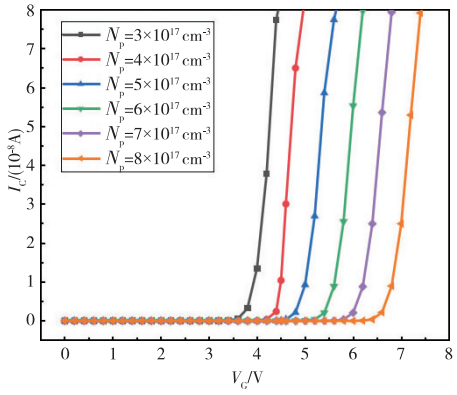


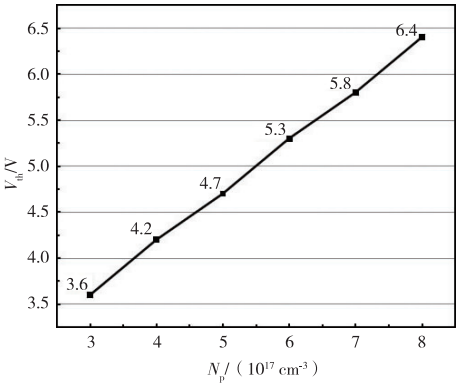
图 5 不同 N_p 对应的击穿特性曲线

不同 P-body 区掺杂浓度 N_p 所对应的转移特性曲线，如图 6(a)所示，得到了对应的阈值电压。从图 6(a)中可以看出 P-body 区掺杂浓度越大，

IGBT 的阈值电压也相应增大，其抗闩锁能力也增强。但 P-body 区的浓度不宜过高，否则会导致阈值电压太大，闩锁能力过强，器件将不易导通。且 P-body 区掺杂浓度也不宜过低，否则会导致器件发生穿通现象，此时集电极电流与栅极电压大小无关。由图 6(b)可以看出，阈值电压 V_{th} 与 P-body 区的掺杂浓度 N_p 成正相关，因此选取 P-body 区的掺杂浓度 $N_p=6\times10^{17}$ cm^{-3}。



(a) 当H_p=2.0 μm时不同N_p对应的转移特性曲线

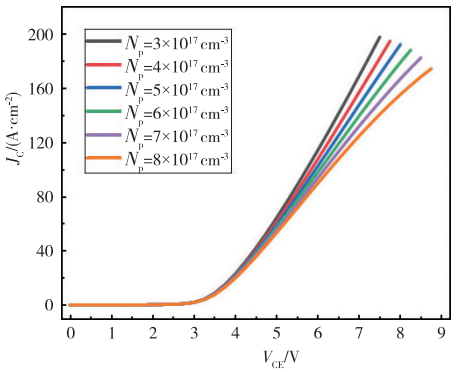


(b) N_p与V_{th}的关系

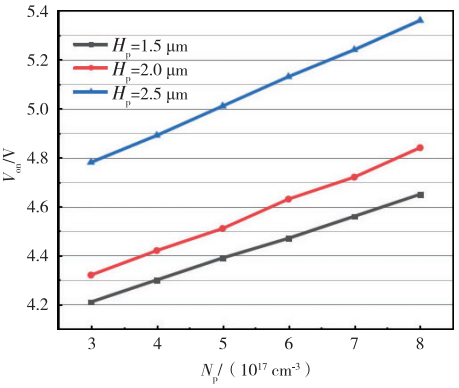
图 6　不同 N_p 所对应的转移特性曲线及与 V_{th} 的关系

图 7(a)为不同 N_p 下对应导通电压 V_{on} 的关系曲线。可以看出，当 P-body 区厚度 H_P 一定时，随着 N_p 的增加，PN 结效应会使器件的导电沟道变长，从而导致沟道电阻增大。图 7(b)为不同 H_P 对应的 P-body 区掺杂浓度 N_p 与导通电压 V_{on} 的关系曲线，可以看出随着 N_p 和 H_P 逐渐增大，导通压降也逐渐增大。

当选取 $H_P=2.0$ μm 时，不同 N_p 对应的击穿电压、阈值电压和导通压降，如表 4 所示。设计器件结构的主要目的是降低导通电压，可以看出，当 $N_p=6\times10^{17}$ cm^{-3}，$BV_{pp}=4\ 400$ V，$V_{on}=4.82$ V，$V_{th}=5.3$ V 时，器件性能最优。



(a) 不同N_p对应的正向导通特性曲线



(b) 不同H_p对应的N_p与V_{on}的关系

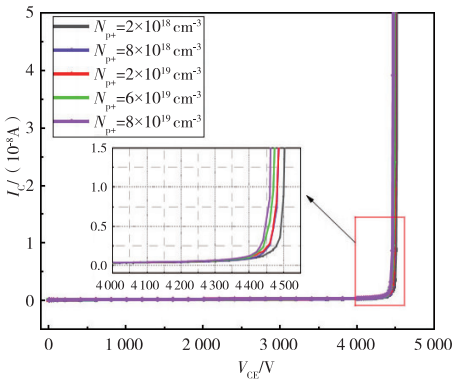
图 7　不同 N_p 对应的正向导通特性曲线及不同 H_p 对应的 N_p 和 V_{on} 的关系

表 4　当 $H_P=2.0$ μm 时不同 N_p 对应的器件性能

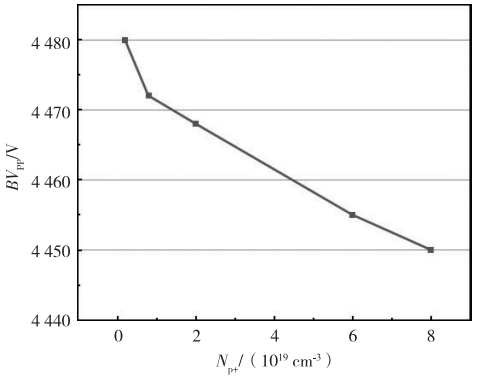
N_p/(10^{17} cm^{-3})	3	4	5	6	7	8
BV_{pp}/V	4 400	4 400	4 400	4 400	4 400	4 400
V_{th}/V	3.6	4.2	4.7	5.3	5.8	6.4
V_{on}/V	4.68	4.73	4.78	4.82	4.87	4.91

2.4　P$^+$ 衬底区域的参数

IGBT 与 VDMOS 器件结构上最大的不同在于 P$^+$ 衬底，即 IGBT 是在 VDMOS 结构的基础上，在其漏极的下方增加一个 P 型掺杂区域。P$^+$ 衬底掺杂浓度是 IGBT 器件性能设计的一个重要参数，其主要作用是提高器件内部的电导调制效应，从而影响整个器件的导电性能。在数值模拟和仿真过程中，P$^+$ 衬底的厚度 H_{P^+} 设置为 2.0 μm，保持其他参数不变，将 P$^+$ 衬底掺杂浓度 N_{P^+} 从 2×10^{18} cm^{-3} 增加到 8×10^{19} cm^{-3} 进行击穿和转移特性仿真研究。IGBT 的击穿特性曲线如图 8(a)所示，可以看出，随着 N_{P^+} 增大，器件的击穿电压逐渐减小。根据图 8(a)所示的击穿电压的变化趋势，绘制出不同 N_{P^+} 与击穿电压 BV_{pp} 的关系曲线，如图 8(b)所示，击穿电压随着 P$^+$ 衬底掺杂浓度的增大而减小。



（a）当H_{p+}=2.0 μm时不同N_{p+}对应的击穿特性曲线



（b）N_{p+}与BV_{PP}的关系

图 8 不同 N_{P^+} 对应的击穿特性曲线及其与 BV_{PP} 的关系

当 $H_{P^+}=2.0\ \mu m$ 时，不同 N_{P^+} 所对应的转移特性曲线如图 9 所示。可以看出 N_{P^+} 对阈值电压基本没有影响，随着 P^+ 衬底浓度升高，空穴注入漂移区的效率增加，IGBT 器件的导通压降降低。

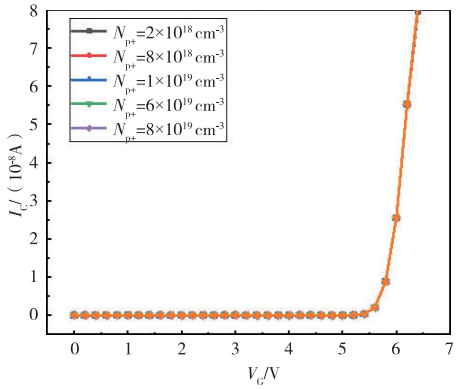


图 9 当 $H_{P^+}=2.0\ \mu m$ 时不同 N_{P^+} 对应的转移特性曲线

当 $H_{P^+}=2.0\ \mu m$ 时，不同 N_p 对应的击穿电压、阈值电压和导通压降之间的对应关系如表5所示。

表 5 当 $H_{P^+}=2.0\ \mu m$ 时不同 N_p 对应的器件性能

$N_p/(10^{19}\ cm^{-3})$	0.2	0.8	2	6	8
BV_{pp}/V	4 470	4 460	4 450	4 445	4 440
V_{th}/V	5.3	5.3	5.3	5.3	5.3
V_{on}/V	5.67	4.96	4.82	4.80	4.79

可以看出，当 $N_{P^+}=2\times10^{19}\ cm^{-3}$，$BV_{pp}=4\ 450$ V，$V_{on}=4.82$ V，$V_{th}=5.3$ V 时，器件性能最符合设计。

2.5 N 型缓冲区域的参数

为进一步优化 FS-IGBT 器件性能，考虑 N 型缓冲层掺杂浓度对器件性能的影响。N 型缓冲层主要作用是阻挡 IGBT 在正向阻断时耗尽层的延伸，提高开关速度并保持较低的通态压降，在数值模拟和仿真过程中，设置 N 型缓冲层的厚度为 20 μm，保持其他参数不变，将 N 型缓冲层浓度 N_b 从 $2\times10^{15}\ cm^{-3}$ 增加到 $5\times10^{17}\ cm^{-3}$ 进行击穿特性和转移特性仿真研究，如图 10 所示。研究结果显示，随着缓冲层掺杂浓度的逐步提升，击穿电压呈现出递增趋势，从低浓度的 4 100 V 提升至高浓度状态下的 4 600 V。这一上升趋势在 N_b 达到 $1\times10^{17}\ cm^{-3}$ 后趋于饱和，显示出掺杂浓度对击穿电压的增益存在上限，且当 N 型缓冲层浓度过大时会导致导通时的电导调制效应减弱，使导通压降增大。综合考虑击穿电压与通态压降之间的平衡，当 $N_b=5\times10^{16}\ cm^{-3}$ 时，器件展现出最优的性能，其击穿电压 BV_{pp} 达到 4 420 V。

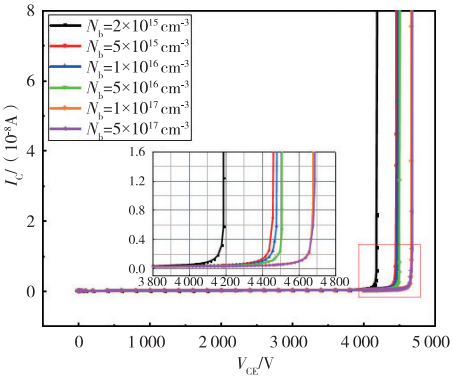


图 10 不同 N_b 下 IGBT 的击穿特性曲线

不同 N 型缓冲层掺杂浓度下器件的转移特性曲线，如图11所示。可以看出，随着缓冲层浓度N_b的

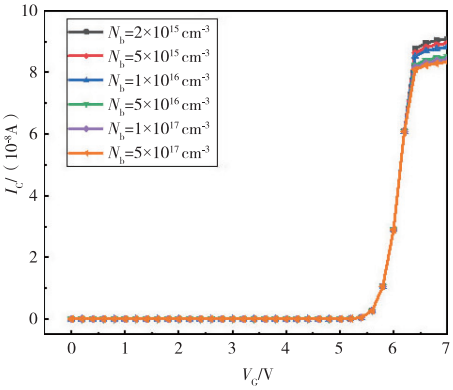


图 11 不同 N_b 下 IGBT 转移特性曲线

增大，阈值电压基本不变，对转移特性影响较小。不同 N 型缓冲层掺杂浓度下器件的纵向电场分布曲线，如图 12 所示。可以看出缓冲层的掺杂浓度越高，电场强度在器件内部呈现出减小的趋势。高掺杂浓度有效调节了电场分布，使得电场强度斜率值发生变化，电场分布形成的梯形面积越大，实现 FS-IGBT 性能的综合优化。

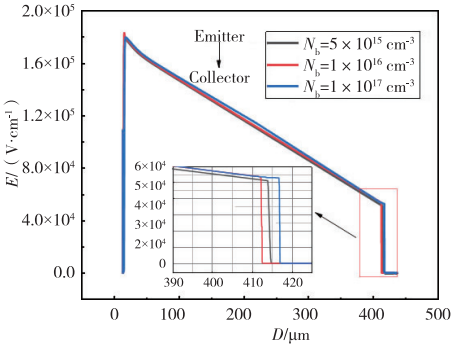


图 12　不同 N_b 下器件纵向电场分布

2.6　载流子存储层的参数

载流子存储层在 IGBT 器件中起着关键的作用。在 IGBT 导通模式下，载流子存储层是通过对背面注入空穴的阻挡提高发射极侧载流子浓度，降低导通压降，有助于减少器件在工作过程中的能量损耗，提高效率。图 13 所示为不同载流子存储层掺杂浓度对应的正向导通特性曲线。可以看出当器件没有载流子存储层时，导通压降为 4.81 V，而当存储层掺杂浓度 N_C 为 1×10^{16} cm^{-3} 时，导通压降减小到 4.33 V。

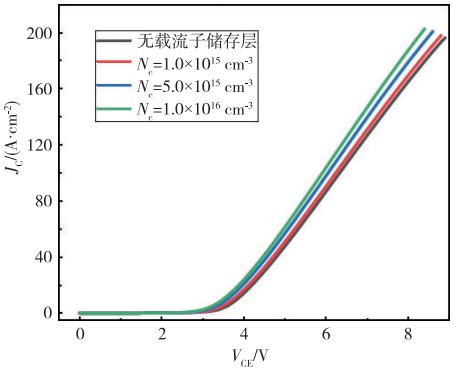


图 13　载流子存储层对应的正向导通特性曲线

如图 14 为有无载流子存储层以及不同载流子掺杂浓度时的电场分布曲线。可以看出当载流子存储层的掺杂浓度 N_C 为 1×10^{16} cm^{-3} 时器件会在更低电压下发生击穿，仿真结果表明在相同参数下有存储层的电场峰值高于没有存储层的电场峰值。

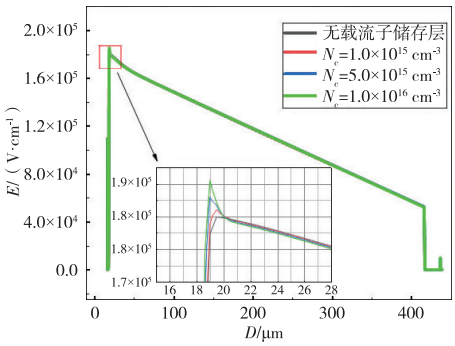


图 14　载流子存储层对应的电场分布曲线

2.7　开关特性

在其他参数保持不变的情况下，对 CSL-IGBT 器件的动态性能进行分析，得到的开关特性曲线如图 15 所示。当器件关断时，存储在漂移区域的载流子会形成拖尾电流，延长器件的关断时间，增加了关断功率损耗。集电极电压 V_{CE} 为 2 000 V，电流 I_C 为 20 A，栅极电压 V_G 变化为 −5～15 V，可用于控制器件的通断。器件的具体关断损耗计算公式为：

$$P_C=\int_t^{t+t_{off}} I_C V_{CE}\,dt \tag{2}$$

式中，t_{off} 为关断时间，通过公式(2)计算得到关断损耗为 3.04 mJ。

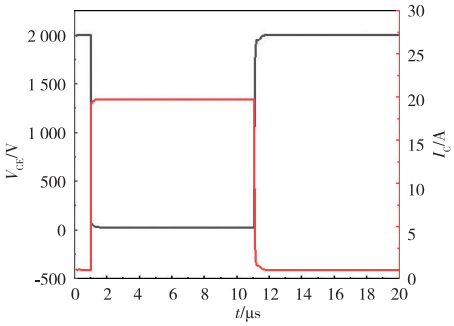


图 15　开关特性仿真曲线

3　结论

本文主要对平面栅场截止型硅基 IGBT 器件进行结构设计，以及对器件的击穿特性、转移特性和导通特性进行仿真研究。探讨了漂移区掺杂浓度和厚度、P-body 区、P$^+$ 衬底区和 N 型缓冲区的掺杂浓度对 IGBT 器件的击穿电压、导通压降和阈值电压的影响。仿真结果表明，当漂移区厚度一定时，随着漂移区掺杂浓度的增大，器件的击穿电压减小，阈值电压基本不变，导通压降减小。当漂移区掺杂浓度一定时，随着漂移区厚度的增加，器件的击穿电压逐渐增大，阈值电压几乎不变，但漂移区厚度过大时，会

导致IGBT器件产生较大的导通损耗。当P-body区结深一定时，随着P-body区掺杂浓度的增加，阈值电压逐渐增大，击穿电压基本不变，导通压降逐渐增大。当P^+衬底区厚度一定时，随着P^+区掺杂浓度的增加，击穿电压逐渐减小，阈值电压基本不变，导通压降逐渐增大。当N型缓冲区厚度一定时，随着N型缓冲区掺杂浓度的增大，阈值电压不变，击穿电压逐渐增大，导通压降增大。随着载流子存储区掺杂浓度的增大，导通压降减小。综上所述，为了同时获得低的关断损耗和导通电压，并保证阈值电压在合适的范围内，最终确定器件的参数为 $N_d=2\times10^{13}\ \mathrm{cm}^{-3}$，$H_d=400\ \mu\mathrm{m}$，$N_p=6\times10^{17}\ \mathrm{cm}^{-3}$，$H_p=2.0\ \mu\mathrm{m}$，$N_{P^+}=2\times10^{19}\ \mathrm{cm}^{-3}$，$N_b=5\times10^{16}\ \mathrm{cm}^{-3}$。FS-IGBT器件最终得到阈值电压 $V_{th}=5.3$ V，击穿电压 $BV_{pp}=4\ 400$ V，相较设计目标提高了14%，导通压降 $V_{on}=4.62$ V 和关断损耗为3.04 mJ 相较传统平面栅IGBT器件分别降低了5.2%和32%。

参考文献：

[1] Cheng Y, Wang Y, Feng S, et al. Impact ionization induced breakdown and related HTRB behaviors in 100-V p-GaN gate HEMTs[C]// 2021 33rd Inter. Symposium on Power Semiconductor Devices and ICs (ISPSD), 2021: 1-4.

[2] Deguchi T, Mizushima T, Fujisawa H, et al. Static and dynamic performance evaluation of >13 kV SiC p-channel IGBTs at high temperatures [C]// 2014 IEEE 26th International Symposium on Power Semiconductor Devices & IC's (ISPSD), 2014: 261-264.

[3] Chowdhury S, Hitchcock C, Stum Z, et al. 4H-SiC n-channel insulated gate bipolar transistors on (0001) and (000-1) oriented free-standing n-substrates[J]. IEEE Electron Device Letters, 2016, 37(3): 317-320.

[4] Tang G, Tang X, Song Q, et al. Frequency-improved 4H-SiC IGBT with multizone collector design[J]. IEEE Transactions on Electron Devices, 2019, 67(1): 198-203.

[5] Jin R, Wang Y, Li L, et al. Comparative study of electro-thermal characteristics of 4 500 V diffusion-CS IGBT and buried-CS IGBT[J]. IET Circuits, Devices & Systems, 2021, 15(3): 251-259.

[6] Huang J, Huang H, Chen X B. Simulation study of a low ON-state voltage superjunction IGBT with self-biased PMOS [J]. IEEE Transactions on Electron Devices, 2019, 66(7): 3242-3246.

[7] Mao H, Wang Y, Wu X, et al. Simulation study of 4H-SiC trench insulated gate bipolar transistor with low turn-off loss [J]. Micromachines, 2019, 10(12): 815.

[8] Liu G, Ding R, Luo H. Development of 8-inch key processes for insulated-gate bipolar transistor[J]. Engineering, 2015, 1(3): 361-366.

[9] Li P, Kong M, Chen X. A novel diode-clamped CSTBT with ultra-low on-state voltage and saturation current[C]// 2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD), 2016: 307-310.

[10] Karner H W, Kernstock C, Stanojević Z, et al. TCAD-based characterization of logic cells: Power, performance, area, and variability [C]// 2017 Inter. Symposium on VLSI Technology, Systems and Application (VLSI-TSA), 2017: 1-2.

[11] Liu Y, Jia D, Fang J. On-state voltage drop analytical model for 4H-SiC trench IGBTs[J]. Crystals, 2022, 12(5): 582.

[12] 陈 天，张 旭，廖永亮，等. 1 200 V沟槽栅场截止型IGBT终端设计[J]. 微电子学，2016(5)：716-720.
Chen Tian, Zhang Xu, Liao Yongliang, et al. Design of a 1 200 V trench gate field stop IGBT terminal[J]. Microelectronics, 2016 (5): 716-720.

[13] Chen W, Tao H, Lou L, et al. Low loss insulated gate bipolar transistor with electron injection (EI-IGBT)[J]. IEEE Journal of the Electron Devices Society, 2017, 5(4): 275-282.

[14] Wang Y, Pu K, Zeng J, et al. Process optimization for improving the threshold voltage distribution of 3 300 V IGBT platform[C]// 2020 4th IEEE Electron Devices Technology & Manufacturing Conference (EDTM), 2020: 1-4.

[15] Zhang X, Shen P, Zou Z, et al. A snapback-free and low turn-off loss 15 kV 4H-SiC IGBT with multifunctional P-floating layer[J]. Micromachines, 2022, 13(5): 734.

[16] Tian X L, Li C Z, Yang Y, et al. Design and characterization of 10 kV high voltage 4H-SiC p-channel IGBTs with low VF[J]. Materials Science Forum, 2022, 1062: 435-441.

作者简介：

李文佩(1999—)，女，甘肃省白银市人，硕士，主要研究方向为半导体功率器件。