光电器件

DOI：10.16818/j.issn1001－5868.2024072601

1 064 nm 单光子探测硅基 SPAD 探测组件设计

丁　鹏，邓光平*，马华平，黄　建，钟玉杰

（重庆光电技术研究所，重庆 400060）

摘　要： 设计了一种用于单光子探测的 8×8 阵列硅基单光子雪崩光电二极管（Single Photon Avalanche Photodiode，SPAD）探测组件，包括硅基 SPAD 焦平面阵列和高压读出电路。硅基 SPAD 焦平面阵列采用 N^+-p-π-P^+ 结构，像元中心距为 200 μm，工作在盖革模式。SPAD 像素单元采用背面反射镜、微纳散光结构以提高 1 064 nm 波长的光子探测效率。高压读出电路采用单片集成技术，将高压淬灭电路、延迟复位电路、雪崩电流检测电路以及高压保护电路等集成在单一硅片上。硅基 SPAD 探测组件可实现 8×8 阵列规模的单光子信号并行检测，在 40 V 过偏压条件下，1 064 nm 波长的平均光子探测效率达到 11.1%，平均暗计数率为 4.6 kHz，在 100 ns 死区时间下的后脉冲概率为 6.76%。

关键词： 单光子雪崩光电二极管；读出电路；焦平面阵列；光子探测效率；暗计数率

中图分类号： TN249　**文章编号：** 1001－5868(2024)06－0887－06

Design of the 1 064 nm Silicon Single-Photon Avalanche Photodiode Module for Photon Detection

DING Peng, DENG Guangping, MA Huaping, HUANG Jian, ZHONG Yujie

(Chongqing Optoelectronics Research Institute, Chongqing 400060, CHN)

Abstract: A 8×8 silicon single-photon-avalanche-photodiode (SPAD) module for single photon detection was designed and fabricated. The silicon SPAD focal plane array using the N^+-p-π-P^+ structure works in the Geiger avalanche mode, and the pixel pitch was 200 μm. The SPAD pixel used the back reflecting mirror and micro-scattering structure to improve the photon detection efficiency at 1 064 nm wavelength. The readout integrated circuit (ROIC) combined the high voltage quenching, time-delayed reset, avalanche current detection, high voltage protection, and other functional circuits on a single chip. The 8×8 silicon SPAD module can detect a single photon. The test results show that the photon detection efficiency of the SPAD module at voltages in excess of 40 V was approximately 11.1% at a wavelength of 1 064 nm; the average dark count rate was 4.6 kHz; and after-pulse probability was 6.76% for a dead time of approximately 100 ns.

Key words: SPAD; ROIC; focal plane array; photon detection efficiency; dark count rate

0　引言

随着光电探测器工艺技术的进步，雪崩光电二极管（Avalanche Photodiode，APD）探测极微弱光信号的能力得到大幅提升，达到了单个光子的检测能力，这类器件被称为单光子雪崩光电二极管（Single Photon Avalanche Photodiode，SPAD）。SPAD 探测器能够对入射光子信号进行放大倍增，把极微弱的电流信号以指数形式进行放大，具备检测速度快、灵敏度高的优点，在天文观测、医疗影像、量子密钥分发系统、空间遥感、生物发光等领域得到越来越广泛的应用[1-3]。

收稿日期：2024－07－26.

* **通信作者：**邓光平

传统线性模式 APD 探测器工作在击穿电压以下,其倍增增益与偏压成线性关系从而使得输出信号可直接反应光信号的强弱,同时其后端处理电路结构也相对简单,不存在对雪崩信号的淬灭。但线性模式 APD 探测器的灵敏度不高,通常雪崩增益只能达到几十倍,因此不适合远距离、微弱信号检测。为适应远距离探测,必须将激光发射功率提高,这将不利于人眼安全。另外,相对于 905 和 532 nm 波长激光,1 064 nm 波长激光的距离穿透能力较强,对人眼的安全性更高,同时阵列型 SPAD 排布可精确定位激光光斑位置,光子脉冲计数也可间接反应回波强度,因此,1 064 nm 波长 SPAD 探测器更加适合于目标的远距离识别与位置跟踪。

目前,主流的 SPAD 探测器主要包括硅基 SPAD 和 InGaAs/InP 基 SPAD 两类,硅基 SPAD 主要用于可见光和近红外波段,而 InGaAs/InP SPAD 主要用于近红外和短波红外波段,两者在近红外波段存在部分交集[4-5]。硅材料的质量特性要优于化合物材料,内部缺陷较低,因此同等条件下硅基 SPAD 器件的暗计数率、载流子后脉冲概率均要低于 InGaAs/InP SPAD 器件。此外,硅基半导体制造工艺技术成熟、成本控制能力较强,这使得硅基 SPAD 器件的成品率较高,成本优势明显,因此成为了目前商用器件的主流。受硅 APD 材料体系本身限制,目前硅 SPAD 主要面向 905 nm 波段应用,1 064 nm 波段硅 SPAD 焦平面阵列产品尚无公开报道,可查询到的 Excelitas 公司 SPCM-AQRH 单点 SPAD 探测器在 1 064 nm 的典型光子探测效率约为 2%,W1 级的暗计数率为 1 kHz。

首先,介绍了单光子探测硅基 SPAD 探测组件的混合集成架构;然后,对硅基 SPAD 焦平面阵列的器件结构和 1 064 nm 处光子探测效率的提升措施进行了分析;接着,对需要满足高过偏压工作要求的 SPAD 读出电路进行了设计;最后,对硅基 SPAD 探测组件的测试系统和结果进行了讨论。

1 硅基 SPAD 探测组件架构

硅基 SPAD 探测组件采用了混合集成架构,主要由硅基 SPAD 焦平面阵列芯片、读出电路芯片、陶瓷管壳等构成,如图 1 所示。为满足探测视场角要求,硅基 SPAD 焦平面采用 8×8 二维阵列结构;高压读出电路分为 4 个芯片分别放置在硅基 SPAD 焦平面的四周,每个读出电路芯片的读出通道数为 16;读出电路与 SPAD 焦平面封装在陶瓷管壳内,两者之间采用引线进行互连。

为降低大气传播衰减的影响以满足人眼安全要求,硅基 SPAD 探测器工作在 1 064 nm 波长。为提高 1 064 nm 光子探测效率,硅基 SPAD 探测器需要工作在几十伏的高过偏压模式下,同时光脉冲的瞬态探测要求 8×8 阵列处于全局工作模式,因此,硅基 SPAD 焦平面阵列和读出电路芯片本身的功耗比较高。与采用三维堆叠式的混合集成模式相比,采用平面互连的混合集成模式更有利于 SPAD 探测组件散热,从而有利于降低 SPAD 焦平面阵列的暗计数率。高压读出电路芯片为硅基 SPAD 焦平面提供过偏电压,同时内部的淬灭-复位电路确保 SPAD 探测器处于高光子探测效率状态并防止其被雪崩烧毁。为满足几十伏的高过偏压要求,读出电路前端采用高压 MOS 器件进行设计,由于高压 MOS 器件在 SPAD 雪崩状态时需要流过大的瞬态电流,淬灭-复位电路将占据较大的芯片面积。将 64 个 SPAD 探测单元的读出电路分解为每边 16 通道的读出模式,降低了 SPAD 单元像素面积对读出电路尺寸的限制,有利于淬灭-复位电路性能的优化,集成更多的电路功能。

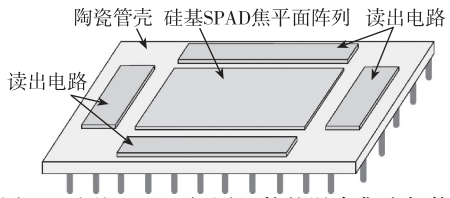


图 1 硅基 SPAD 探测组件的混合集成架构

2 硅基 SPAD 焦平面阵列设计

硅基 SPAD 焦平面的探测单元采用 N^+-p-π-P^+ 的器件结构,如图 2 所示。主要由光敏区(高掺 N^+层)、雪崩倍增区(p)、吸收层(π)、阳极接触层(P^+)、击穿保护环(n)、增透膜、微纳散光结构、背面反射镜、隔离沟槽等组成。焦平面采用硅高阻外延材料制作,像元中心距为 200 μm×200 μm。

受硅材料物理特性限制,1 064 nm 波长光在硅材料中的吸收深度约为 989 μm。采用传统 APD 通过增加吸收层厚度来提升探测效率的方法会带来暗计数率增加、响应时间增长、时间抖动增加以及单元间串扰加剧等缺点。为解决上述问题,在 SPAD 像素单元结构设计上,利用了背面反射镜和微纳散光结构来将光反射回吸收区,增加光的吸收路径,并利

用隔离沟槽来限制光电串扰。利用 SILVACO 仿真软件并采用 GEIGER 模型对不同的 SPAD 单元结构进行了仿真，表 1 给出了不同 SPAD 像素单元结构方案对应的吸收率、雪崩概率、单光子探测效率等性能参数的仿真情况。从表 1 中仿真参数可以看出：增加吸收层厚度，增大过偏压可以将光子探测效率从原来的 1.6%增加到 2.2%，但时间抖动也从 0.28 ns 增加到了 0.44 ns；当仅采用背面反射镜结构时，反射光近似于平行反射，光的吸收路径近似变为了原来的两倍，因此光子探测效率增加到了 3.8%；采用背面反射镜和微纳散光的器件结构可以改变光的反射角度，进而可以更多地增加光的吸收路径，因此入射光的吸收率得到显著提升，达到了 36.4%，从而也使得光子探测效率增加到了 14.7%。

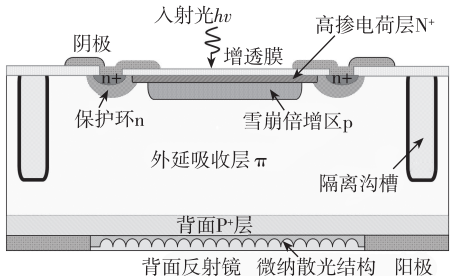
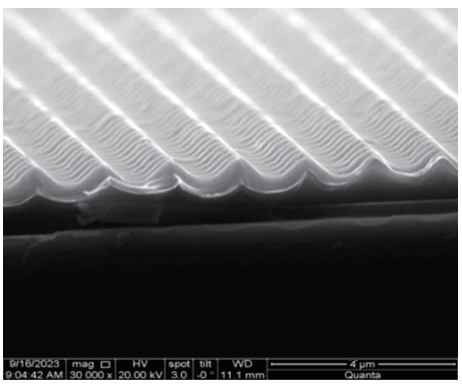


图 2　硅基 SPAD 焦平面芯片的像素单元结构

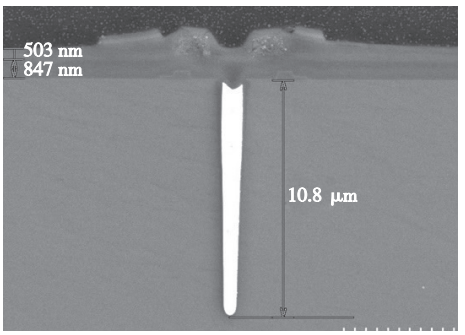
表 1　不同 SPAD 像素单元结构的仿真参数对比情况

序号	结构方案与工作条件			时间抖动/ns	入射光吸收率/%	雪崩概率/%	单光子探测效率/%
	1 064 nm 响应增强方案	吸收层厚度/μm	过偏压/V				
1	无吸收增强结构	40	40	0.28	4.0	92.1	1.6
2	无吸收增强结构	60	60	0.44	5.9	86.5	2.2
3	背面反射镜结构	40	40	0.28	9.5	92.1	3.8
4	背面反射镜＋微纳散光结构	40	40	0.28	36.4	92.1	14.7

背面反射镜采用薄膜技术降低光从硅吸收层进入空气中的出射率来实现，利用 SiO_2，Si_3N_4，SiO_2 和 Al 的复合反射镜结构，可以将反射镜的出射率降低至 6.2%。通过优化刻蚀掩膜，调节各向同性刻蚀和各向异性刻蚀比例，可以刻蚀形成器件的微纳散光结构，如图 3(a)所示。为抑制光直射串扰，需要在像元间做较深的隔离沟槽，并填充金属；为有效抑制内部发光产生的串扰，隔离沟槽需要贯穿有源区；为了提高器件的占空比，需要尽量减少隔离槽的宽度。刻蚀时会在隔离槽表面形成悬挂键缺陷，需要生长高质量栅氧化层加以钝化，否则会使器件暗计数上升。所设计的 SPAD 像素单元的隔离沟槽采用 BOSCH 深硅刻蚀工艺实现高深宽比硅槽刻蚀成型，然后利用高温氧化、原子层沉积、钨塞工艺实现沟槽钝化与填充，最后采用 CMP 工艺实现表面平坦化，形成的结构如图 3(b)所示。



(a) 微纳散光结构



(b) 隔离沟槽结构

图 3　微纳散光结构和隔离沟槽结构 SEM 显微图

3　单芯片高压读出电路设计

8×8 阵列的 SPAD 焦平面读出电路被分解为 4 个单芯片，每个单芯片包含了 16 通路的信号处理电路。当硅基 SPAD 像素单元发生雪崩时，高压读出电路必须快速地对雪崩过程进行淬灭，缩短雪崩电流流经 SPAD 器件内部的时间，进而减少电荷俘获、功耗以及电学串扰[6-7]。硅基 SPAD 焦平面工作在极高的反向偏电压下，仅过偏压就达到了 40 V，而逻辑控制部分则需要用低压 MOS 器件来设计以提高电路的响应速度，同时减小芯片面积，所以读出电路还需要电平转换电路实现高压部分和低压部分的信号转换。另外，当单个 APD 探测单元发生失效击穿时，高电压会直接加载到读出电路端，从而造成输入晶体管被击穿或烧毁，严重的会使整个读出电路芯片失效，为此需要在读出单元电路中

加入高压击穿保护。

硅基 SPAD 焦平面的单通道读出电路原理图如图 4 所示。由于 SPAD 焦平面阵列为 P 型衬底，因此 SPAD 探测单元的阳极端电压 HBIAS 为负电压，而阴极端通过多晶硅熔丝与电路节点 DIN 相连接。当复位信号 RESET 有效时，高压管 NM_2 开启，高压管 NM_1 关断，高压管 PM_1 开启，电阻 R_2、高压管 PM_3 和 PM_2 构成电流镜式充电结构，对节点 DIN 进行充电，将 SPAD 阴极端复位到电压 HV，此时 SPAD 探测单元处于单光子检测状态；当复位信号 RESET 无效后，高压管 NM_2 关断，复位电路不再对节点 DIN 进行充电，DIN 节点电压保持不变，此时当光子入射到 SPAD 探测单元内部并引起雪崩后，会有一个从几十微安到几百微安大小的瞬态雪崩电流流过 SPAD 探测单元，对节点 DIN 进行电荷泄放使得 DIN 处的电压下降，进而开启二极管连接形式的高压管 PM_4。高压管 PM_4 和 PM_5 构成电流镜结构，当 PM_4 开启过后，镜像到 PM_5 的电流流过取样电阻 R_S，当 R_S 两端的电压超过反相器 INV_1 的翻转阈值后，INV_1 的输出端发生翻转，该翻转信号 S_1 一方面被输入到淬灭控制模块，从而让高压管 PM_1 关断、高压管 NM_1 开启，进而将节点 DIN 处的电压迅速下拉到地电位，使得 SPAD 探测单元两端的电压下降到击穿电压以下进行雪崩淬灭，另一方面信号 S_1 通过反相器 INV_2 产生控制信号 S_2 送入延迟控制模块，信号 S_2 的功能与 RESET 信号相似，只是需要经过一个压控延迟电路，延迟一定时间后产生控制信号 S_3 和 S_4，进而开启高压管 NM_2 和 PM_1，关断高压管 NM_1，使得 SPAD 探测单元自动进入到下一个单光子检测周期。

与常规可见光波段如 532 nm 的 SPAD 探测器不同，1 064 nm 波长的 SPAD 探测器需要工作在高过偏压状态，因此高压击穿保护尤为重要。图 4 所示电路结构中，二极管 D_1 和多晶硅熔丝构成了击穿过流保护电路：当 SPAD 器件发生失效击穿后，瞬态大电流将节点 DIN 处的电压拉低，当该处电压下降到 −0.7 V 左右时，二极管 D_1 导通，DIN 节点电压被嵌位，当电流进一步增大达到熔丝的熔断点后，熔丝熔断从而将 SPAD 探测单元与高压读出电路断开，防止烧毁读出电路芯片。在设计熔丝的熔断点时，需要考虑 SPAD 器件在单光子检测时的雪崩电流值，以防止误熔断。除了读出电路与 SPAD 器件接口处的保护外，读出电路芯片内部的高低压电路接口处也需要进行保护，图 4 中二极管 D_2 就起到了过压嵌位作用，防止检测电组 R_S 端的电压超过了后端处理电路可承受的工作电压。在设计上，当全局信号 EN 无效时，所有 SPAD 探测单元的阴极端电压均被下拉到地，整个 SPAD 焦平面处于非探测状态，使得硅基 SPAD 探测组件的工作状态灵活可控，同时也降低了整体功耗。

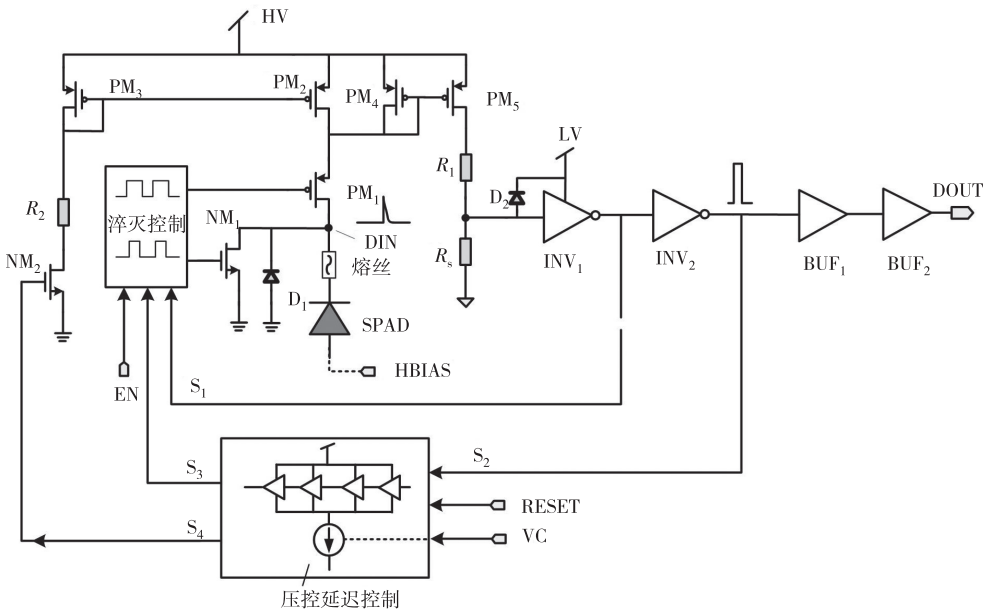


图 4 单通道 SPAD 读出电路的结构原理图

4　样品测试及结果分析

硅基 SPAD 焦平面采用 0.5 μm 硅基光电探测器工艺进行设计与制作，而高压读出电路芯片采用 0.35 μm 40 V BCD 工艺进行设计与制作。整个硅基 SPAD 探测组件包含一个硅基 SPAD 焦平面阵列芯片和四个高压读出电路芯片，如图 5 所示。无论 SPAD 探测组件处于复位状态还是单光子检测状态，均需要电源能够提供大的瞬态电流，因此，组件内部封装有多个大的滤波电容。同时，由于 SPAD 探测组件通常工作在恒温状态，测温电阻也被封装在管壳内部。

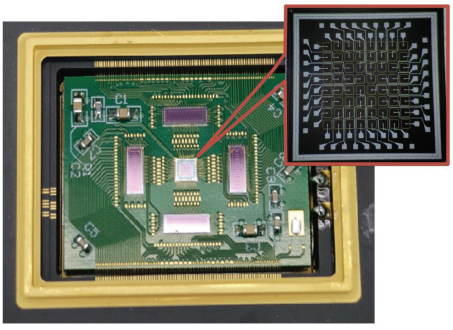


图 5　8×8 硅基 SPAD 探测组件的实物照片

硅基 SPAD 探测组件采用激光发射与对准测试系统进行测试，如图 6 所示：测试采用 1 064 nm 波长的激光器，并将激光聚集到小于等于 30 μm 的直径内，且能通过图像识别系统直观显示聚焦后的激光光斑位置，使得发射的激光脉冲能够精准落到每个 SPAD 探测单元的光敏面上。测试系统利用 FPGA 和相关测试软件对 SPAD 探测组件输出的计数脉冲进行统计，并可同时在示波器上直观显示输出的计数脉冲波形。

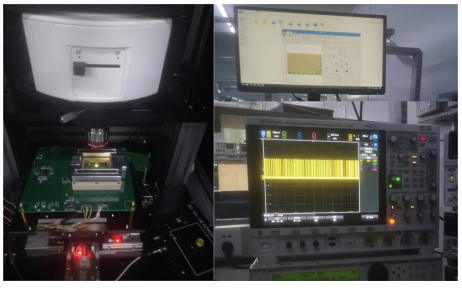
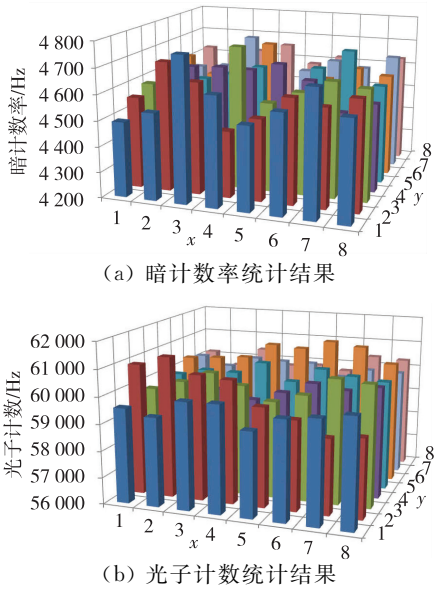


图 6　硅基 SPAD 探测组件的参数测试系统

表征硅基 SPAD 探测组件性能的关键参数主要包括：暗计数率、光子探测效率和后脉冲概率。在暗箱无光照、制冷温度为－20 ℃、过偏压为 40 V 的条件下，对 8×8 阵列的 SPAD 探测组件进行测试，得到各 SPAD 探测单元的暗计数率如图 7(a)所示，经过统计得到 SPAD 探测组件的平均暗计数率为 4 595 Hz，暗计数的非均匀性偏差约为 1.22%。在制冷温度为－20 ℃、过偏压为 40 V 条件下，对 1 064 nm 光源进行衰减达到单光子状态，发射 500 kHz 激光脉冲，统计光子触发雪崩次数，得到如图 7(b)所示结果，经过统计得到 SPAD 探测组件的平均光子计数率为 60 093 Hz，除去暗计数从而得到 1 064 nm 波长下光子探测效率约为 11.1%，探测效率非均匀性偏差约为 0.68%。



(a) 暗计数率统计结果

(b) 光子计数统计结果

图 7　硅基 SPAD 探测组件各单元的测试统计结果

SPAD 探测器发生雪崩时产生的大量载流子会被材料中的缺陷所捕获，这些被捕获的载流子在之后的单光子检测模式下释放从而触发雪崩并被检测到，上述现象被称为后脉冲。后脉冲的发生是一个概率事件，通常采用双门法来测试后脉冲概率，即前一个单光子检测状态发射激光触发雪崩，后一个单光子检测状态检测后脉冲触发雪崩，前后两个检测状态之间的间隔时间被称为 SPAD 的死区时间。图 8 显示了硅基 SPAD 探测组件的后脉冲概率与死区时间的关系。当死区时间为 100 ns 时，后脉冲发生的概率为 6.76%。为降低后脉冲发生概率，则需要增加死区时间，当死区时间增加到 200 ns 时，后脉冲概率下降到了 3%。若想让后脉冲发生的概率低于 1%，则死区时间需要增加到 400 ns 及以上。但是，死区时间的增加必然会降低最大光子计数率，因此在实际使用时需要在两者之间进行折中。8×8 硅基 SPAD 探测组件可以通过高压读出电路芯片

内部的压控延迟单元灵活配置死区时间。

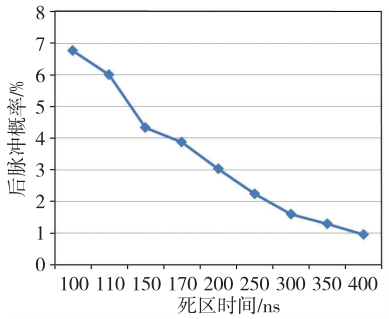


图 8 硅基 SPAD 探测组件的后脉冲概率与死区时间的关系

5 结论

设计了一种 1 064 nm 高光子探测效率的硅基 SPAD 探测组件，包含硅基 SPAD 焦平面阵列和高压读出电路。硅基 SPAD 焦平面的阵列规模为 8×8，像元中心距为 200 μm×200 μm，采用了背面反射镜、微纳散光结构来提高 1 064 nm 波长的光子探测效率，并利用隔离沟槽来降低单元间的串扰。高压读出电路分为 4 个芯片分别放置在 SPAD 焦平面阵列四周，每个读出电路芯片的读出通道数为 16，可以实现 40 V 过偏压的 SPAD 淬灭与复位，单光子检测死区时间可配置，内置保护电路确保了探测组件的高可靠性。测试结果显示，硅基 SPAD 探测组件在 1 064 nm 波长的光子探测效率可达到 11.1%，探测效率非均匀性偏差为 0.68%，平均暗计数率为 4.6 kHz，在 100 ns 死区时间下的后脉冲概率为 6.76%，通过读出电路配置死区时间可以进一步降低后脉冲概率。

参考文献：

[1] 王 玲，刘 博，李志康，等. 基于单像素单光子探测的目标识别与跟踪方法[J]. 半导体光电，2023，44(2)：272-276.
Wang Ling，Liu Bo，Li Zhikang，et al. Target recognition and tracking method based on single pixel single photon detection [J]. Semiconductor Optoelectronics，2023，44(2)：272-276.

[2] Fisher E，Underwood I，Henderson R. A reconfigurable single photon counting integrating receiver for optical communications[J]. IEEE J. of Solid-State Circuits，2013，48(7)：1638-1650.

[3] Schwartz D E，Charbon E，Shepard K L. A single-photon avalanche diode array for fluorescence lifetime imaging microscopy[J]. IEEE J. of of Solid-State Circuits，2008，43(11)：2546-2557.

[4] Shawkat M S A，Habib M H U，McFarlane N. An analog CMOS silicon photomultiplier using perimeter-gated single-photon avalanche diodes[J]. IEEE Trans. on Circuits and Systems，2018，65(11)：3830-3841.

[5] 敖天宏，赵江林，童启夏，等. $In_{0.53}Ga_{0.47}As$ 雪崩光电二极管单光子探测器的温度特性研究[J]. 半导体光电，2022，43(4)：765-769.
Ao Tianhong，Zhao Jianglin，Tong Qixia，et al. A study of temperature characteristics in $In_{0.53}Ga_{0.47}As$ single photon avalanche diodes detector[J]. Semiconductor Optoelectronics，2022，43(4)：765-769.

[6] Bronzi D，Tisa S，Villa F，et al. Fast sensing and quenching of CMOS SPADs for minimal afterpulsing effects[J]. IEEE Photonics Technology Letters，2013，25(8)：776-779.

[7] Acerbi F，Frera A D，Tosi A，et al. Fast active quenching circuit for reducing avalanche charge and afterpulsing in InGaAs/InP single-photon avalanche diode[J]. IEEE J. of Quantum Electron，2013，49(7)：563-569.

作者简介：

丁 鹏(1979—)，男，高级工程师，主要从事半导体光电子器件、光电传输技术研究；

邓光平(1985—)，男，高级工程师，主要从事光探测与成像读出电路设计。