动态综述

DOI：10.16818/j.issn1001－5868.20241212003

SPAD关键参数及淬灭电路设计综述

刘　通，陈玉婷*，程江华，蔡亚辉，程　榜

（国防科技大学 电子科学学院，长沙 410073）

摘　要： 单光子雪崩二极管（Single-Photon Avalanche Diode，SPAD）是一种能够在低照度甚至单光子条件下实现光电探测的器件。凭借其体积小、易集成、灵敏度高及抗电磁干扰等优势，SPAD近年来在激光雷达探测、生物荧光寿命成像、光谱分析和量子通信等领域得到广泛的应用。文章首先介绍SPAD的工作原理、器件结构设计及其发展历程；接着针对光电探测应用，探讨SPAD设计与制造过程中需要关注的关键参数及其形成原理；最后分类介绍用于SPAD雪崩淬灭的淬灭电路设计方法。

关键词： 单光子探测器；单光子雪崩二极管；光电探测；淬灭电路

中图分类号： TN312.7　**文章编号：** 1001－5868(2025)01－0001－09

Review of the Key Parameters and Quenching Circuit Design of Single-Photon Avalanche Diodes

LIU Tong，CHEN Yuting，CHENG Jianghua，CAI Yahui，CHENG Bang

（College of Electronic Science and Technology，National University of Defense Technology，Changsha 410073，CHN）

Abstract： Single-photon avalanche diodes（SPADs）are advanced photodetectors capable of detecting light under extremely low-light conditions，even single photons. Their compact size，high sensitivity，ease of integration，and strong resistance to electromagnetic interference have led to their widespread use in fields such as light detection and ranging（LiDAR），fluorescence lifetime imaging，spectroscopy，and quantum communication. These applications leverage SPADs for their precision，reliability，and ability to operate in challenging environments. This paper provides a detailed overview of SPAD，including its historical development，working principles，and device structure design. It further delves into the critical parameters and underlying principles that influence the performance of SPADs during design and manufacturing，particularly with respect to photoelectric detection applications. Key parameters such as dark count rate，photon detection efficiency，and time jitter are discussed in detail. Finally，the paper focuses on the design of quenching circuits，which are essential for controlling the avalanche process in SPADs，thereby ensuring stable operation and enhancing device performance.

Key words： single-photon detector；single-photon avalanche diode；photoelectric detection；quenching circuit

收稿日期：2024－12－12.

基金项目：国防科技大学自主创新科学基金（24-ZZCX-JDZ-11）.

* **通信作者：**陈玉婷

0 引言

单光子探测(Single-Photon Detection, SPD)技术是一种通过使用具有单光子灵敏度的光电器件对单个光子进行检测和计数的先进技术。常见的具有单光子灵敏度的光电器件有超导纳米线(Superconducting Nanowire Single Photon Detector, SNSPD)、光倍增管(Photon-Multiplier Tube, PMT)、多通道板(Multiple-Channel Plates, MCPs)以及单光子雪崩二极管(Single-Photon Avalanche Diode, SPAD)等。其中,SNSPD具有较高的探测效率、极低的暗计数率、低能耗,以及光谱响应范围广等特性,然而该器件工作在极低的温度下,需要配备高能耗、大体积的制冷设备,其应用范围受限;PMT对于单光子的增益可达1×10^7,具有单光子快速响应能力,且探测面积可达20 in(1 in=2.54 cm),然而PMT与MCPs需要工作在上千伏的中压环境下,体积庞大且难以与互补金属氧化物半导体晶体管(Complementary Metal-Oxide-Semiconductor Transistor, CMOS)器件进行集成,进一步实现小型化。相较而言,SPAD体积较小,可以与CMOS器件集成在同一芯片上,且工作电压较低,通常为几十伏至两百伏左右,器件工作在常温下,不需要额外配置大型温控设备,因此近年来在科学研究、工业、消费电子等领域受到广泛关注。

通过将单SPAD器件与后端电路集成以及设计SPAD探测阵列。SPAD器件在光电探测领域得到广泛应用,包括基于直接飞行时间(direct Time-of-Flight, dToF)原理的激光雷达三维成像[1]、荧光寿命显微成像、量子成像、非视距成像[2-3]以及红外光学层析成像[4]等,这些应用研究展现了该器件所具有的良好应用前景。尤其是非视距成像应用因其超强的环境感知力和应用潜力在近几年得到广泛研究。

国外对于SPAD的研究起步较早,上世纪60年代Shockley实验室的Haiz及其团队已观测到在硅基PN结上产生的雪崩击穿效应[5-7],率先阐释雪崩击穿与暗电流脉冲的原理,并成功模拟出第一个工作在盖格模式下的二极管;20世纪80年代,随着第一批外延器件的发展,人们实现了对有源区域电场的良好控制,基于此,1982年,来自米兰理工大学的Cova等研究出了有源主动淬灭电路,将SPAD探测的死时间降低至20 ns[8]。20世纪90年代,随着集成电路技术节点的小型化,人们开始为SPAD设计紧凑的有源前端电路,极大地提高了器件的检测效率与噪声性能,1998年,林肯实验室首次实验了SPAD与CMOS电路的集成,并将研究出的阵列成功应用在激光雷达传感器上[9]。从21世纪初开始,利用标准CMOS技术制造单光子探测器成为可能,SPAD传感器开始朝着大规模传感器阵列发展。2003年,来自美国物理研究所的Rochas等利用高压CMOS工艺,制造了由SPAD和淬灭电路组成的全集成单光子探测器,为制造SPAD的紧凑阵列开辟了道路[10]。随着对器件结构研究的深入以及半导体技术的发展,通过采用3D堆叠技术实现填充系数更高、集成更加紧凑的SPAD器件成为可能,2023年,索尼公司在背照式(BSI)结构下实现高达36.5%的近红外光子探测效率[11]。

国内对于SPAD器件研究的起步较晚,所产生的研究成果主要集中在2010年之后。2015年,东南大学团队基于0.35 μm CMOS工艺完成了电阻感应淬灭电路和电容感应淬灭电路两种可应用于SPAD大规模阵列的淬灭电路设计[12]。2021年,阜阳师范大学的史晓凤团队基于BCD工艺提出了新的SPAD结构,并通过Silvaco仿真与传统的P^+/N_{well}结构以及$P^+/N_{well}/BN_{well}$结构进行了比较,验证了所提结构的先进性[13]。2022年,清华大学研究团队通过动态忆阻器实现淬灭负载的变化,达到了简化电路以及提高淬灭性能的效果[14]。

结合国内外研究与发展历程不难发现,对于SPAD的研究主要围绕器件与淬灭电路设计两个部分展开。器件设计过程中,主要关注暗计数率、后脉冲、光子探测效率以及时间抖动等关键参数,近年来,随着高度集成的SPAD阵列投入到应用中,像素间的串扰也成为了设计时必须考虑的一环,因此,理解各项指标的物理意义以及对各项指标产生影响的物理原理,对指导器件设计具有重要的意义。淬灭电路作为中断雪崩过程的重要电路,通常与SPAD集成在同一像素中,其设计将影响到SPAD阵列的集成度以及成像分辨率等应用指标,因此,掌握不同类型的淬灭电路原理对于指导SPAD阵列设计、对SPAD研究时配套电路的选择等具有重要参考意义。

本文首先讨论SPAD器件设计过程中的关键参数及影响,然后总结SPAD常见的配套探测电路设计,分类讨论不同淬灭电路的设计原理及工作特

点，探讨SPAD的发展及问题。

1　器件关键参数

SPAD是一种工作在盖格模式下的雪崩二极管，具有高灵敏度、高增益、高响应速度的特征。典型的SPAD探测周期如图1所示[15]，在光子到来之前，SPAD两端的反向偏置电压$V_{REVERSE}$大小为击穿电压V_B与过偏置电压V_E之和。光子到达后，被吸收的光子在器件的有源区域引发雪崩效应，产生雪崩光电流，该雪崩过程持续到与SPAD相连的淬灭电路感知之后，探测周期进入淬灭阶段。淬灭电路通过电阻分压等方式，改变施加在SPAD两端的偏置电压来中断雪崩过程。当雪崩电流接近于0时，SPAD进入充电过程，两端偏置电压最终回到初始位置，为下一次探测做好准备。

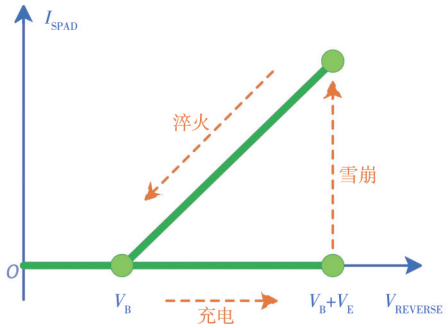
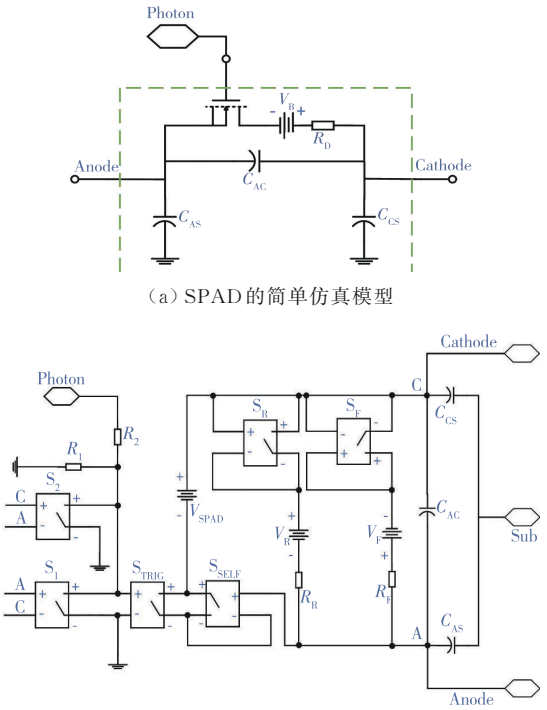


图1　SPAD探测周期示意图

通过对SPAD原理的深入研究，米兰理工大学研究团队于2007年和2009年分别提出了如图2所示的SPAD的简单模型与增强版SPAD模型[16-17]。其中，增强版的SPAD模型将二次雪崩、前向偏置等情况考虑在内，可以对更为复杂的器件行为进行模拟，为研究人员使用电路模拟SPAD行为进行研究提供了有效指导和帮助。

结合SPAD原理和常用模型，在对SPAD的设计、研究与应用中，主要关注的参数有暗计数率、后脉冲、光子探测效率、时间抖动以及像素间的串扰概率等。研究者需要充分考虑目标应用场景后在有源区大小、填充因子与这些关键参数之间作出权衡，例如，SPAD的有源区域越大，光子探测效率越高，同时器件的暗计数率也会提高，因此有研究人员从光子计数、定时和成像三个主要的应用方向提出定量分析的方法对设计的SPAD器件进行评估[18]。



（a）SPAD的简单仿真模型

（b）增强版SPAD模型

图2　SPAD仿真模型

1.1　暗计数率

SPAD在处于黑暗环境下产生的计数定义为暗计数（Dark Count，DC），单位时间内暗计数与总计数的比率称为暗计数率（Dark Count Rate，DCR），其主要来源于以下两个方面：

1）热产生机制下生成的自由载流子，在进入雪崩倍增区域以后引发雪崩电流，产生暗计数；

2）在器件生产过程中，不可避免地在器件中形成晶体缺陷或引入杂质，在载流子的运动过程中引起陷阱辅助隧穿效应，使得原本无法穿过壁垒的载流子通过，并进入雪崩倍增区域产生暗计数。

从产生的原理可知，暗计数受到温度影响较大。在室温环境下，由热产生生成的载流子占主导地位，当温度继续上升，暗计数将进一步提高，甚至超越对光子信号的响应；反之，当温度降低至一定限度以下，暗计数下降速度放缓，此时的暗计数主要由陷阱辅助隧穿效应产生。

除了受温度影响，暗计数还与加载在SPAD两端的过偏置电压、有源区的大小以及有源区的形状有关。过偏置电压越高，同等能量的载流子激发的电子越多，暗计数率越高[19]。有源区越大，收集到载流子的概率越高，暗计数率越高。研究人员采用了不同的有源区形状设计，包括方形、圆形以及基

于超椭圆的费曼型三种，其中采用圆形设计的器件测得的DCR普遍较低[20]。

在SPAD阵列中，由于制造时温度、元素沉积等不均匀，阵列中的部分像素性能会明显差异于其他像素。其中，暗计数率高于均值50%以上的像素称为热像素，如图3所示[21]，不足均值的50%的像素称为死像素，这些异常像素将对成像的效果造成影响，因此需要进行改善。常用的处理方法有三种：

1)对异常像素进行简单屏蔽，然而这种方法虽然简单，却会对最终成像质量造成影响；

2)使用像素校正算法，对异常像素进行校正，但在高帧率要求的应用中，需要处理的数据量较为庞大；

3)设置偏置电压检测电路，为不同像素设置独立的偏置电压。华中科技大学武汉光电国家实验室设计出一种新型电荷泵，该器件可以通过DCR对偏置电压实现负反馈调制[22]。韩国亚洲大学团队则提出如图4所示的电路结构，图中A列3行为热像素，该结构将偏置电压分为总体控制与本地控制两个部分[23]。这些尝试均取得良好的效果，但在百万级像素阵列中的应用还有待讨论和验证。

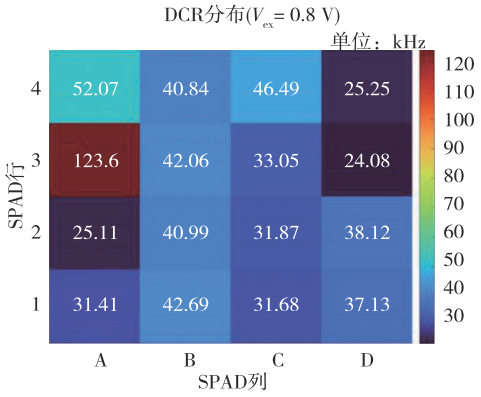


图3 4×4 SPAD阵列中的DCR分布图

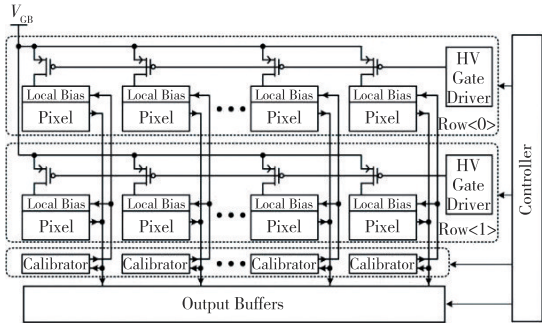


图4 自适应控制偏置电压电路示意图

1.2 后脉冲

在SPAD触发雪崩脉冲事件期间，器件中存在的深能级陷阱将捕获并束缚部分载流子。这些陷阱具有一定寿命，其中被捕获的载流子在经过一段时间后被释放出来。若此时器件已进入待测状态，被释放的载流子可能导致再次产生雪崩，这样在无光子入射时产生的雪崩脉冲被称为后脉冲(After Pulsing，AP)。

深能级陷阱的寿命受到温度影响，其与暗计数相反，温度越高，陷阱中心的寿命越短，陷阱释放载流子的速度越快，后脉冲发生的概率越低。除了温度以外，后脉冲发生的概率还与雪崩电流密度、雪崩电流的持续时间以及SPAD的寄生电容等有关，雪崩电流密度越大，雪崩期间流经有源区的自由载流子越多，后脉冲的概率越大。

目前主流的改善后脉冲的方法是通过淬灭电路设置一定长度的保持时间，在保持时间内陷阱充分释放捕获的载流子，避免在SPAD复位后产生二次脉冲。

1.3 光子探测效率

光子探测效率(Photon Detection Efficiency，PDE)定义为SPAD检测到的光子数与入射到器件有源区的光子数之比，反映了器件的灵敏度，一直是SPAD器件参数优化的重点。对于同一波长的光来说，器件的PDE主要受到过偏置电压以及有效雪崩区内量子效率的影响。一般来说，随着过偏置电压的增加，PDE也会随之上升，但同时器件的DCR也会上升，因此在设计过偏置电压大小时需要在PDE和DCR之间进行平衡；对于不同波长光来说，PDE还受到器件结深的影响。不同波长光的能量大小不同，在入射到器件表面之后所能到达的深度也不同，因此在同种器件工艺下，针对近红外光探测设计出的SPAD相较于用于可见光探测的SPAD会有更大的结深[24]。

在实际应用中，SPAD的PDE通常使用特定波长的光通量照射设备来测量，通过结合另一个已知光子探测率器件所测得的数据，经过适当校准后，对探测区域的测量结果进行归一化和比较得到最终的测量结果。相较而言，定制型SPAD会比非定制型SPAD具有更高的PDE，德国Laser Component公司报道了在近红外光波段(650 nm)下具有高达73%峰值PDE的定制型SPAD器件，而采用标准CMOS工艺的SPAD典型值在30%～40%之间[25]。近年

来随着亚微米CMOS技术的发展，电微透镜技术、向器件中加入植入物等方式已被应用于改善器件的PDE性能[26-27]，此外还可以通过在器件中添加优化的反射涂层来达到增加对应波段PDE效果[24]。

1.4　时间抖动

时间抖动又称光子定时精度，定义为光子吸收与雪崩信号输出脉冲之间的统计时间扩散。研究人员通常使用激光脉冲照射SPAD，利用参考信号与SPAD的检测时间之间的延迟建立分布直方图进行分析，典型的时间抖动测量方案如图5所示[28]。使用直方图的半高全宽（Full Width at Half Maximum，FWHM）来表示时间抖动，典型的测量结果图像如图6所示[29]。

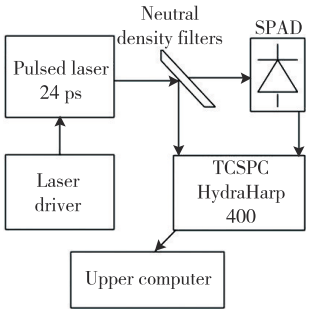


图5　时间抖动测量方案

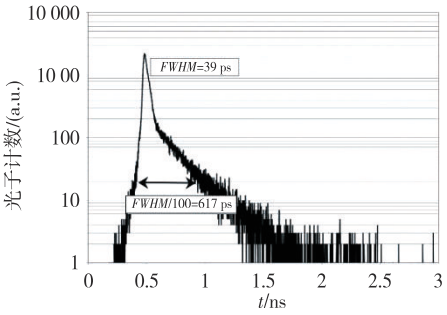


图6　时间抖动测量图

从图6可以看出，分布直方图由高斯峰和指数尾两个部分组成。其中，高斯峰由在SPAD有效区域内吸收的光子构成，峰值的宽度主要取决于横向雪崩的建立时间，因此在其他条件不变的情况下，时间抖动与有源区域大小成反比[20]；指数尾是由在SPAD中性区中产生的少数光生载流子向耗尽区扩散形成的，其散布可以使用$FWHM/100$表示。一般而言，更低的时间抖动表明器件具有更高的时间分辨率以及更高的测量精度。

1.5　像素间串扰

随着应用场景中对像素分辨率要求的提高，单光子探测阵列正往高集成度、小型化的方向发展，然而在单光子探测阵列高度集成化的过程中，像素之间产生的串扰对阵列性能造成的影响逐渐变得不可忽视，严重时会导致最终成像模糊，因此，近年来针对串扰产生的原理，以及针对串扰问题解决方法的讨论逐渐增加。

根据串扰的类型，像素间的串扰可以分为电学串扰和光学串扰两类。其中，电学串扰主要分为以下两种：

1）电磁噪声耦合串扰。这类串扰主要发生在像素间距较小的大型SPAD阵列中，当阵列中同时点亮大量的SPAD，信号线上传递雪崩输出电流可能与附近的电源线发生电磁噪声耦合，从而产生尖锐的开关噪声；

2）载流子横向串扰。在SPAD处于雪崩事件期间将产生大量载流子，这些载流子有一定概率发生横向扩散，进入相邻SPAD的倍增区域内并触发雪崩效应。根据两类电学串扰原理，常见的去耦措施有：对阵列电源线进行去耦、在结构设计中添加保护环以及设置电位屏障等。

光学串扰是目前SPAD阵列中最主要的像素间串扰类型。其产生的原理是，SPAD在雪崩过程中产生的热载流子释放出光子，该光子有一定概率被相邻的SPAD重新吸收并触发雪崩脉冲。减少光学串扰的方式主要有两种，一种是增加像素之间的间距，米兰理工大学团队发现像素间串扰在间距增加到一定距离时会有回升的现象[30]，这是由于激发的光子在该间距下可经过衬底反射进入有源区触发雪崩；另一种是在器件结构设计中添加不透明的隔离沟槽，避免相邻器件逸出光子进入有源区，但代价是填充系数更低，像素间距更大，且在制作时需要有额外的步骤[31-32]。

2　淬灭电路

在没有外界进行干预的情况下，光子在SPAD有源区上引发的雪崩过程将一直持续直到器件损坏，因此需要设计配套的淬灭电路来抑制雪崩电流。

淬灭电路的基本原理是通过感知雪崩电流的到来后，使用分压等方法将SPAD两端的反向偏置电压降低到击穿电压以下，从而停止雪崩过程。随着对单光子探测性能要求的日益提高，除了基本的淬灭功能外，部分前端电路还包含有定时、保持、复

位以及动态控制过剩电压等功能[33-34]。为了在实现这些功能的同时降低电路对SPAD探测性能的影响，淬灭电路的设计目标通常包括低抖动、低输入电容、低噪声以及易于集成等。在完成设计后，通过EDA工具结合测试电路[35-36]，完成对性能的测试。

常见的淬灭电路可根据原理分为被动淬灭电路、主动淬灭电路、主被动混合淬灭电路、可变负载淬灭电路以及门控淬灭电路，在最新的研究中，还有研究人员提出使用新型器件进行淬灭[37]。下面将从结构、原理及优缺点三个主要方面对各类淬灭电路进行介绍。

2.1 被动淬灭电路

被动淬灭电路（Passive Quenching Circuit，PQC）是最简单、最基础的淬灭电路，其结构如图7所示。通过设置淬灭电阻R_Q，在SPAD触发雪崩电流后分压来被动地降低SPAD阴极的电压，从而淬灭雪崩。

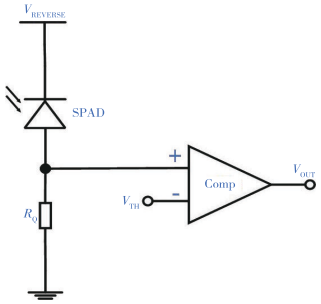


图7 被动淬灭电路示意图

这一淬灭原理要求在淬灭与复位之间做出权衡。如果淬灭电阻的阻值不够，则有可能导致无法淬灭雪崩；过高的淬灭电阻则会导致R_C值偏大，从而使得充电复位的时间过长，严格限制了最大允许的光子计数率与检测性能。基于以上几个缺点，被动淬灭电路在市场应用中逐渐被淘汰，主要用于对SPAD进行功能测试。

2.2 主动淬灭电路

主动淬灭电路（Active Quenching Circuit，AQC）克服了被动淬灭电路淬灭复位时间长的问题。如图8所示，AQC的原理是：通过有源控制逻辑回路感受雪崩信号后，输出电压控制信号改变SPAD两端的偏置电压，从而达到雪崩淬灭的效果。这种方法无需设置高阻值电阻，因此所需的复位时间非常短，可以在最大程度上减少SPAD发生后脉冲等异常触发的可能，且可以通过单稳态器对雪崩的保持时间进行主动调节，从而降低后脉冲率。但由于使用了传感元件等有源器件，进而增加了电路的功耗和寄生负载。

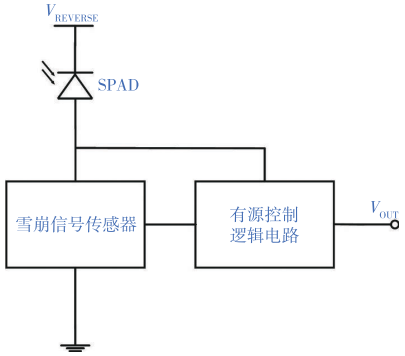


图8 主动淬灭电路示意图

目前，针对主动淬灭电路的研究仍在进行中，主要研究方向有：

1）如何在使用AQC的像素中，提高填充系数（Fill Factor，FF）；

2）增加配套电路，实现更多功能。如增加单稳态器，实现保持时间的调节和控制。

2.3 主被动混合型淬灭电路

主被动混合型电路（Passive Quenching Active Recharging，PQAR）结合了PQC与AQC的优点。如图9所示，PQAR使用大电阻R_Q作为阳极的负载电阻对雪崩电流进行第一阶段的被动淬灭，弥补了在主动淬灭下电路淬灭所需要的反应时间；之后由控制逻辑电路感应到雪崩电流启动主动淬火过程，强制让SPAD的反向偏置电压低于击穿电压完成主动淬灭，在通过主动动作引入的可调延迟时间之后进行主动复位过程，避免了高阻值下SPAD复位时间长的问题。其缺点主要在于电路结构复杂，占用面积较大，仍存在与感应输入相关的电容问题。

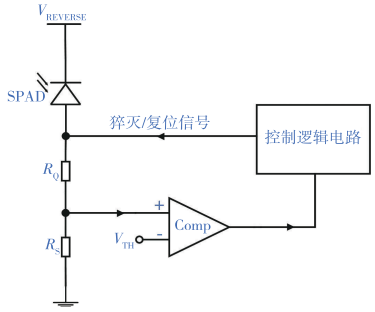


图9 主被动混合型淬灭电路示意图

2.4 可变负载淬灭电路

可变负载淬灭电路（Variable-Load Quenching

Circuit，VLQC）的设计方法是：通过雪崩电流改变 SPAD 阳极的负载，使得在淬灭过程中通过高负载完成快速淬灭，在充电过程中通过低负载完成快速充电，实现自由运行模式，即在经过设定的延迟后，电路可自动重新启动 SPAD。典型的 VLQC 淬灭电路的结构如图 10 所示，在待检测状态下，晶体管 M_S 处于关闭状态，充当高阻值电阻；光子到来后激发出光电流，在晶体管的一端转化为电压信号，当电压信号高于阈值时激发控制逻辑电路产生控制信号开启晶 4F53 管，此时晶体管作为小电阻参与电路的充电复位过程。

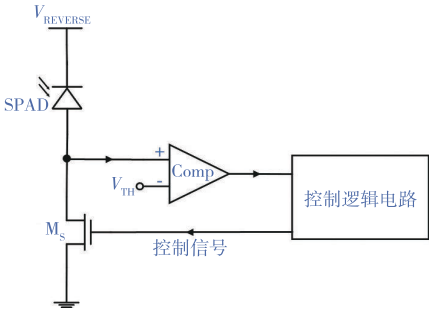


图 10　可变负载淬灭电路示意图

在 VLQC 中，仅使用 NMOS 管即可完成所有功能，因此结构相比于 PQAR 更简单，也更易于集成在芯片上。在设计这种结构时，需要综合考虑晶体管 M_S 的面积开销、复位峰值电流以及整体性能的平衡等。

随着 MOS 管制造工艺的提高，VLQC 受到的关注也逐渐增加。图 11 展示了由意大利光子科学研究所提出的一款 24×24 像素的 SPAD 成像仪中使用的淬灭电路[37]。该电路通过 M_S 充当淬火电阻，M_R 充当复位控制电阻，可以在 0.6 ns 内完成一个淬灭周期。在这个设计中，M_S 和 M_R 通过不同的信号进行控制，虽然会在一定程度上增加器件面积的开销，但是增加了器件功能扩展的可能，体现了 VLQC 易于扩展的优越性。

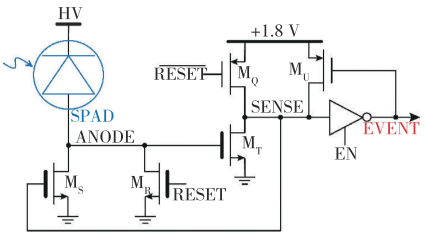


图 11　单像素中的淬灭电路框图

2.5　门控淬灭电路

门控淬灭电路的结构如图 12 所示，SPAD 器件运行在自由模式下，通过上位机输入的控制信号或集成器件发生的时间信号来对器件的阳极电压进行控制。在一段时间内使得器件偏置电压高于击穿电压，可以探测到光子信号。其余时间偏置电压低于击穿电压，即使有光子到来也不会产生信号，进而减少光子误触发次数。

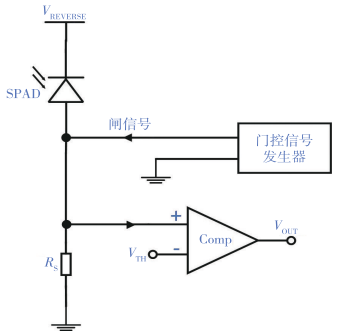


图 12　门控淬灭电路原理图

3　总结与展望

SPAD 器件的研究主要围绕器件本身性能的提升和配套淬灭电路的设计优化两点来进行。器件工艺水平的进步推动 SPAD 器件进一步朝着小型化、集成化、高精度的方向发展。随着应用的深入，还有以下三个方面值得继续深入研究。

1）未来对于分辨率的要求将进一步提升，这就使得 SPAD 阵列的集成度将进一步增大，然而目前的 SPAD 器件对于器件串扰的考虑不充分，需要针对不同的串扰产生原因对器件进行重新设计来满足进一步集成化、小型化的需求；

2）对于读出电路来说，SPAD 产生的响应电流通常为尖锐的电流变化，因此读出电路的功耗较高，且电流的突变容易造成电路损坏、误计数等问题，因此设计稳定、低功耗的读出电路迫在眉睫；

3）需要解决 SPAD 阵列中器件的不均匀性问题。由于制造时的温度、离子浓度等不均匀导致产生的 SPAD 阵列中的不同 SPAD 器件性能是不均匀的，部分器件有更高的暗计数率或不同的偏置电压等，因此要求通过配套电路设计或者算法处理的方法来提高数据的均匀性。

参考文献：

[1]　曹　杰，郝　群，张芳华，等．APD 三维成像激光雷达研究进展[J]．红外与激光工程，2020，49(9)：256-265.

Cao Jie, Hao Qun, Zhang Fanghua, et al. Research progress of APD three-dimensional imaging lidar[J]. Infrared and Laser Engineering, 2020, 49(9): 256-265.

[2] Buttafava M, Zeman J, Tosi A, et al. Non-line-of-sight imaging using a time-gated single photon avalanche diode[J]. Optics Express, 2015, 23(16): 20997-21011.

[3] Riccardo S, Conca E, Sesta V, et al. Fast-gated 16×16 SPAD array with 16 on-chip 6 ps time-to-digital converters for non-line-of-sight imaging[J]. IEEE Sensors Journal, 2022, 22(17): 16874-16885.

[4] Pavia J M, Scandini M, Lindner S, et al. A 1×400 backside-illuminated SPAD sensor with 49.7 ps resolution, 30 pJ/sample TDCs fabricated in 3D CMOS technology for near-infrared optical tomography[J]. IEEE Journal of Solid-State Circuits, 2015, 50(10): 2406-2418.

[5] Goetzberger A, McDonald B, Haitz R H, et al. Avalanche effects in silicon p-n junctions. II. structurally perfect junctions [J]. Journal of Applied Physics, 1963, 34(6): 1591-1600.

[6] Haitz R H, Goetzberger A. Avalanche noise study in microplasmas and uniform junctions [J]. Solid-State Electronics, 1963, 6(6): 678-680.

[7] Oldham W G, Samuelson R R, Antognetti P. Triggering phenomena in avalanche diodes [J]. IEEE Transactions on Electron Devices, 1972, 19(9): 1056-1060.

[8] Cova S, Longoni A, Ripamonti G. Active-quenching and gating circuits for single-photon avalanche diodes (SPADs) [J]. IEEE Transactions on Nuclear Science, 1982, 29(1): 599-601.

[9] Aull B F, Loomis A H, Gregory J A, et al. Geiger-mode avalanche photodiode arrays integrated with CMOS timing circuits [C]// 56th Annual Device Research Conference Digest. IEEE, 1998: 58-59.

[10] Rochas A, Gani M, Furrer B, et al. Single photon detector fabricated in a complementary metal-oxide-semiconductor high-voltage technology [J]. Review of Scientific Instruments, 2003, 74(7): 3263-3270.

[11] Fujisaki Y, Tsugawa H, Sakai K, et al. A back-illuminated 6 μm SPAD depth sensor with PDE 36.5% at 940 nm via combination of dual diffraction structure and 2×2 on-chip lens [C]// 2023 IEEE Symposium on VLSI Technology and Circuits (VLSI TC). IEEE, 2023: 1-2.

[12] 涂君虹. 大规模阵列SPAD淬灭电路设计[D]. 南京: 东南大学, 2015.
Tu Junhong. The design of quenching circuit for SPAD of large-scale array dimensions [D]. Nanjing: Southeast University, 2015.

[13] 史晓凤, 庞 雪, 朱丽君, 等. BCD工艺下光电集成的单光子雪崩光电二极管及前端电路的研制[J]. 光学精密工程, 2021, 29(2): 267-277.
Shi Xiaofeng, Pang Xue, Zhu Lijun, et al. Development of photoelectric integrated single photon avalanche photodiode and front-end circuit based on BCD technology [J]. Optics and Precision Engineering, 2021, 29(2): 267-277.

[14] Zheng J, Xue X, Ji C, et al. Dynamic-quenching of a single-photon avalanche photodetector using an adaptive resistive switch[J]. Nature Communications, 2022, 13: 1517.

[15] Cusini I, Berretta D, Conca E, et al. Historical perspectives, state of art and research trends of single photon avalanche diodes and their applications (Part 1: single pixels) [J]. Frontiers Physics, 2022, 10: 906675.

[16] Zappa F, Tosi A, Dalla Mora A, et al. SPICE modeling of single photon avalanche diodes[J]. Sensors and Actuators A: Physical, 2009, 153(2): 197-204.

[17] Tisa S, Zappa F, Tosi A, et al. Electronics for single photon avalanche diode arrays [J]. Sensors and Actuators. A: Physical, 2007, 140(1): 113-122.

[18] Bronzi D, Villa F, Tisa S, et al. SPAD figures of merit for photon-counting, photon-timing and imaging applications: A review[J]. IEEE Sensors Journal, 2016, 16(1): 3-12.

[19] Wei Z, Liu D, Yu Y. A dark count rate self-adjusting charge pump with negative feedback control for SPAD array biasing [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2024, 71(8): 3710-3714.

[20] Richardson J A, Webster E A G, Grant L A, et al. Scaleable single-photon avalanche diode structures in nanometer CMOS technology [J]. IEEE Transactions on Electron Devices, 2011, 58(7): 2028-2035.

[21] Scott R, Jiang W, Qian X, et al. A multi-time-gated SPAD array with integrated coarse TDCs[J]. Electronics, 2022, 11(13): 2015.

[22] Wei Z, Liu D, Yu Y. A dark count rate self-adjusting charge pump with negative feedback control for SPAD array biasing [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2024, 71(8): 3710-3714.

[23] Park H J, Jee D W. A 48×2 CMOS SPAD sensor with regulated dark count[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2024, 71(9): 4046-4050.

[24] Liu F, Bruschini C, Toh E H, et al. Doping engineering for PDP optimization in SPADs implemented in 55-nm BCD process [J]. IEEE Journal of Selected Topics in Quantum Electronics, 2024, 30(1): 1-7.

[25] Mandai S, Fishburn M W, Maruyama Y, et al. A wide spectral range single-photon avalanche diode fabricated in an advanced 180 nm CMOS technology [J]. Optics Express, 2012, 20(6): 5849-5857.

[26] Fujisaki Y, Tsugawa H, Sakai K, et al. A back-illuminated 6 μm SPAD depth sensor with PDE 36.5% at 940 nm via combination of dual diffraction structure and 2×2 on-chip lens [C]// 2023 IEEE Symposium on VLSI Technology and Circuits(VLSI TC). IEEE, 2023: 1-2.

[27] Gramuglia F, Keshavarzian P, Kizilkan E, et al. Engineering breakdown probability profile for PDP and DCR optimization

in a SPAD fabricated in a standard 55 nm BCD process[J]. IEEE Journal of Selected Topics in Quantum Electronics, 2022, 28(2): 1-10.

[28] Bian D, Liu D, Dong J, et al. A P-type enrichment/high voltage N-well junction Si-SPAD with enhanced near-infrared sensitivity in 180 nm BCD technology[J]. IEEE Electron Device Letters, 2024, 45(3): 436-439.

[29] Tisa S, Guerrieri F, Zappa F. Variable-load quenching circuit for single-photon avalanche diodes [J]. Optics Express, 2008, 16(3): 2232-2244.

[30] Tisa S, Guerrieri F, Zappa F. Monolithic array of 32 SPAD pixels for single-photon imaging at high frame rates [J]. Nuclear Instruments and Methods in Physics Research. Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 2009, 610(1): 24-27.

[31] Kindt W J, van Zeijl H W, Middelhoek S. Optical cross talk in Geiger mode avalanche photodiode arrays: Modeling, prevention and measurement[C]// 28th European Solid-State Device Research Conference. IEEE, 2005: 192-195.

[32] Palubiak D P, Deen M J. CMOS SPADs: Design issues and research challenges for detectors, circuits and arrays [J]. IEEE Journal of Selected Topics in Quantum Electronics, 2014, 20(6): 6000718.

[33] Yu Y, Wang C, Shi H, et al. A review of quenching circuit design based on Geiger-mode APD [C]// 2018 IEEE International Conference on Mechatronics and Automation (ICMA). IEEE, 2018: 28-33.

[34] Pancheri L, Stoppa D. Low-noise CMOS single-photon avalanche diodes with 32 ns dead time[C]// ESSDERC 2007—37th European Solid State Device Research Conference. IEEE, 2007: 362-365.

[35] Uhring W, Le Normand J P, Zint V, et al. A 64 single photon avalanche diode array in 0.18 μm CMOS standard technology with versatile quenching circuit for quick prototyping[J]. Proc. SPIE, 2012: 84391E.

[36] 喻文娟. SPAD的EDA模型与高效率淬灭复位电路设计[D]. 杭州：杭州电子科技大学, 2020.
Yu Wenjuan. EDA model and the design of high efficiency quenching and resetting circuit for SPAD [D]. Hangzhou: Hangzhou Dianzi University, 2020.

[37] Severini F, Cusini I, Madonini F, et al. Spatially resolved event-driven 24×24 pixels SPAD imager with 100% duty cycle for low optical power quantum entanglement detection [J]. IEEE Journal of Solid-State Circuits, 2023, 58(8): 2278-2287.

作者简介：

刘　通(1982—)，男，河南省南阳市人，博士，副教授，主要研究方向：电路与系统和计算机视觉；

陈玉婷(2001—)，女，湖南省长沙市人，硕士，主要研究方向：单光子探测和计算机视觉。