光电器件

DOI: 10.16818/j.issn1001－5868.20241217001

# 基于1/4速率架构的60 Gb/s PAM4信号SerDes接收端设计

张 璇，张春茗*，宋依迪

（西安邮电大学 电子工程学院，西安 710100）

**摘 要：** 随着信息技术的不断发展，通信系统对数据传输速率的要求不断提高。为扩展高频带宽并降低电路功耗，文章设计了一种用于接收1/4速率架构的60 Gb/s PAM4信号SerDes接收端。该设计提出采用跨导-跨阻（Gm-TIA）结构的连续时间线性均衡器（CTLE）与并行四抽头前馈均衡器（4-tap FFE）相结合的均衡策略以扩展高频带宽，并采用1/4速率结构进一步降低功耗。电路基于28 nm CMOS工艺实现，在1.05 V/1.2 V电源电压下，后仿真结果表明：在奈奎斯特频率15 GHz处，CTLE可补偿18.5 dB的信道衰减；经4-tap FFE均衡后，输出眼图的眼宽为0.6 UI，眼高为120 mV；整体接收端功耗为83.71 mW，能效为1.40 pJ/bit，版图核心面积为394.55 μm×343.53 μm。所设计的电路适用于高速串行接口等通信应用。

**关键词：** 高频带宽；低功耗；PAM4；接收端；均衡器

**中图分类号：** TN432 **文章编号：** 1001－5868(2025)02－0202－07

## Design of a 60 Gb/s PAM4 Signal SerDes Receiver Based on Quarter-Rate Architecture

ZHANG Xuan, ZHANG Chunming, SONG Yidi

（**Collega of Electronic Engineering, Xi'an University of Posts and Telecommunications, Xi'an 710100, CHN**）

**Abstract:** With the continuous development of information technology, communication systems require high data transmission rates. To extend the high-frequency bandwidth and reduce the circuit power consumption simultaneously, we designed a 60 Gb/s PAM4 signal SerDes receiver for receiving quarter-rate architecture. A continuous time linear equalizer (CTLE) with transconductance trans-impedance amplifier (Gm-TIA) structure and a parallel four-tap feed forward equalizer (4-tap FFE) equalization strategy are proposed to extend the high-frequency bandwidth, and a quarter-rate structure is used to further reduce the circuit power consumption. The circuit is implemented based on a 28 nm CMOS process at 1.05 V/1.2 V supply voltage, and post-simulation results show that the CTLE compensates for 18.5 dB of channel fading at Nyquist's 15 GHz frequency, and after a 4-tap FFE eye width of 0.6 UI and an eye height of 120 mV, the overall receiver-side power consumption is 83.71 mW, with an energy efficiency of 1.40 pJ/bit. The proposed circuit has a core area of 394.55 μm × 343.53 μm and is suitable for high-speed serial interface and communication applications.

**Key words:** high-frequency bandwidth; low power; PAM4; receiver; equalizer

## 0 引言

随着云计算、大数据和物联网的广泛应用以及消费电子产品的快速发展，数据中心的数据计算量呈指数级增长[1-2]。在此背景下，单芯片需要承载的

**收稿日期：**2024－12－17.

* **通信作者：**张春茗

通信通道数量急剧增加，对数据传输带宽提出了巨大挑战。为在带宽受限的信道中实现更高的数据速率，高阶调制技术成为有线通信的关键解决方案。其中，四电平脉冲幅度调制（PAM4）因其相较于不归零（NRZ）信号更高的频谱效率，以及与更复杂的调制方案相比更容易实现等优势，已被确立为下一代 400 G 以太网的信号标准。然而，在保持带宽受限信道的高数据速率的同时，系统的能效也已成为核心设计约束。

针对高频带宽扩展与功耗优化，已有许多研究：文献[3]在 40 nm CMOS 工艺下设计了一种 48 Gb/s 单端 PAM4 接收端，采用连续时间线性均衡器（CTLE）和一抽头判决反馈均衡器（1-tap DFE），在补偿 7 dB 信道损耗时实现了 2.97 pJ/bit 的能效；文献[4]则在 65 nm CMOS 工艺下实现了支持 20 Gb/s NRZ 和 40 Gb/s PAM4 的接收端，结合 CTLE 和 12-tap DFE 进行均衡，在补偿 10 dB 信道损耗时达到 4.18 pJ/bit 的能效。为了进一步补偿更高损耗的信道，并显著降低电路功耗，本文设计了一种基于 1/4 速率架构的 60 Gb/s PAM4 信号 SerDes 接收端。该接收端由跨导-跨阻放大器（Gm-TIA）结构的 CTLE、跟踪保持电路（TAH）、四抽头前馈均衡器（4-tap FFE）和判决解码电路构成。其中，CTLE 用于扩展高频带宽并提高高频增益；TAH 负责对信号进行采样并保持；4-tap FFE 则在均衡前标和后标码间干扰的同时，进一步增强高频响应。

## 1　接收端系统结构

相对基于 ADC/DSP 的接收端，基于移位电平的 PAM4 接收端具有结构简单、低功耗和低延迟等优点[5]。所设计的 PAM4 信号 SerDes 接收端架构如图 1 所示，经过信道损耗的 60 Gb/s（30 Baud/s）电信号首先经过 CTLE 单元进行高频补偿，保证数据的眼图打开，完成初步均衡。然后进行时间交织采样，将电路的总速率分配给 4 条信号通路，进而分解为 4 路 7.5 Baud/s 较低速数据信号，VGA 电路实现一定的增益提升，通过 4-tap FFE 进一步扩展高频带宽，每路 7.5 Baud/s PAM4 差分数据信号分别进入比较器进行判决，D 触发器（DFF）用对判决后的温度计码进行重定时，重定时的信号经过解码模块解码输出 4×2 路 7.5 Gb/s 单端 CMOS 数据信号。

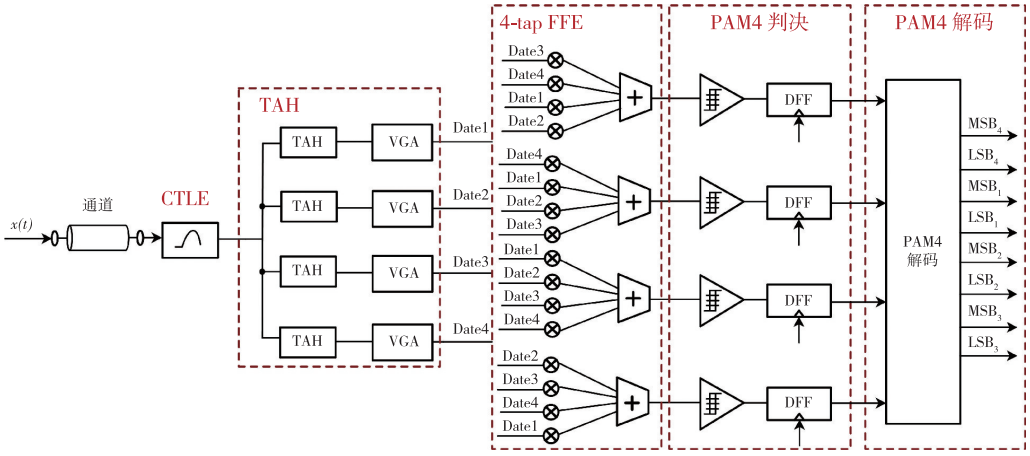



图 1　接收端系统框图

## 2　电路设计

### 2.1　Gm-TIA 结构的 CTLE 电路设计

传统 CTLE 采用源级电容退化结构，在基本电流型逻辑（CML）差分对的基础上，通过在输入差分 MOS 管的源级引入并联的电阻和电容构成低通反馈网络，从而实现闭环的高通特性[6]，但这种结构会限制带宽。TIA 具有改善高频带宽的作用，设计的 Gm-TIA 结构的 CTLE，实现了在 60 Gb/s 数据传输速率下 18.5 dB 的提升。

Gm-TIA 结构的 CTLE 电路图如图 2 所示，输入级由 NMOS 差分对 $M_1$，$M_2$，PMOS 差分对 $M_3$，$M_4$，可变电阻 $R_S$ 和可变电容 $C_S$ 组成，输入信号进入 NMOS 和 PMOS 差分对，输入差分对 $M_1$，$M_2$ 及 $M_3$，$M_4$ 的输出电流 $I_{outn}$，$I_{outp}$ 被送到 TIA 级，差分输入对 $M_{1\text{-}4}$ 以 TIA 作为负载，TIA 放大器由基于 $M_{5\text{-}8}$ 的反相器组成，尾部电流 $I_{S2}$ 维持正确偏置。Gm-TIA 结构的 CTLE 等效电路图如图 3 所示。

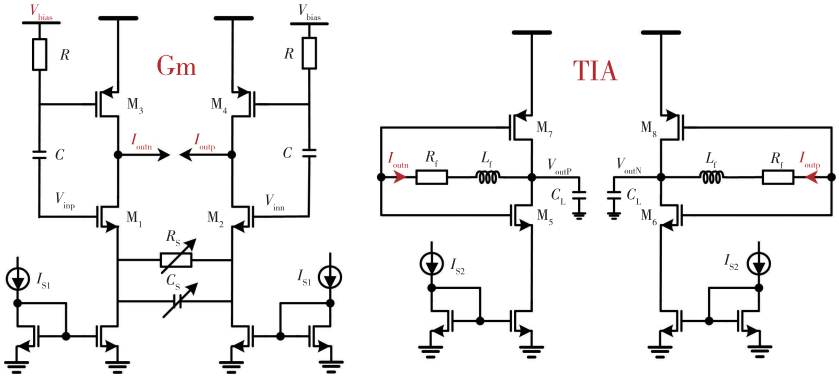



图2 Gm-TIA结构的CTLE电路图

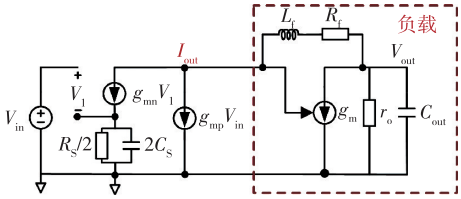



图3 Gm-TIA结构的CTLE等效电路图

其中，$g_{mn}$是$M_1$，$M_2$的跨导，$g_{mp}$是$M_3$，$M_4$的跨导，$g_m$是TIA放大器的跨导；$r_o$是等效负载电阻；$C_{out}$是TIA输出节点的寄生电容；其传输函数式为：

$$H(s)=\left[\frac{g_{mn}(1+R_SC_Ss)}{1+g_{mn}R_S/2+R_SC_Ss}+g_{mp}\right]TIA(s) \quad (1)$$

$$TIA(s)=\left(g_m-\frac{1}{R_f}\right)(R_f+r_o)\cdot \frac{1+\frac{g_mL_fs}{g_mR_f-1}}{R_f+r_o+(r_oR_f+C_{out}+L_f)s+r_oC_{out}L_fs^2} \quad (2)$$

低频增益$A_0$和零极点分别为：

$$A_0=\left(\frac{g_{mn}}{1+g_{mn}R_S/2}+g_{mp}\right)\left(g_m-\frac{1}{R_f}\right) \quad (3)$$

$$z_1=\frac{1}{R_SC_S},z_2=\frac{g_mR_f-1}{g_mL_f} \quad (4)$$

$$p_1=\frac{1+g_{mn}R_S/2}{R_SC_S} \quad (5)$$

通过调节$R_f$，$R_S$和电感$L_f$可以控制增益，调节电容$C_S$可以控制高频升压。$C$作为隔直电容，可将输入信号送到NMOS差分对和PMOS差分对，同时向TIA级送入电流，增大Gm，CTLE补偿增加。

## 2.2 TAH电路设计

传统采样电路由PMOS和NMOS并联而成，可以提供较大的电压摆幅，但会产生沟道电荷注入效应和高频时的时钟馈通效应[7]。

CTLE驱动4路TAH开关，TAH电路如图4所示，通过在$M_2$和$M_3$晶体管的栅极施加高电压和在$M_1$和$M_4$晶体管的栅极上施加低电压，将输入信号采样到TAH电容$C_L$上。由于电容之间的耦合作用，当开关关闭时，$C_L$上会出现误差电压。TAH中增加了由CKB驱动的虚拟开关$M_9$-$M_{12}$，当$M_5$-$M_8$断开后，$M_9$-$M_{12}$导通，以抑制时钟馈通效应；此外，还可以通过增加互补开关$M_9$和$M_{10}$，$M_{11}$和$M_{12}$来减小电荷注入。TAH将以7.5 Gsps的采样率进行采样，这对整个电路以及时钟生成和分配来说都是一个合理的频率。随后经过VGA单元，当VGA模块在提供大的电路带宽时，可实现一定的增益提升。

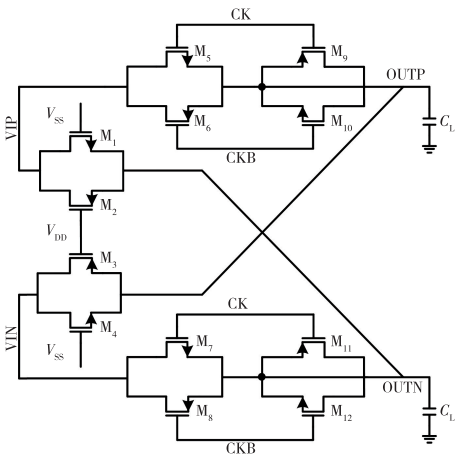



图4 TAH电路图

## 2.3 4-tap FFE电路设计

为扩展高频带宽并降低电路功耗，采用CML结构实现跨导和抽头系数相乘的功能，加法结点采用无源电阻$R_D$。为保证较好的带宽，抽头数最好不大于4，同时为能有效去除时域的ISI，抽头数又最好不低于3[8]，故实验取FFE的抽头数为4。4-tap FFE电路图如图5所示。

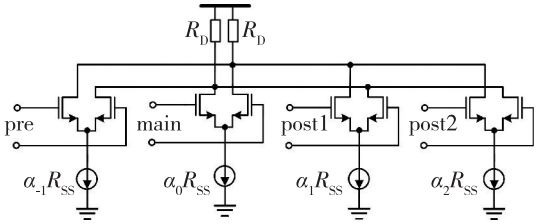



图 5　4-tap FFE 电路图

FFE 共有四个抽头，分别是 pre，main，post1 和 post2，可以通过调节每个抽头的尾电流源来调节抽头系数。增大 post 抽头的尾电流源值，即增大了 post 在求和中的比重，从而可以加强 FFE 对码后干扰的补偿能力。各抽头输入管的跨导为，为各抽头系数，输出如公式(6)所示：

$$D_{out}=[g_{m(-1)}D_{in}(k+1)+g_{m0}D_{in}(k)+g_{m1}D_{in}(k-1)+g_{m2}D_{in}(k-2)]R_L=g_{m(-1)}R_LD_{in}(k+1)+g_{m0}R_LD_{in}(k)+g_{m1}R_LD_{in}(k-1)+g_{m2}R_LD_{in}(k-2)]=C_{-1}D_{in}(k+1)+C_0D_{in}(k)+C_1D_{in}(k-1)+C_2D_{in}(k-2)] \tag{6}$$

经过 Gm-TIA 结构的 CTLE 电路后的脉冲响应如图 6 所示。采用 ZFS 算法，得到：

$$\begin{bmatrix}0.437 & 0.048 & 0 & 0\\ -0.051 & 0.437 & 0.048 & 0\\ -0.002 & -0.051 & 0.437 & 0.048\\ -0.004 & -0.002 & -0.051 & 0.437\end{bmatrix}\begin{bmatrix}C_{-1}\\C_0\\C_1\\C_2\end{bmatrix}=\begin{bmatrix}0\\1\\0\\0\end{bmatrix} \tag{7}$$

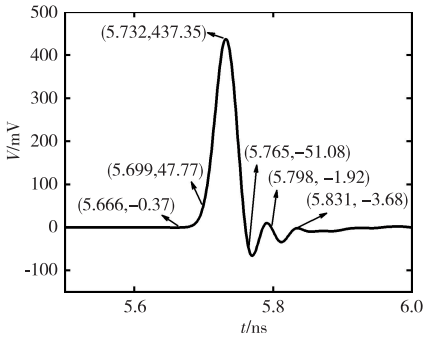



图 6　经过 CTLE 电路后的脉冲响应

对主抽头系数归一化可得 4 个抽头系数值：

$$\begin{bmatrix}C_{-1}\\C_0\\C_1\\C_2\end{bmatrix}=\begin{bmatrix}-0.088\,5\\0.805\,7\\0.092\,1\\0.013\,6\end{bmatrix} \tag{8}$$

### 2.4　PAM4 判决和解码电路设计

PAM4 判决和解码电路由比较器、DFF 和解码电路构成，其结构如图 7 所示。比较器首先将经过 FFE 均衡的信号移位分为上、中、下三路信号，然后进行比较。这三路信号送入 DFF，DFF 利用时钟对前级判决的电压信号 $V_A$，$V_B$，$V_C$ 进行重定时，就得到新的三位输出信号 $V_{OUTA}$，$V_{OUTB}$，$V_{OUTC}$，PAM4 的解码电路，对重定时输出的三个信号，转换为需要的两路二进制码。

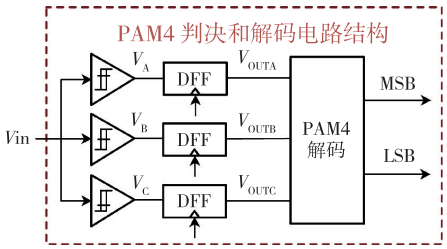



图 7　PAM4 判决和解码电路结构图

本设计采用的比较器合并了电平移位和数据判决功能，由三级组成，其电路如图 8 所示。第一级是电平移位电路，将三路中心电平移动到零电平处，该模块是全差分的电路结构，可有效减小晶体管间的不匹配。第二级是改进的 Strong ARM 比较器，相比传统的 Strong ARM 比较器[9]，在不影响电流的情况下减少电路的总电容，节点 $A$ 和 $A_1$ 通过晶体管 $M_2$ 和 $M_3$ 充电，比较器的性能和能效得到了提升，同时面积和时钟馈通问题也有所减少，精度达到 1 mV。第三级是 RS Latch，第二级 $M_1$ 管使得输出具有复位功能，因此需要 RS Latch 保持 $V_{OP}/V_{ON}$ 的有效判决。

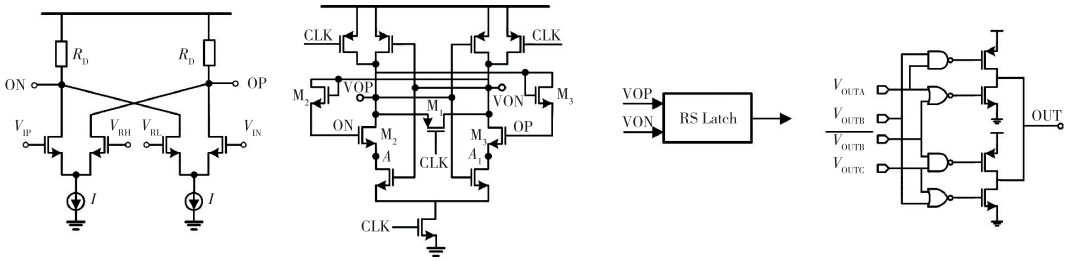



图 8　比较器电路图

经过判决后的三路温度计码信号，需要经过解码电路还原成两路二进制码，其中低位解码电路如图9所示，这种结构能获得更好的带宽和能效。

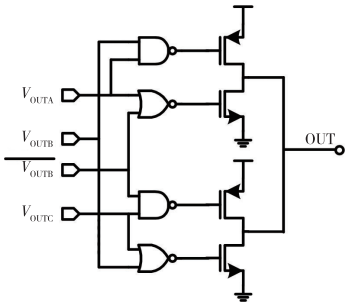



图9 低位解码电路图

## 3 版图设计和后仿真

### 3.1 版图设计

基于Cadence IC615软件平台对电路进行仿真验证，图10所示为采用28 nm CMOS工艺设计的60 Gb/s PAM4 SerDes接收端整体版图，高速走线等长处理以确保信号延迟相同，其中差分电路模块采用对称布局确保整体匹配性，版图核心面积为394.55 μm×343.53 μm。

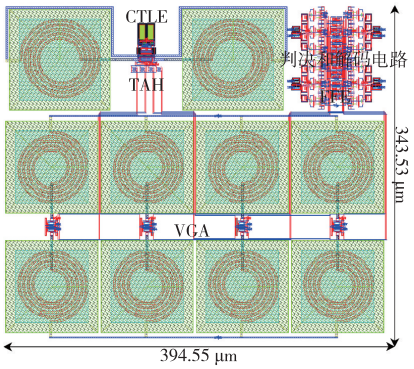



图10 电路整体版图

### 3.2 CTLE电路后仿真

Gm-TIA结构的CTLE电路频率响应仿真结果如图11所示。仿真曲线显示，经过均衡后，信号在15 GHz可实现18.5 dB的补偿，CTLE在1～2倍奈奎斯特频率范围内提供超过18 dB高频增益补偿。数据经过信道和CTLE的频率响应如图12所示，信号在15 GHz由－21.68 dB被补偿到－8.32 dB。

经过信道后的数据眼图如图13所示，此时接收端接收到的信号无法正常采集。对比图14，信号经过CTLE后，眼图的眼高和眼宽均有提升，眼宽为13.5 p，眼高为40 mV。

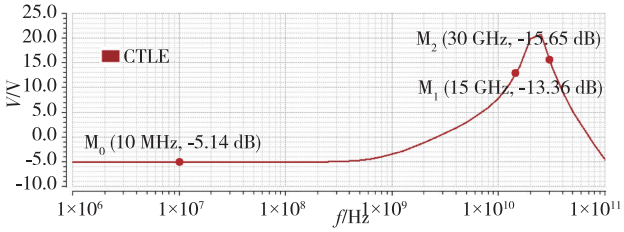



图11 经过CTLE电路的频率响应

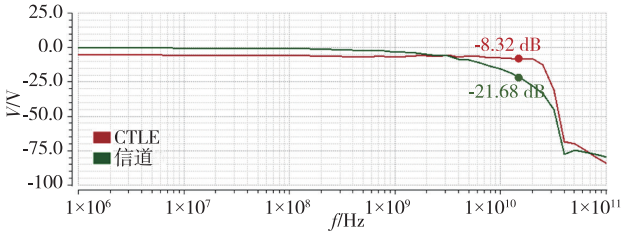



图12 经过信道和CTLE电路的频率响应

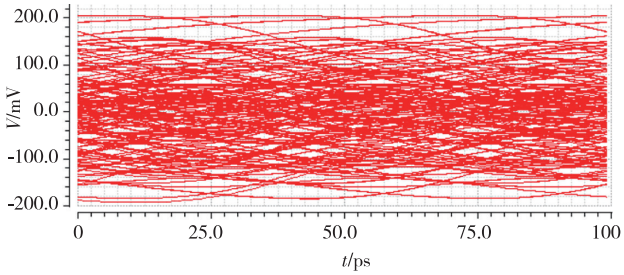



图13 经过信道的伪随机数序列眼图

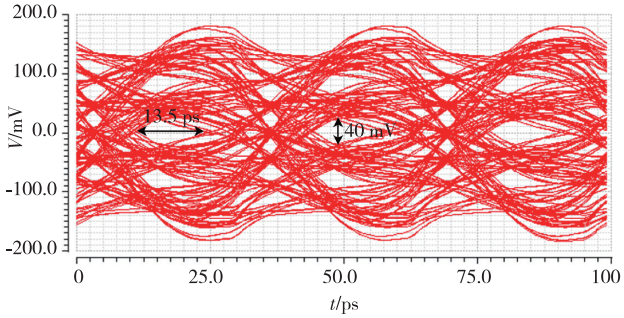



图14 经过CTLE电路的伪随机数序列眼图

### 3.3 TAH电路后仿真

TAH在7.5 Gsps的采样率下进行采样，TAH电路仿真图如图15所示，高电平时跟踪输入信号，并在低电平期间保持采样电压恒定。

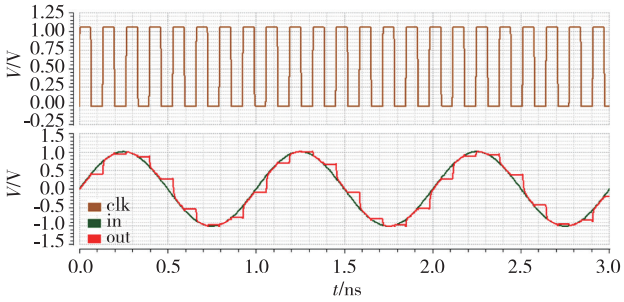



图15 TAH电路仿真图

### 3.4　4-tap FFE 电路后仿真

经过 4-tap FFE 后，可以得到高质量的输出眼图，如图 16 所示，眼宽为 80.5 p，眼高达 120 mV。

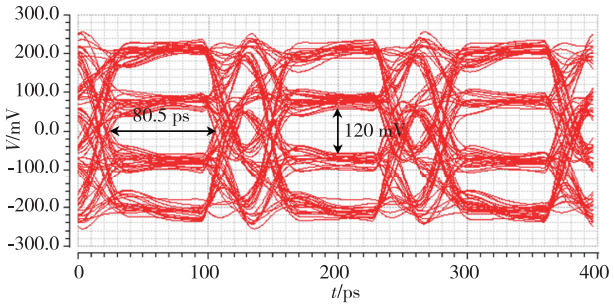



图 16　经过 4-tap FFE 电路后的伪随机数序列眼图

### 3.5　输出结果后仿真

当输入经过 21.68 dB 信道衰减的 60 Gb/s 伪随机序列（PRBS）PAM4 信号，整体接收端的仿真波形如图 17 所示。从上至下依次是时钟、经过信道传出的数据信号、经过接收端 CTLE 电路改善后的信号、经过接收端 FFE 电路改善后的信号以及经过解码模块解码后输出 4×2 路并行 7.5 Gb/s 单端 CMOS 数据信号，可正确实现数据的传输，输出理想的信号。

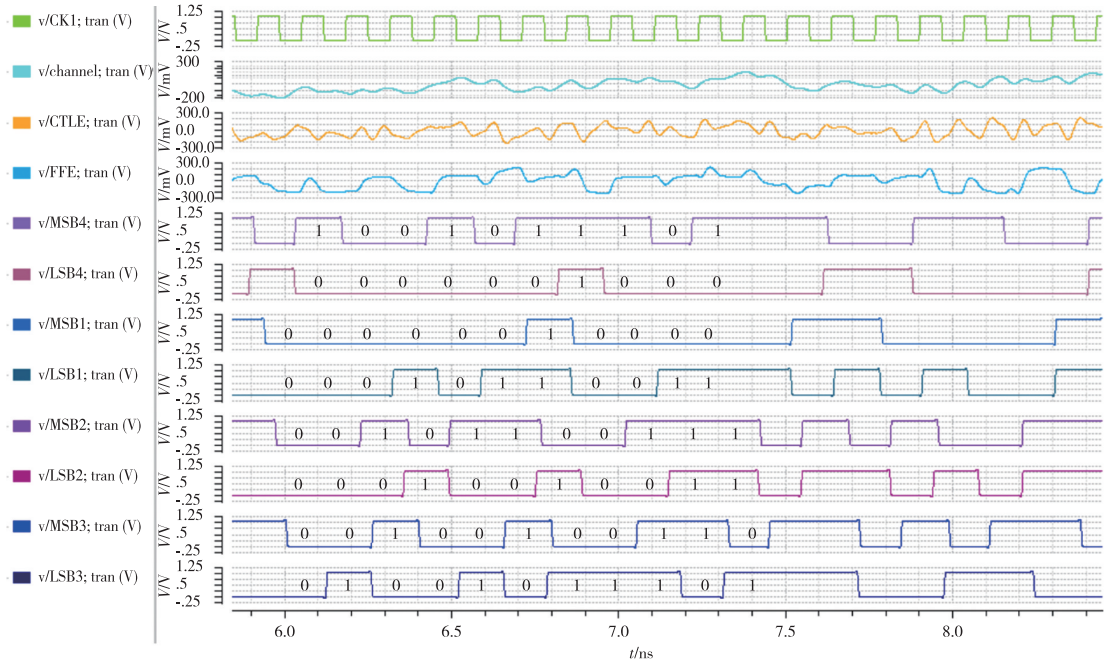



图 17　输出波形

对本文和近几年高速 PAM4 接收端的性能参数进行整理对比如表 1 所示。所设计的 60 Gb/s 接收端电路在 Nyquist 处损耗、数据速率以及低功耗、高能效上具有一定的优势，且 1/4 速率结构可以降低后级电路对速度的要求。

**表 1　与其他文献的性能参数对比**

| 参数 | 文献[10] | 文献[11] | 文献[12] | 文献[13] | 本文 |
|---|---|---|---|---|---|
| 工艺/nm | 16，FinFET | 28，CMOS | 40，CMOS | 65，CMOS | 28，CMOS |
| 电源电压/V | 0.9/1.2/1.8 | 1.2 | 1.2 | 1.2 | 1.05/1.2 |
| 数据速率/(Gb/s) | 40~56 | 28/40/50 | 56 | 56 | 60 |
| Nyquist 处损耗/dB | 10@14 G | 22.39/16.61/20.78 | 10 | 20 | 21.68 |
| 均衡方式 | CTLE<br>2-tap FFE<br>3-tap DFE | CTLE | CTLE<br>1-tap DFE | CTLE<br>4-tap DFE | CTLE<br>4-tap FFE |
| 数据形式 | PAM4 | PAM4 | PAM4 | PAM4 | PAM4 |
| 功耗/mW | 230@56 G | NA | 278 | 266 | 83.71 |
| 能效/(pJ/bit) | 4.11 | NA | 4.96 | 4.75 | 1.40 |

## 4 结论

为进一步扩展高频带宽并降低电路功耗，本文设计了一种基于1/4速率架构的60 Gb/s PAM4信号SerDes接收端。该接收端采用28 nm CMOS工艺实现，核心版图面积为394.55 μm×343.53 μm。电路结构主要由CTLE，TAH，4-tap FFE，PAM4判决电路和解码电路等模块组成。其中，均衡方案采用了Gm-TIA结构的CTLE和4抽头FFE相结合的架构。后仿真结果表明：在奈奎斯特频率15 GHz处，CTLE能够有效补偿18.5 dB的信道衰减；经过4抽头FFE均衡后，输出信号的眼图宽度达到0.6 UI，眼图高度为120 mV。整个接收端的功耗为83.71 mW，能效为1.40 pJ/bit。

**参考文献：**


[1] Zhong L, Wu H, Zhang Y, et al. 7.6 a 112 Gb/s/pin single-ended crosstalk-cancellation transceiver with 31 dB loss compensation in 28 nm CMOS[C]// 2024 IEEE International Solid-State Circuits Conference (ISSCC), 2024: 134-136.

[2] Zhang B, Vasani A, Sinha A, et al. 6.1 a 112 Gb/s serial link transceiver with 3-tap FFE and 18-tap DFE receiver for up to 43 dB insertion loss channel in 7 nm FinFET technology[C]// 2023 IEEE International Solid-State Circuits Conference (ISSCC), 2023: 5-7.

[3] Kim K, Yun D, Baek K, et al. A 48-Gb/s single-ended PAM-4 receiver with adaptive nonlinearity compensation[C]// 2023 IEEE International Symposium on Circuits and Systems (ISCAS), 2023: 1-5.

[4] Wu X, Wang Z, Zhao Z, et al. A 20 Gbuad NRZ/PAM4 receiver frontend in 65 nm CMOS[C]// 2022 IEEE 16th International Conference on Solid-State & Integrated Circuit Technology (ICSICT), 2022: 1-3.

[5] Hatem O, Dessouky M, El Hennawy A. A 10 Gb/s backplane decision feedback equalizer in 90 nm-CMOS technology[C]// 2009 International Conference on Microelectronics - ICM, 2009: 193-196.

[6] Manvel G T, Arman A A, Garik H H, et al. Two stage CTLE for high speed data receiving[C]// 2020 IEEE 40th International Conference on Electronics and Nanotechnology (ELNANO), 2020: 374-377.

[7] Xu W, Friedman E G. Clock feedthrough in CMOS analog transmission gate switches [C]// 15th Annual IEEE International ASIC/SOC Conference, 2002: 181-185.

[8] Wang H, Lee J. A 21-Gb/s 87-mW transceiver with FFE/DFE/analog equalizer in 65-nm CMOS technology[J]. IEEE Journal of Solid-State Circuits, 2010, 45(4): 909-920.

[9] Razavi B. The StrongARM latch [a circuit for all seasons][J]. IEEE Solid-State Circuits Magazine, 2015, 7(2): 12-17.

[10] Im J, Freitas D, Roldan A B, et al. A 40-to-56 Gb/s PAM-4 receiver with ten-tap direct decision-feedback equalization in 16-nm FinFET[J]. IEEE Journal of Solid-State Circuits, 2017, 52(12): 3486-3502.

[11] 张春茗，徐阳臻，张 璇. 基于TAS-TIS结构和前馈路径的两级CTLE的设计[J]. 半导体光电，2023，44(5)：736-740.
Zhang Chunming, Xu Yangzhen, Zhang Xuan. Design of two-stage CTLE equalizer based on TAS-TIS structure and feed-forward path[J]. Semiconductor Optoelectronics, 2023, 44(5): 736-740.

[12] Peng P J, Lee P L, Huang H E, et al. A 56-Gb/s PAM-4 transmitter/receiver chipset with nonlinear FFE for VCSEL-based optical links in 40-nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2022, 57(10): 3025-3035.

[13] Wang D, Wang Z, Xu H, et al. A 56-Gbps PAM-4 wireline receiver with 4-tap direct DFE employing dynamic CML comparators in 65 nm CMOS[J]. IEEE Transactions on Circuits and Systems Ⅰ: Regular Papers, 2022, 69(3): 1027-1040.


**作者简介：**


**张 璇**(2000—)，女，陕西省西安市人，硕士研究生，主要研究方向为高速模拟集成电路设计；

**张春茗**(1973—)，女，辽宁省锦州市人，博士，讲师，主要研究方向为高速模拟集成电路设计。