光电器件

DOI：10.16818/j.issn1001－5868.20241205001

深槽型半超结VDMOS器件仿真研究

李　尧*，苟恒璐，谌利欢，牛瑞霞，陈文舒，龙　仪，白开亮
（兰州交通大学 电子信息与工程学院，兰州 730070）

摘　要： 基于超结理论，设计出一种深槽型半超结垂直双扩散金属氧化物半导体场效应晶体管（DT-SSJ VDMOS），通过Silvaco TCAD仿真平台模拟了其电学特性，并与深槽型VDMOS（DT-VDMOS）及深槽型超结VDMOS（DT-SJ VDMOS）进行对比分析。深沟槽打破了栅氧化界面垂直电场高斯定律的限制，降低了栅氧化层峰值电场。相对于超结结构，半超结的引入简化了工艺，同时提升了器件稳定性。仿真结果表明，DT-SSJ VDMOS的击穿电压（BV）为1 000 V，比导通电阻（$R_{on,sp}$）为26.78 mΩ·cm^2，品质因数（FOM）为37.565 MW/cm^2。与DT-VDMOS器件相比，DT-SSJ VDMOS的BV提高了100%，FOM提高了57%；与DT-SJ VDMOS器件相比，其$R_{on,sp}$降低了35.9%，FOM提升了5%。深沟槽和半超结结构的结合，有效平衡了击穿电压和比导通电阻之间的矛盾，显著提升了器件的整体性能。

关键词： 深槽型半超结VDMOS器件；半超结结构；深沟槽；击穿电压；比导通电阻
中图分类号： TN386.1　**文章编号：** 1001－5868(2025)02－0255－06

Simulation Study of Deep Trench Semi-Superjunction VDMOS Device

LI Yao, GOU Henglu, CHEN Lihuan, NIU Ruixia, CHEN Wenshu, LONG Yi, BAI Kailiang
(**School of Electronic and Information Engineering, Lanzhou Jiaotong University, Lanzhou 730070, CHN**)

Abstract: In this study, a deep trench (DT) semi-superjunction (SSJ) vertical double-diffused metal-oxide semiconductor (VDMOS) field-effect transistor was developed. Silvaco TCAD simulation software was used to simulate and investigate the electrical characteristics of the DT SSJ VDMOS, which were compared with that of the DT VDMOS and DT super-junction (SJ) VDMOS. The DT overcomes the limitation of the Gaussian law of the vertical electric field at the gate oxide interface, and reduces the peak electric field of the gate oxide layer. The introduction of the SSJ reduces process complexity and simultaneously improves device stability compared with those of the SJ structure. The simulation results show that the breakdown voltage (BV), specific on-resistance ($R_{on,sp}$), and figure of merit (FOM) of the DT SSJ VDMOS are 1 000 V, 26.78 mΩ·cm^2, and 37.565 MW/cm^2, respectively. The BV of the DT SSJ VDMOS device increased by 100%, and FOM by 57% compared to those of the DT VDMOS device. Furthermore, its $R_{on,sp}$ was reduced by 35.9%, and FOM was increased by 5% compared with those of the DT SJ VDMOS device. By adopting DT and SSJ structures, the contradiction between the breakdown voltage and $R_{on,sp}$ is resolved, and the overall performance of the device is improved.

Key words: deep trench semi-superjunction VDMOS device; semi-superjunction structure; deep trench; breakdown voltage; specific on-resistance

收稿日期：2024－12－05.
基金项目：国家自然科学基金项目（61905102，62264008）；甘肃省高校青年博士支持项目（2024QB-050）；兰州市青年科技人才创新项目（2023-QN-119）.
*通信作者：李　尧

0 引言

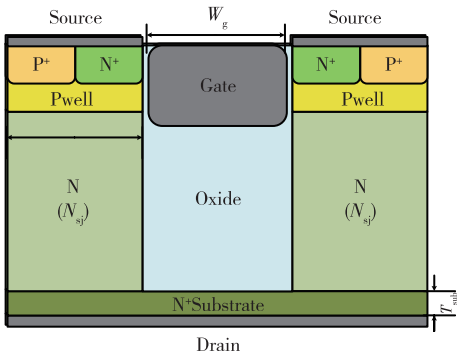
功率VDMOS作为多子导电器件，具有开关速度快、开关损耗小、开关频率高等优点，同时，作为压控型器件，具备静态输入阻抗高、驱动电流小和功率增益大等特点，广泛应用于消费电子、工业电子、汽车电子等领域[1]。与平面栅VDMOS相比，槽栅型VDMOS在导通电阻、集成密度和工艺控制等方面具有显著优势，更适用于开关电源、交流调制器和汽车点火系统等[2-4]。然而，槽栅型VDMOS的沟槽角或沟槽底部的高氧化层电场易导致氧化层过早击穿，成为其发展障碍。基于此，本文提出了半超结深沟槽的结构，以解决该问题。

2004～2005年，Saito等对半超结VDMOS进行深入研究，先后研制出600～1 400 V耐压级别的半超结VDMOS，同时其具有较低的比导通电阻和良好的反向恢复特性[5]。2014年，马超对半超结VDMOS的工作原理进行了理论研究。通过理论分析和计算，确定元胞与终端的结构参数与器件的击穿电压、阈值电压及导通电阻等电学特性之间的关系，同时研究了各性能参数之间相互联系与制约的关系，并在半超结VDMOS的基础上，提出了具有P型底部辅助层（P-BAL）的半超结新结构，完成新结构的仿真优化。P-BAL的引入形成了竖直向上的电场，改变了原来电场的分布，器件的击穿电压由原来的850 V提升到1 100 V，但导通电阻略有提升[6]。2017年Masuda等研究了具有超结（SJ）V槽沟槽MOSFET（VMOSFET），其表现出低比导通电阻$R_{on,sp}$（0.97 mΩ·cm^2）和高击穿电压（820 V）[7]。经研究发现，使用超结和半超结结构能够改善器件击穿电压和比导通电阻之间的矛盾[8]。

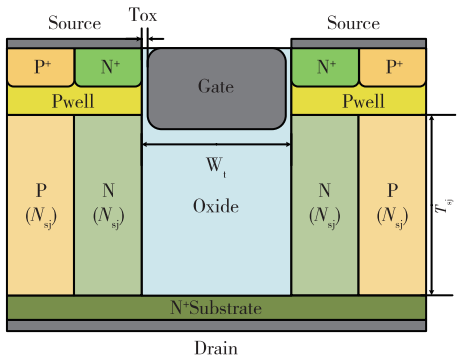
基于超结理论，本文设计出一种具有深沟槽和半超结结构的功率VDMOS器件，利用Silvaco TCAD仿真平台研究了器件的电学特性，如击穿电压（BV）、比导通电阻（$R_{on,sp}$）、品质因数（FOM）以及表面电场（E_{ox}）等。最后与具有相同尺寸的深槽型VDMOS（DT-VDMOS）和深槽型超结VDMOS（DT-SJ VDMOS）进行了对比分析，仿真结果表明，深槽型半超结VDMOS（DT-SSJ VDMOS）与深槽型VDMOS（DT-VDMOS）器件相比，其BV提升了100%，FOM增加了57%；与深槽型超结VDMOS（DT-SJ VDMOS）器件相比，其$R_{on,sp}$降低了35.9%，FOM增加了5%。

1 器件结构与仿真模型

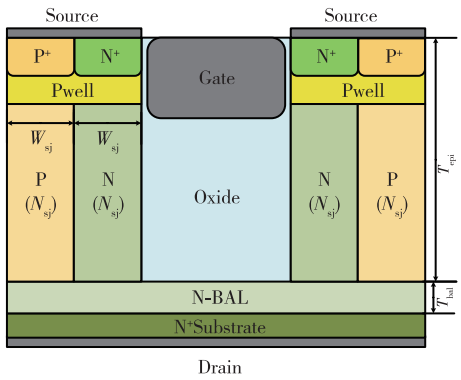
图1为DT-VDMOS，DT-SJ VDMOS和DT-SSJ VDMOS的横截面示意图。DT-VDMOS是在常规的槽栅结构VDMOS的基础上将沟槽延伸至N^+衬底，加入深槽结构的主要目的在于消除栅极下方半导体与氧化层的交界面，进而解除栅下方高斯关系对最高栅氧电场的约束，同时减轻拐角处的曲率效应，但DT-VDMOS的BV和$R_{on,sp}$之间的矛盾关系仍比较突出[9-13]。



（a）DT-VDMOS



（b）DT-SJ VDMOS



（c）DT-SSJ VDMOS

图1 DT-VDMOS，DT-SJ VDMOS和DT-SSJ VDMOS的横截面示意图

与DT-VDMOS相比，DT-SJ VDMOS是在漂移区中引入交替排列的P型柱和N型柱，其在垂直于电流流动方向上形成了一系列的PN结。在阻断状态下，PN结之间的耗尽区相互支持扩展，使器件内部的电场分布更加均匀，这有助于提高击穿电压。因此，与DT-VDMOS器件相比，DT-SJ VDMOS具有更高的BV，更好折中了BV和$R_{on,sp}$之间的矛盾。但全超结结构又带来了新的问题，首先，全超结的制造工艺难度大，制造成本高，而且因为工艺缺陷和不成熟会使器件的稳定性降低；其次，由于在漂移区中引入了P柱结构，相当于增加了体二极管结面积，导致体二极管反向恢复电荷密度增大、恢复时间延长，同时反向恢复过程中会产生较大的反向恢复电流，这可能对电路中的元件造成干扰[14]。而DT-SSJ VDMOS则是在DT-SJ VDMOS的基础上，将超结和深槽结构底部替换为单一掺杂的N型区，称为N型辅助层（N-BAL），形成了半超结结构，降低了器件工艺难度，提高了器件的反向恢复特性，与DT-VDMOS和DT-SJ VDMOS相比，DT-SSJ VDMOS具有更优的综合性能，器件设计也更灵活。

三种器件的结构参数如表1所示。本研究采用Silvaco TCAD对DT-VDMOS，DT-SJ VDMOS和DT-SSJ VDMOS三种器件的电学特性进行仿真研究。在数值仿真过程中，综合考虑了掺杂浓度、漂移区厚度以及横向和纵向电场等因素对器件性能的影响。采用CVT迁移率模型、CONMOB低场迁移率模型、FLDMOB高场迁移率模型、AUGER俄歇复合模型以及与载流子寿命和浓度相关的CONSRH复合模型等，使用Gummel算法和Newton迭代法求解泊松方程、连续性方程及漂移-扩散方程。

表1　器件结构相关参数

器件参数	DT-SSJ VDMOS	DT-SJ VDMOS	DT-VDMOS
W/μm	24	24	24
W_g/μm	7.6	7.6	7.6
T_{ox}/μm	0.2	0.2	0.2
T_{epi}/μm	27.5	45.5	45.5
(N_{N+}/N_{P+})/cm^{-3}	1.0×10^{20}	1.0×10^{20}	1.0×10^{20}
N_{Pwell}/cm^{-3}	6.0×10^{16}	6.0×10^{16}	6.0×10^{16}
T_{sub}/μm	2.5	2.5	2.5
N_{sub}/cm^{-3}	2.0×10^{16}	2.0×10^{16}	2.0×10^{16}
W_{sj}/μm	4	4	—
T_{sj}/μm	27.5	45.5	—
N_{sj}/cm^{-3}	5.074×10^{14}	5.074×10^{14}	—
T_{sub}/μm	18	—	—
N_{sub}/cm^{-3}	2.11×10^{14}	—	—

2　结果与讨论

2.1　击穿特性

击穿电压用来表征VDMOS器件的耐压能力。VDMOS的击穿机理主要为雪崩击穿。当漏极电压V_{ds}增大时，耗尽区内的载流子获得很高的动能，与晶格碰撞产生电子空穴对，电子空穴对在电场的作用下离解为自由电子和空穴，该过程被称为碰撞电离。新产生的自由电子和空穴被电场加速碰撞出更多的电子和空穴，随着自由电子和空穴浓度的急剧增大，漏极电流I_d急剧增大，器件击穿。雪崩击穿的物理机理是碰撞电离，碰撞电离系数用来表征载流子在电场作用下，在耗尽区内单位距离所产生的电子空穴数目。Fulop提出了经典的碰撞电离率模型：

$$\alpha_{eff}=1.8\times10^{-35}E^{7} \tag{1}$$

公式(1)表明碰撞电离率与电场强度相关。因碰撞电离产生了额外的载流子，所以流出耗尽区的电流比流入的初始电流大，将二者之比定义为雪崩倍增因子M。当$M\to+\infty$时，即使很小的电流也会被倍增为极大的流出电流（即漏极电流），此定义为雪崩击穿的条件，雪崩倍增因子与碰撞电离率间有如下关系：

$$1-\frac{1}{M}=\int\alpha ds \tag{2}$$

式中，$\int\alpha ds$表示碰撞电离率沿电场线路径的积分，所以击穿条件等价为：

$$\int\alpha ds=1 \tag{3}$$

只要沿任意一条电场线的积分达到1，此时的漏极电压就是击穿电压BV。

图2给出了DT-VDMOS，DT-SJ VDMOS和DT-SSJ VDMOS这三种器件的击穿特性曲线。

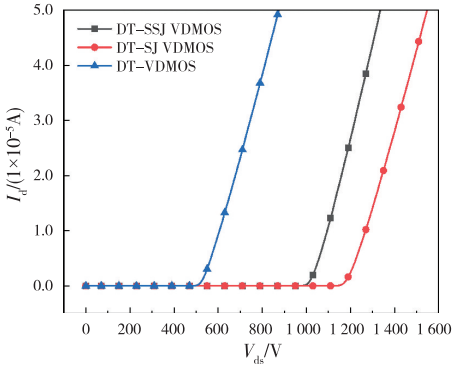


图2　三种器件的击穿特性

可见，DT-SJ VDMOS，DT-SSJ VDMOS和DT-VDMOS击穿电压分别为1 000、1 140和500 V。DT-SJ VDMOS和DT-SSJ VDMOS的击穿电压均高于DT-VDMOS，这是因为DT-SJ VDMOS和DT-SSJ VDMOS具有超结结构，即在漂移区中引入交替的P柱和N柱形成PN结，当施加反偏电压时，这些PN结会被耗尽形成耗尽区，耗尽区会横向扩展，并且相互补偿，使得电场在横向和纵向都得到均匀分布，从而提高了器件的击穿电压。半超结结构保留了漂移区的部分超结结构，其他区域用N-BAL代替。即半超结既继承了P柱和N柱交替排列所产生的均匀分布的电场特性，又获得了较高的击穿电压，同时，降低了工艺复杂度。

为分析DT-VDMOS，DT-SJ VDMOS和DT-SSJ VDMOS对击穿电压的影响机理，提取三种器件在反向击穿时的表面电场分布图，如图3所示。因三种器件在栅极处仿真结构截面图类似，故此处只保留了DT-SSJ VDMOS结构截面图。

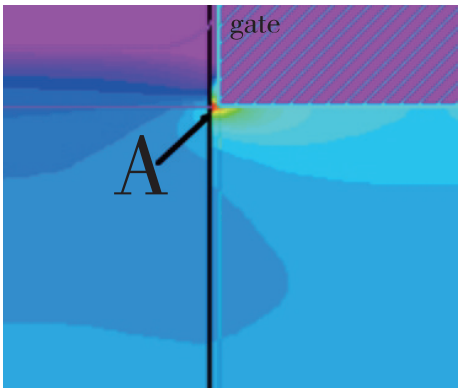
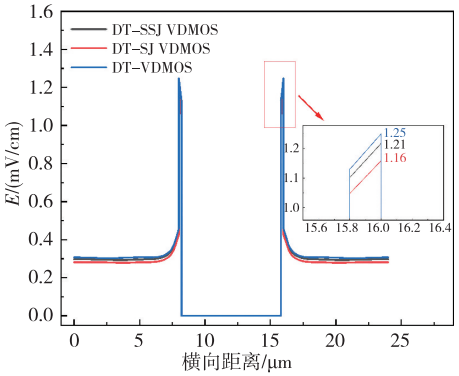
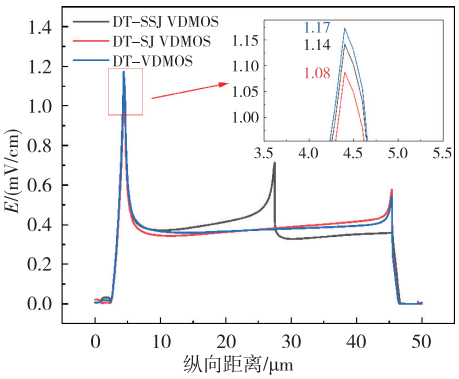


图3 DT-SSJ VDMOS仿真结构截面图

可以看出，在A点处电场最高，因此围绕A点仿真了三种器件的横向电场和纵向电场，如图4所示。从图4(a)可以看出，三种器件的电场分布较为均匀，DT-SJ VDMOS，DT-VDMOS和DT-SSJ VDMOS的最高横向电场值分别为1.16、1.25和1.21 MV/cm。从图4(b)可以看出，DT-SJ VDMOS，DT-VDMOS和DT-SSJ VDMOS的最高纵向电场值分别为1.08、1.17和1.14 MV/cm。DT-SSJ VDMOS和DT-SJ VDMOS的最高横向电场和最高纵向电场均大于DT-VDMOS，主要原因是超结分散了栅极角的电场。但三种器件横向和纵向电场相差较小，在研究漂移区结构对器件的影响时可忽略。



(a) 横向电场分布



(b) 纵向电场分布

图4 三种器件沿A点的横向和纵向电场分布

2.2 阈值电压

图5是DT-VDMOS，DT-SJ VDMOS和DT-SSJ VDMOS三种器件的转移特性曲线。其展示了在固定的漏源电压下漏源电流I_d随栅源电压V_{gs}的变化。器件起初处于关断状态，随着栅极偏压的升高，器件栅极两侧表面的P-Base区开始耗尽；当栅极电压进一步升高，P-Base区表面进入反型状态，半导体表面出现电子，随着栅极电压的升高，电子不断积累，最终当栅极电压达到器件的阈值电压V_{th}时，P-Base区表面电子浓度高于其体内的空穴浓

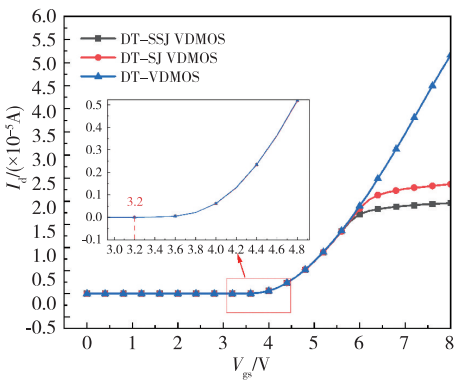


图5 三种器件的转移特性曲线

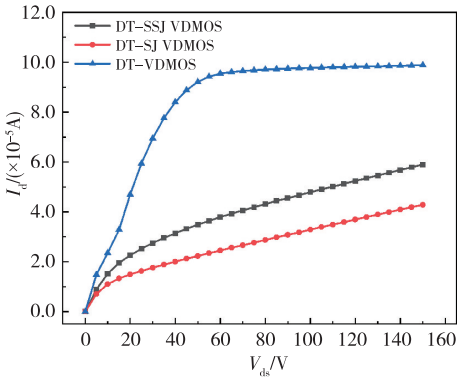
度，器件进入强反型。产生了从源极 N^+ 区 N-Drift 区的导电通路，器件开始导通。此后栅极电压的升高仍会导致 P-Base 区表面反型电子浓度进一步增大，使漏源电流增大。器件的阈值电压表达式为：

$$V_{th}=\left[\varphi_{ms}-\frac{Q_f}{C_{ox}}\right]+2\psi_B+\frac{\sqrt{2\varepsilon_s qN_A(2\psi_B)}}{C_{ox}} \quad (4)$$

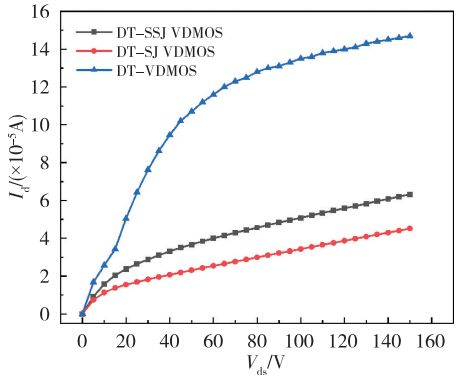
式中，φ_{ms} 为金属半导体功函数差，Q_f 为栅氧化层电荷，C_{ox} 为栅氧化层电容，ψ_B 为 P-Base 区的费米势，ε_s 为半导体介电常数，N_A 为 P-Base 区的掺杂浓度。从阈值电压的表达式中可看出，器件阈值电压的影响因素主要有 P-Base 区掺杂浓度和栅极氧化层电容，也即栅氧化层厚度。由图可见，三种器件的阈值电压 V_{th} 均为 3.2 V，几乎不随漂移区结构和厚度变化。因此，漂移区中是否引入超结结构对器件的阈值电压几乎无明显影响。

2.3　输出特性

输出特性曲线涵盖截止区、线性区和饱和区，所描述的是在栅源电压 V_{gs} 保持不变的情况下，漏极电流（I_d）随漏源电压（V_{ds}）的变化情况。如图 6 为 DT-VDMOS，DT-SJ VDMOS 和 DT-SSJ VDMOS 的输出特性曲线。



（a）V_{gs}=10 V



（b）V_{gs}=15 V

图 6　三种器件在 10 V 和 15 V 时的输出特性曲线

由此可见，随着栅压的增大，三种器件的比导通电阻均减小，在相同栅压作用下，DT-VDMOS 的 $R_{on,sp}$ 最小（10.45 mΩ·cm²），但其 BV 太低，BV 和 $R_{on,sp}$ 之间的矛盾突出，不做考虑。故只对比 DT-SJ VDMOS 和 DT-SSJ VDMOS。当 V_{gs}=10 V 时，DT-SJ VDMOS 和 DT-SSJ VDMOS 的 $R_{on,sp}$ 分别为 36.4 和 26.78 mΩ·cm²，DT-SSJ VDMOS 的 $R_{on,sp}$ 相比于 DT-SJ VDMOS 降低了 35.9%。

表 2 总结了 DT-VDMOS，DT-SJ VDMOS 和 DT-SSJ VDMOS 的电学特性参数。其中品质因数 FOM（$FOM=BV^2/R_{on,sp}$）是衡量器件整体性能的一个重要参数。由表可见，DT-SSJ VDMOS，DT-SJ VDMOS 和 DT-VDMOS 的 FOM 分别为 37.565，35.703 和 23.923 MW/cm²。DT-SSJ VDMOS 的 FOM 均大于 DT-SJ VDMOS 和 DT-VDMOS，表现出更优的整体性能。

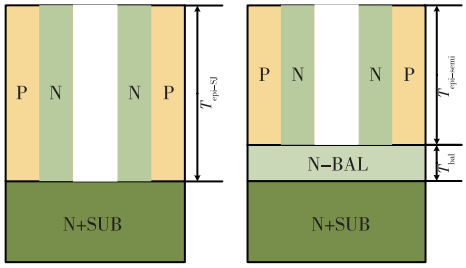
表 2　器件性能参数对比

参数	DT-SSJ VDMOS	DT-SJ VDMOS	DT-VDMOS
击穿电压 BV/V	1 000	1 140	500
最高电场值 E_{ox}/（MV/cm）	1.16	1.21	1.25
阈值电压 V_{th}/V	3.2	3.2	3.2
比导通电阻 $R_{on,sp}$/（mΩ•cm²）	26.78	36.4	10.45
品质因数 FOM/（MW/cm²）	37.565	35.703	23.923

2.4　工艺仿真

通过以上电学特性的对比得出，DT-SJ VDMOS 和 DT-SSJ VDMOS 的整体性能均优于 DT-VDMOS。接下来，从工艺角度对比 DT-SJ VDMOS 和 DT-SSJ VDMOS 的复杂度和可行性。目前，市面上制备超结器件多采用深挖槽后外延填充的方式，这种方式大大降低了外延次数，但沟槽的深宽比对外延填充的质量有显著影响。随着深宽比增大，填充过程中可能产生空穴或填充不均匀的现象，并且对于深宽比较大的沟槽，可能需要采用更复杂的填充技术。如图 7 所示，DT-SJ VDMOS 和 DT-SSJ VDMOS 在相同的元胞宽度下，DT-SJ VDMOS 的超结深度是 DT-SSJ VDMOS 的半超结的深度与 N-BAL 厚度之和，即 $T_{epi-SJ}=T_{epi-semi}+T_{bal}$。因此，与全超结器件相比，半超结的设计工艺难度大幅降低。同时，因其柱区较浅，能够更好地平衡器件性能与制造工艺之间的关系。并且在 DT-SSJ VDMOS 的结构上，P 柱区和 N-BAL 之间存在有效的空穴势垒，从而有助于提高

器件的开关性能和功率效率。



（a）DT-SSJ VDMOS （b）DT-SJ VDMOS

图7 DT-SSJ VDMOS和DT-SJ VDMOS的工艺对比

3 结 论

本文基于超结理论提出了DT-SSJ VDMOS，并通过Silvaco TCAD仿真平台对DT-SSJ VDMOS，DT-SJ VDMOS和DT-VDMOS的击穿特性、转移特性以及输出特性进行了模拟仿真对比。仿真研究表明，DT-SSJ VDMOS相比于DT-VDMOS，其BV提升了100%，FOM增加了57%，更好平衡击穿电压与导通电阻之间的矛盾；相比于DT-SJ VDMOS，DT-SSJ VDMOS的$R_{on,sp}$降低了35.9%，FOM增加了5%。DT-SSJ VDMOS在保留全超结VDMOS优点的同时，降低了工艺复杂度及成本。因此，DT-SSJ VDMOS表现出更优的整体性能，且设计灵活，在功率器件领域有重要的应用潜力。

参考文献：

[1] 陈 凯. 基于三次外延工艺的700 V半超结VDMOS设计与制备[D]. 南京：东南大学，2022.
Chen Kai. Design and preparation of 700 V semi-superjunction VDMOS based on three-layer epitaxial process[D]. Nanjing: Southeast University, 2022.

[2] Luo X，Zhang K，Song X，et al. 4H-SiC trench MOSFET with an integrated Schottky barrier diode and L-shaped P^+ shielding region[J]. Journal of Semiconductors, 2020, 41(10): 86-90.

[3] Tian K, Hallén A, Qi J, et al. An improved 4H-SiC trench-gate MOSFET with low ON-resistance and switching loss[J]. IEEE Transactions on Electron Devices, 2019, 66(5): 2307-2313.

[4] Wang Y, Tian K, Hao Y, et al. 4H-SiC step trench gate power metal-oxide-semiconductor field-effect transistor[J]. IEEE Electron Device Letters, 2016, 37(5): 633-635.

[5] Saito W, Omura I, Aida S, et al. Over 1 000 V semi-superjunction MOSFET with ultra-low on-resistance below the Si-limit [C]// Proceedings. ISPSD' 05. The 17th International Symposium on Power Semiconductor Devices and ICs, 2005: 27-30.

[6] 马 超. 半超结型VDMOS的设计与仿真优化[D]. 北京：中国科学院大学，2014.
Ma Chao. Design and simulation optimization of the semi-superjunction VDMOS[D]. Beijing: University of Chinese Academy of Sciences, 2014.

[7] Masuda T, Kosugi R, Hiyoshi T. 0.97 mΩ·cm²/820 V 4H-SiC super junction V-groove trench MOSFET[C]// Materials Science Forum Trans. Tech. Publications Ltd., 2017, 897: 483-488.

[8] Hu S, Huang Y, Liu T, et al. A comparative study of a deep-trench superjunction SiC VDMOS device [J]. Journal of Computational Electronics, 2019, 18(2): 553-560.

[9] 黄 野. 深槽超结型SiC VDMOS功率器件研究[D]. 重庆：重庆大学，2019.
Huang Ye. Study of a deep trench super-junction SiC VDMOS [D]. Chongqing: Chongqing University, 2019.

[10] 叶 力. 屏蔽栅VDMOS优值模型与器件结构研究[D]. 成都：电子科技大学，2019.
Ye Li. Research of figure-of-merit model and device structures for shield-gate VDMOS[D]. Chengdu: University of Electronic Science and Technology of China, 2019.

[11] Liu T，Hu S，Wang J，et al. An investigation of electric field and breakdown voltage models for a deep trench superjunction SiC VDMOS[J]. IEEE Access, 2019, 7: 145118-145123.

[12] Cheng W，Xu S，Sun W. Radiated EMI study on super-junction VDMOS in flyback power converters [J]. International Journal of Circuit Theory and Applications, 2017, 45(9): 1313-1325.

[13] Bao W, Song J, Jiang D, et al. Analytical model for key electrical parameter of superjunction VDMOS[J]. Journal of Low Power Electronics, 2016, 12(4): 335-341.

[14] Naugarhiya A, Dubey S, Kondekar N P. Novel strained superjunction VDMOS [J]. Superlattices and Microstructures, 2015, 85: 461-468.

作者简介：

李 尧（1987—），男，甘肃省武威市人，博士，副教授，硕士生导师，主要研究方向为功率半导体器件、有机半导体器件和光电子器件。