光电技术及应用

DOI：10.16818/j.issn1001－5868.20241230001

基于FPGA内部资源的高精度数字延时系统设计

冯 伟[1]，于文博[1]，栾 超[2]，向雨琰[1]，李 松[1,3]*

（1. 武汉大学 电子信息学院，武汉 430072；2. 北京控制与电子技术研究所，北京 100045；
3. 武汉量子技术研究院，武汉 430206）

摘 要： 面向星载激光测高系统回波模拟设备对长距离传输、高精度延时的需求，提出一种基于现场可编程门阵列（FPGA）片上特殊延迟资源的全数字式脉冲延时发生器（DDG）架构。该自测量补偿型DDG采用“内插延时线＋三级粗、细时间延迟电路”的复合结构设计，通过多级协同控制实现从亚纳秒到毫秒量级的高精度延时覆盖。系统核心采用基于CARRY4进位链的内插延时线模块，可精确测量外部触发信号到达时刻与FPGA时钟采集沿之间的时间差，为延时起点提供精确基准。延时控制采用分级递进：首级粗时间计数通过时钟周期累加实现毫秒级延时；次级粗相位调节完成时钟周期内整数倍延迟单位的补偿；末级细相位调节依托可编程延迟单元实现精细调节。DDG设计中包括抖动自测量和校准方法，适用于内部和外部触发，其设计资源完全依赖于FPGA片内基础资源，确保了设计的广泛适应性。实验结果表明，当使用频率精度为±0.5 ppm的振荡器时，在补偿后的外部触发模式下，时间最小延时步进可达（37.5±7.5）ps，在2 ms延时下输出抖动优于270 ps（均方根误差为31 ps），验证了该架构在星载激光测距系统中的工程适用性。

关键词： FPGA；激光测高仪回波模拟设备；数字延时发生器；时间数字转化；数字时间转化

中图分类号： TN791 **文章编号：** 1001－5868(2025)02－0318－09

Design of A High-precision Digital Delay System Based on Field-programmable Gate-array Internal Resources

FENG Wei[1], YU Wenbo[1], LUAN Chao[2], XIANG Yuyan[1], LI Song[1,3]

（1. College of Electronic Information, Wuhan University, Wuhan 430072, CHN; 2. Beijing Institute of Control and Electronic Technology, Beijing 100045, CHN; 3. Wuhan Institute of Quantum Technology, Wuhan 430206, CHN）

Abstract: To meet the demand for long-distance and high-precision delay in the echo simulation equipment of satellite-mounted laser altimetry systems, a digital pulse delay generator (DDG) architecture, based on the internal integration of special delay lines in field-programmable gate arrays (FPGAs), is proposed. A self-measurement compensation-type DDG consists of “interpolation delay line ＋ three levels of coarse and fine time-delay circuits.” The CARRY4 interpolated delay line is leveraged to accurately measure the time difference between the arrival of the external trigger signal and the FPGA internal-clock-acquisition edge and thus locate the starting point of the time delay with high accuracy. Then, the three-level time delay scheme of coarse time counting is applied for sequential coarse and fine phase adjustments—this approach enables the realization of high-precision delay on long-time scales based on the starting moment of the trigger signal. The DDG

收稿日期：2024－12－30.

基金项目：湖北省重点研发计划项目（2022BID016）；航天系统装备预先研究项目.

* **通信作者：**李 松

design incorporates jitter self-measurement and calibration methods, which are applicable to both internal and external triggering. In addition, its design resources rely on FPGA on-chip-based resources, ensuring wide adaptability of the design. Experimental results show that when an oscillator with a frequency accuracy of ±0.5 ppm is used, a minimum-time-delay step of up to 37.5 ± 7.5 ps is obtained in the compensated externally triggered mode, and for a 2-ms delay, the output jitter is better than 270 ps (the root mean square error is 31 ps).

Key words: FPGA; LIDAR echo simulation equipment; digital delay generator; time-to-digital converter; digital-to-time converter

0　引言

高精度、高稳定性的数字延时发生器在对时间同步性要求较高的多种应用中发挥着关键作用，特别是在先进科学设备和测试系统中，包括雷达回波信号模拟系统[1-2]、激光系统[3-4]、飞行时间质谱仪[5-7]、磁共振成像[8]、正电子发射断层扫描[9]和自动测试设备[10]等。在设计星载激光测高仪过程中，基于长距离、高精度全数字式脉冲延时发生器（DDG）的模拟设备可以降低星载激光测高仪的研发、测试成本。DDG被外部信号触发，经过数字编程延迟后输出延时信号，该过程中外部触发信号从输入至输出之间的时延等效实际物理过程中激光信号的距离传输延时。

针对外触发型DDG，国内外开展了大量研究，且由于可重新配置性和底层资源能力的增加，FPGA芯片已逐渐成为DDG系统设计的主流。许多研究人员通过内插延迟线组成的时间数字转换器（Time-to-Digital Converter，TDC）来测量外部触发的间隔值，确定延时的起点时刻，然后通过数字时间转换器（Digital-to-Time Converter，DTC）进行延时。在过去的十年间，FPGA平台上的时间数字转换器技术取得了显著进展，时间分辨率已提升至5 ps的水平[11-17]。TDC的时间分辨率很高，因此DDG的延时分辨率受限于后级的DTC延时精度。有研究者使用外部设备如AD9501芯片来控制输出步进值，实现了输出延时步进保持在（16±2）ps、输出抖动低于（450±20）ps[18]，输出延时步进为20 ps、输出抖动低于330 ps[19]，但在该方案中使用了外部设备，导致DDG系统集成度不高。有研究者提出仅使用FPGA内部的资源来设计数字延时模块进行输出延时步进控制。Li提出一种完全基于FPGA芯片中内部级联链的“时间-数字转换器＋数字-时间转换器（TDC-DTC）”抖动测量和补偿结构，精度可达±250 ps[20]。然而，当配置延时值较大时，基于级联链路的精度下降到微秒量级，较长的延迟线将受到更严重的影响。研究者使用FPGA内具有良好线性度的内嵌IDELAYE2资源控制输出延时步进值，可以实现延时步进为（78±20）ps、抖动为（160±20）ps[21]。然而，通过FPGA内部其他组件可以进一步提升DDG的最小延时步进值。

针对上述问题，本文提出并在Xilinx 7系FPGA芯片XC7Z035上实现基于“内插延时线＋三级粗、细时间延迟”的自测量补偿型DDG。该方案利用CARRY4延时链精确测量触发信号上升沿与系统时钟上升沿的间隔，而后又使用IDELAY2和CARRY4共同调节输出延时步进。该设计仅利用FPGA内部的普通资源，能依据不同FPGA芯片内部的基础资源进行资源适配，提高逻辑设计的灵活性和适应性。所研制出的DDG在外部触发模式下，最小延时步进为（37.5±7.5）ps，在2 ms延时条件下时间抖动优于270 ps（均方根误差31 ps）。系统设计的架构采用模块化和分层设计，仅采用FPGA片内基础资源，核心延时功能在入门级FPGA上即可得到高效实现，在高端FPGA上则能获得更高的性能，满足各种场景下高精度、大量程延时的广泛需求。

1　基于FPGA的数字延时发生器设计

采用“内插延时线＋三级粗、细时间延迟”架构的自测量补偿型DDG，并在28 nm制造工艺的XC7Z035芯片上进行实验验证，该芯片的可编程逻辑部分和Kintex-7系列的工艺相同，故该设计可广泛应用于FPGA芯片。整个延时系统框图如图1所示，由细时间测量模块、主控模块和数字延时模块三个部分组成，其中框图中绿色线条表示该路径为时序敏感型，需要在FPGA设计时进行固化。细时

间测量模块的时间分辨率和数字延时模块的延时步进值共同决定DDG系统的延时分辨率。

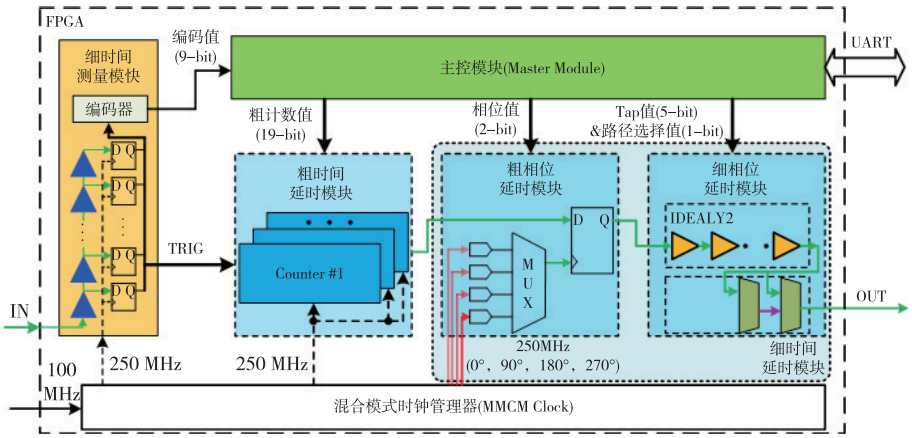


图1 DDG功能模块组成框图

如图2时序图所示,FPGA芯片内部的系统工作时钟周期记为T_{clk},本设计中系统工作频率为250 MHz,T_{clk}等于4 ns。触发信号进入DDG系统之后的延时分为三个时间段,第一个时间段记为细时间t_1;第二个时间段是T_{clk}整数倍数的时间值,记为粗时间$N\times T_{clk}$;第三个时间段是小于T_{clk}的时间值,记为细时间t_2,其中t_2又可以被分为粗相位时间和细相位时间。当触发信号输入延时系统之后,TDC会测量触发信号的上升沿与下一拍系统时钟上升沿的时间间隔t_1,同时生成与时钟上升沿同步的TRIG信号。TRIG信号完成N个周期的计数之后,主控系统会输出与时钟上升沿同步的粗计数完成使能信号。紧接着该信号会通过粗相位调节模块生成四路相位差的粗相位完成信号。最后,粗相位完成信号会通过IDELAY2&CARRY4进行更细微的时间延迟调整。完成以上步骤之后延时系统可实现在较宽动态范围内对触发信号的高精度延时。

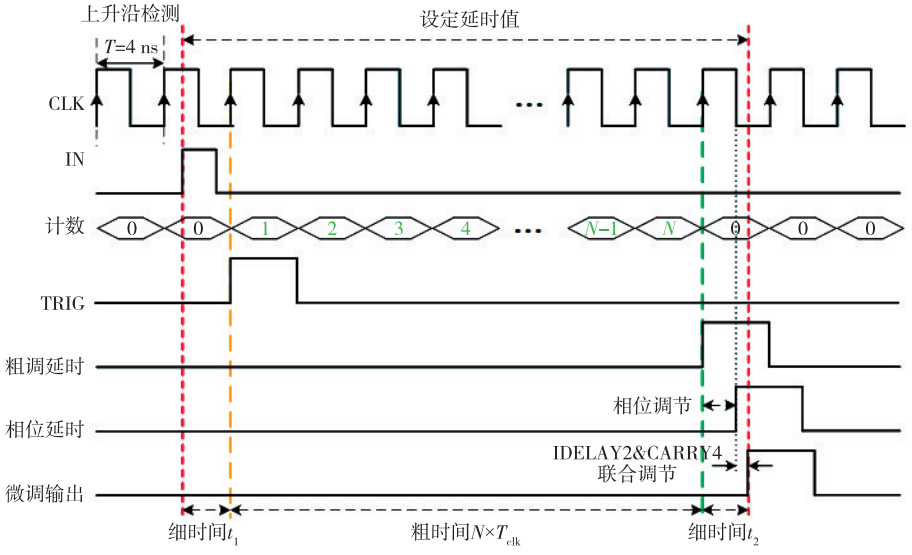


图2 数字脉冲延时系统的时序图

1.1 三级数字延时模块

在内部触发模式下,DDG是基于系统内部的同步信号生成定时序列。无论是外部触发模式还是内部触发模式,都需要三级数字延时模块来实现时间延时,两者区别在于延时的起点时刻不同。当主控模块完成本级处理之后会输出使能信号和对应的粗、细时间值至三级数字延时模块,之后该延时模块开启时间延时。如图3所示,三级数字延时模块由多通道粗时间延时模块、粗相位调节模块和细相位调节模块组成。第一级多通道粗时间延时模块是通过计数器法达到一个T_{clk}的延时步进;第二级粗相位调节模块是基于系统时钟信号的相位调

节产生四组相位差为90°的脉冲信号，该模块可以将输出信号的延时步进提高至 1 ns；第三级细相位调节模块则是基于 IDELAY2&CARRY4 对信号进行更细微的时间调节，可以将延时步进减低至稳定的 30/45 ps。通过三级模块延时调节之后，可以保证信号在较大延时范围内有较高的准度。

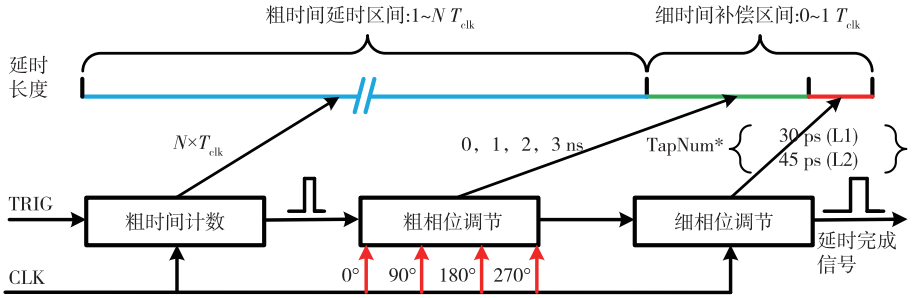


图 3　三级时间延时结构框图

1.1.1　多通道粗时间延时模块

首级的多通道粗时间延时模块是负责实现 TRIG 信号的长时间尺度延时，采用多通道可以适用于更宽频率的触发信号。该模块通过配置粗延时模块中通道计数器的计数阈值，从而实现单发脉冲的长时间延时。单个通道中粗时间延时长度由公式(1)确定：

$$t_{\mathrm{CoarseTime}}=T_{\mathrm{clk}}\times N \tag{1}$$

式中，时钟周期 T_{clk} 是指系统时钟的周期，为 4 ns，周期的计数值 N 则是由主控模块计算得到的粗延时计数值。从公式(1)中可以看出，粗延时模块的延时上限由 N 值决定，本设计中 N 是 19 bit 的位宽，其计数上限为 0x7FFFF，对应的 10 进制数则为 524 287，延时上限为 2 097 148 ns。

DDG 系统的延时主要由粗时间延时模块实现，因此该模块的延时精度将直接影响整体延时的最终精度。

频率-周期转化公式为：

$$T=\frac{1}{f}=\frac{1}{f_0\pm\Delta f}=\frac{1}{f_0\pm\left(f_0\times 0.5\times 10^{-6}\right)} \tag{2}$$

式中，f_0 为标称频率，Δf 为频率改变量，通过实测频率 f 确定系统周期的上下限分别为 $T_{\max}$，$T_{\min}$，得到 $T_{\mathrm{clk}}\in[T_{\min},T_{\max}]$，减去标准周期 T_0 得到单个周期的偏差范围。所使用的晶振为 100 MHz，0.5 ppm 温补晶振，其偏差范围为[−5 fs，5 fs]。随着延时长度增加，由单个周期引起的细小偏差会随着周期累加而逐渐变大，1 ms 延时会造成 500 ps 的时间偏差。

多通道粗时间延时模块的详细设计方案如图 4 所示。该模块中采用循环计数器进行计数，计数来源一致，并且每个通道皆是数字虚拟通道，不涉及时序敏感部分；同时计数器设计时通过约束语句将构成计数器的 DFF 约束在同一个时钟域内且尽可能靠近，保证计数器工作时序路径尽可能一致。图中每路延时通道都有对应的 Counter，分别是保存当前计数值的 Counter_1(19 位)、保存该通道计数值的 Counter_2 和预期输出时计数器的计数值 Counter_3(20 位)；另外就是每个通道的标志位 Signal_value_1 和 Signal_value_2，一旦主控传输 LOAD 信号过来之后，即将对应的通道置为有效状态(即高电平)，关闭则需要将 Counter_3 和计数器的计数值进行比较之后的结果作为关闭通道的触发事件。

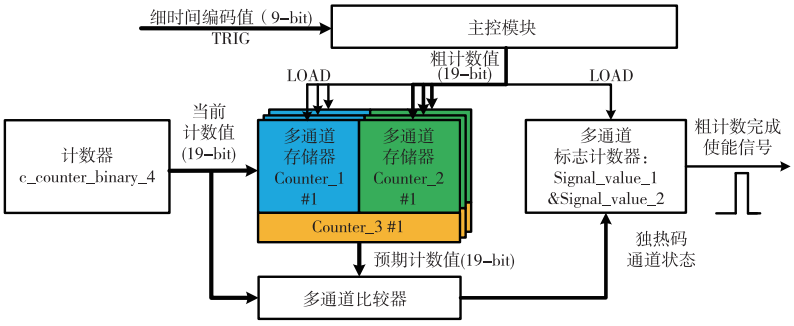


图 4　多通道粗时间延时模块框架

1.1.2 粗相位调节模块

粗相位调节模块会根据主控模块分析得到的相位值对四路相位差为90°的时钟进行片选，再用片选之后的时钟信号采样粗时间完成使能信号得到以1 ns为步进的粗相位调节脉冲，见图5中时序的示意图。设计时结合FPGA芯片底层硬件资源，采用BUFGCTRL原语进行时钟信号片选。

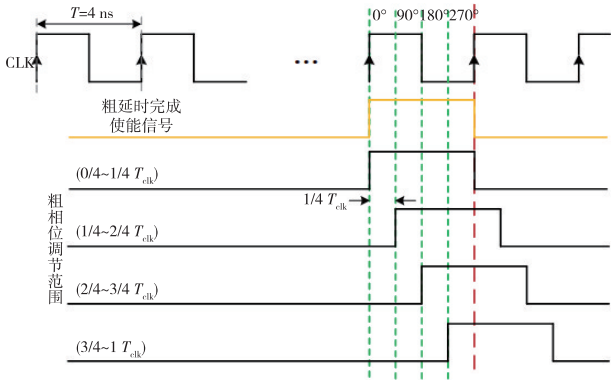


图5 时钟信号4等分时序示意图

图6则是时钟信号的片选设计，先利用第一级BUFGCTRL对相位为270°和180°的同频系统时钟信号进行选通，输出结果再和90°相位的时钟信号进行选通，其输出结果再和0°相位的时钟信号进行最后一级选通，最终的输出时钟就可以实现了1 ns的粗相位调节。由于时钟信号每经过一级BUFGCTRL元件都会引入路由时延和器件延时，故在设计时需要提前在MMCM中对四路时钟提前进行补偿，一级BUFGCTRL加上路径路由的总延时值约为180 ps，相位差为16°。

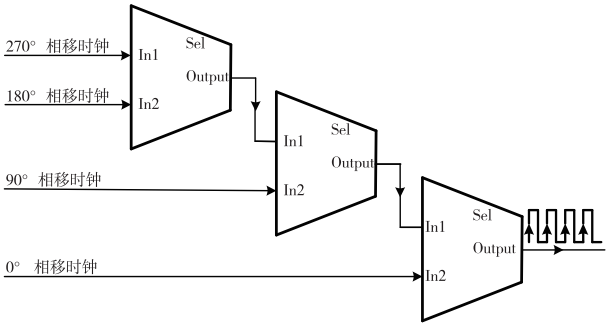


图6 时钟信号片选设计图

补偿后的4路时钟信号经粗相位延时模块选通之后通过全局时钟树网络传输到细相位延时模块所处的时钟域，并作为细相位延时的基准时钟信号。粗相位延时完成一次选通需要5个系统时钟周期，根据公式(2)推导可知，单个系统时钟周期的最大偏差不超过5 fs，则粗相位延时模块所花费的时钟周期总延时偏差不超过25 fs，时钟频率稳定性对细时间延时精度的影响基本可忽略不计。本设计中系统时钟周期为4 ns，其上升沿时间约为700 ps，由各类噪声叠加造成的抖动也较小。

1.1.3 细相位调节模块

TRIG信号经过粗相位调节模块之后能精准实现1 ns延时步进，第三级细相位调节模块则实现1 ns内的精细相位控制。图7是细相位调节模块的结构示意图，该模块是由FPGA内部集成的IDELAY2和CARRY4组成，IDELAY2在200 MHz参考时钟控制下可以稳定实现73 ps左右的延时步进，CARRY4中每个延时单元(MUXCY)的延时约在14 ps，所以结合IDELAY2和CARRY4能实现更精细的延时步进，该模块也是整个DDG系统中精度最高的调节模块。对CARRY4设计时采用“多入单出”的控制机制，可以有效避免FPGA“单入多出”设计时出现的后级路由延时约束复杂的问题。该模块工作原理是通过主控模块中输入至IDELAY2中Tap值控制TRIG信号所经过的延时单元个数实现细延时，后级再结合CARYY4中两条路径(Line1，Line2)的时间差对IDELAY2中单个Tap时间进行细分达到减小输出延时步进的目的。

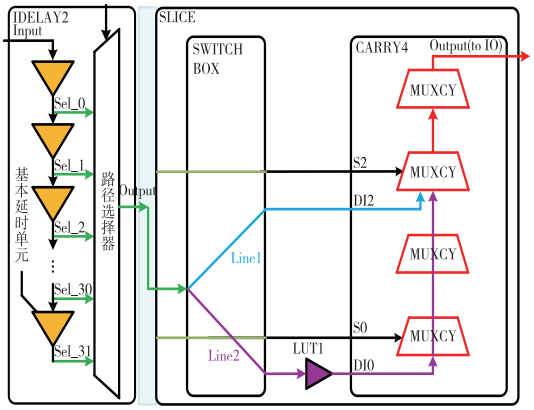


图7 基于延时链的细相位调节模块的结构示意图

细相位延时模块的设计重点考虑IDELAY2与CARRY4器件的物理布局优化问题。局限于FPGA设计架构，IDELAY2模块被限定在Select IO区域，导致其与内部CARRY4器件之间存在显著的空间隔离，从而导致其互连时经过器件数量增加、走线延时增加。针对上述问题，通过物理约束将CARRY4器件布局在距离IDELAY2最近的SLICE片内，优化输出路径布线策略，减小走线延时和SWITCH器件，达到降低信号抖动的目的。

1.2　细时间测量(TDC)模块

TDC 模块用于精确测量触发信号上升沿与系统时钟采集沿之间的时间间隔，外部输入的触发脉冲信号相对于 FPGA 内部系统工作时钟是随机的，从而导致每发脉冲与系统周期之间都存在随机的晃动。而前面介绍的三级延时模块的延时起点是以系统时钟内部上升沿为基准的，并不是以触发信号上升沿为延时起点的，就会导致实际延时之后的输出信号和实际的延时值之间总会存在晃动，所以外部触发模式下需要考虑触发信号的随机晃动及其补偿。故在 DDG 系统前端加入一个细时间测量模块对每发触发脉冲的晃动量进行测量以确定触发脉冲上升沿的准确时刻，实现以触发信号到达时刻做延时的起点，从而消除输出信号的晃动，达到提高延时精度的目的。

细时间测量的方法有很多种，本设计采用基于 FPGA 内部资源——CARRY4 进位链构建细时间测量的延时链。延时链测量细时间的思路是通过多个均匀延迟单元(bin)级联构成延迟链对触发信号进行延时，是利用分辨率很高的“时间尺子”在物理层面上“阻挡”信号真实传输时间，将时间关系转为空间分布。细时间测量示意图如图 8 所示，触发信号首先经过由 CARRY4 延时单元组成的延时链进行延时，然后采用一维存储阵列记录每个 bin 的值。通过判断触发信号的上升沿位置从而确定触发信号相较于内部系统时钟的时间间隔，为后级的三级延时模块提供了精准的延时起点。

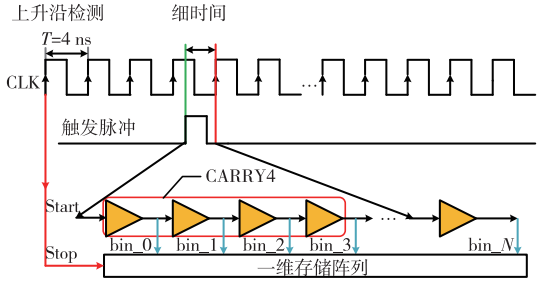


图 8　外部触发单脉冲和系统内部的间隔示意图

细时间测量模块的测量灵敏度直接受制于触发信号上升沿的瞬态特性，其斜率的变化将导致阈值判定点发生时序偏移。当外部触发信号上升沿斜率降低之后，就会导致整个延时系统获取到的阈值点鉴别时刻往后推迟，从而造成整个延时系统的整体延时。在整套单光子模拟器设备中，DDG 前端会加入一级硬件层面的信号波形调理电路对信号的上升沿进行调整。该电路使用恒比定时电路提取光子信号触发时刻，再输出上升沿陡峭的电学信号至 DDG 系统，从而减小由外界触发信号上升沿宽度不同导致阈值触发点时刻提取误差[22]。

2　实验结果及分析

2.1　测试环境搭建

采用图 9 中的测试平台来测试设计的 DDG 性能。测试平台包括脉冲信号发生器 Tektronix AFG3152C、国仪量子的 TDC 测量产品 TDC0408 和 DDG 板卡。为了评估 DDG 的延迟性能，通过脉冲信号发生器输出脉冲信号，测试中输入信号频率为 4 kHz，输出电平 2.5 V@50 Ω，脉宽 20 ns，上升沿 3 ns。脉冲信号经过三通器件后分为两路，一路信号直接输入至 TDC0408 的 CH1 通道作为 Start 信号，另一路信号则经过 FPGA 板卡经延时再输出至 TDC0408 的 CH2 通道作为 Stop 信号。

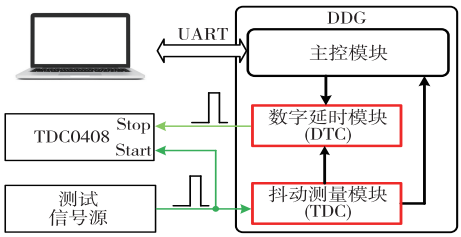
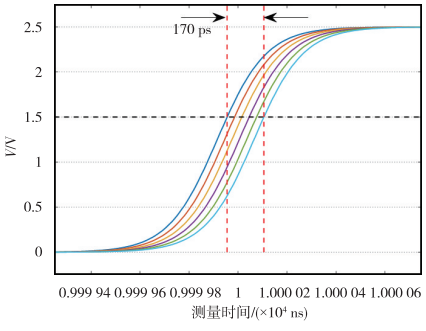


图 9　DDG 测试结构示意图

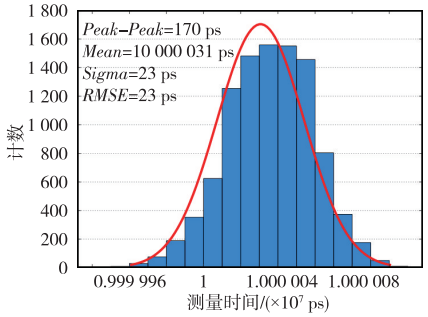
2.2　脉冲延时发生器测试

2.2.1　脉冲延时发生器抖动测试

输出与外触发信号之间抖动测试过程如下：将信号源按上述参数设置后输出触发信号，通过上位机设置延时后进行单点抖动测试。测试时以 10 000 ns 延时值为测试点。用 TDC0408 测试 Start 信号与发生器输出 Stop 信号之间的延时，累计记录 10 000 次测试结果并计算抖动时间，其抖动测量结果如图 10 所示。实验结果表明，在设定延时值 10 000 ns 时，DDG 输出呈正态分布，其输出抖动优于 170 ps，*RMSE* 优于 23 ps。



(a) 输出信号抖动示意图



（b）抖动测量结果延时 10 000 ns

图 10 延时输出抖动测量结果

2.2.2 脉冲延时发生器细相位延时测试

为验证 DTC 中 IDELAY2 和 CARRY4 级联的细相位调节功能。将一个系统时钟周期内 4 种粗相位挡位值作为细相位延时起点，通过控制细时间节点路径实现细小时间延时，测量不同路径组合下对应的细延时值，从而得到 DTC 中细相位延时精度。测试延时起始点为 10 000 ns，分别测试＋0，1，2 和 3 ns 中不同延时路径的延时效果。测试结果见图 11 所示，通过 CARRY4 的两条路径 Line1 和 Line2 的时间差约为 30 ps，使用 CARRY4 能将 IDELAY2 的（73±20）ps 的延时分辨率提升一倍至（37.5±7.5）ps。

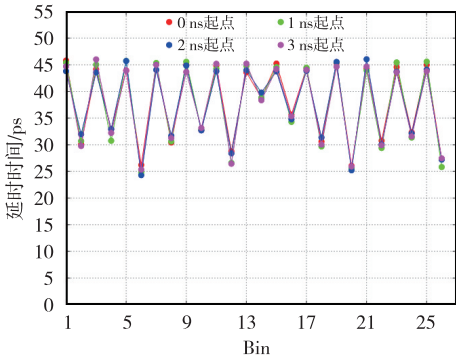


图 11 DTC 中系统周期内的 BIN 延时值

2.2.3 脉冲延时发生器模拟延时测试

脉冲模拟延时测试过程与抖动测试方法一致，同样也是对触发信号进行分流，一部分作为 Start 信号直接输入到 TDC CH1 通道，而经过 DDG 延时之后的则是作为 Stop 信号输入至 CH2 通道。实验中会写入不同延时设定值进行测试，并且会在 DDG 启动后若干个时间段内重复上述操作，分别采集 DDG 在持续工作 0.25，1，4 和 6 h 之后的多项数据进行比对。延时值与测量值以及拟合曲线如图 12 所示，如图 13 是单次测量下的输出峰峰值及 *RMSE* 值。

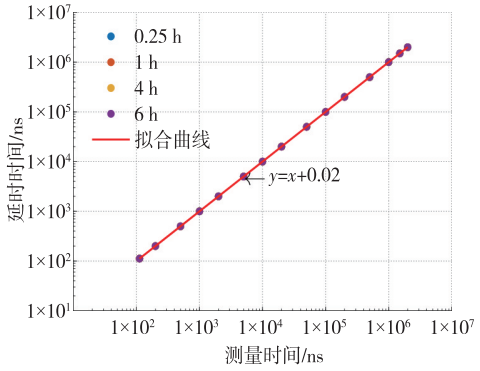


图 12 延时值与测量值以及拟合曲线

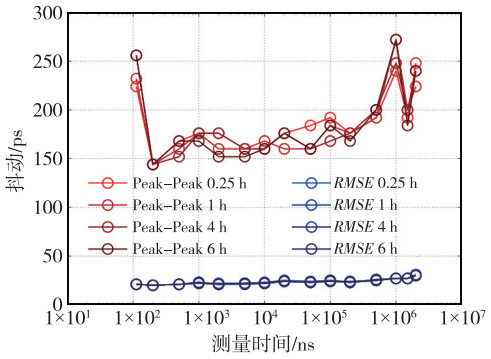


图 13 输出峰值及 *RMSE* 显示图

详细的实测数据见表 1 所示。对表 1 中的数据进行数据分析可知，发现 DDG 在不同时间段上基本都保持恒定，其时间稳定性很好。同时发现在 200 ns～5 μs 之间的延时准确度高、抖动量较小。在初始 112 ns 的延时准确度较高，但是其输出抖动较大，这是因为其初始时刻状态下随机波动的影响会相对大一些，同时也发现在延时时长超过 1 ms 之后，其本身的延时准确度、抖动量都会急剧变差。这是因为采用的时钟晶振在长周期累加下会形成累计误差，本设计中是采用温补晶振，其频率稳定度为±0.5 ppm，经分析得知，毫秒量级延时下多个周期的累计误差会存在纳秒量级的误差，符合晶振频率稳定度，下一步可以使用恒温晶振进一步提高 DDG 频率稳定性。从表 1 可以发现延时 1 ms 后，信号输出抖动量从 272 ps 急剧降低至 184 ps，降幅达 32%。这一现象可能与系统噪声特性和粗时间累加时间相关，后续通过建立延时-抖动关系的数学模型来进一步研究抖动的成因。

本设计中 DDG 逻辑设计消耗的资源如表 2 所示，仅使用如 LUT，DFF，CARRY4 和 IDELAY2 等 FPGA 片上普通资源，该设计可以在多层次的 FPGA 芯片上进行灵活设计。

表1　DDG性能测试结果

序号	延时设置值/ns	实测延时值均值—偏差值/ps				抖动峰峰值/ps				均方根误差/ps			
		0.25 h	1 h	4 h	6 h	0.25 h	1 h	4 h	6 h	0.25 h	1 h	4 h	6 h
1	112	18	15	17	17	224	232	256	256	21	21	21	21
2	200	18	17	19	19	144	144	144	144	20	20	20	20
3	500	20	19	20	20	168	160	152	168	21	21	21	21
4	1 000	20	20	22	20	176	176	176	168	23	22	22	23
5	2 000	23	21	22	22	176	160	176	152	21	22	21	21
6	5 000	23	22	24	22	160	160	160	152	22	22	21	22
7	10 000	26	25	26	26	160	168	160	160	22	23	22	22
8	20 000	31	31	32	31	176	160	176	176	24	25	24	24
9	50 000	48	47	50	49	184	160	160	160	23	24	23	23
10	100 000	75	74	77	77	192	184	168	184	24	25	25	24
11	200 000	132	132	135	134	176	176	176	168	23	23	23	24
12	500 000	308	309	314	315	192	192	200	200	25	25	26	25
13	1 000 000	593	595	604	606	240	272	248	272	27	27	27	27
14	1 500 000	842	844	856	860	192	200	200	184	27	27	27	27
15	2 000 000	1 125	1 127	1 143	1 152	248	224	240	240	31	30	30	30

表2　DDG逻辑设计资源消耗表

资源名称	使用数量	总资源量	比例/%
6-input LUT	6 371	171 900	3.706
Flip-Flop	5 177	343 800	1.51
BRAM(36 KB)	6	500	1.2
IDELAY2	1	400	0.25
MMCM	1	8	12.5

3　结论

本文研制一种包含自动抖动测量和补偿的定制化DDG，该DDG融合了内插延时线和多级时间延时策略。该DDG完全依赖FPGA片上普通资源，不需要外部电路设计，且与大多数Xilinx 7系列FPGA兼容，能极大的提高该设计的适用范围。外部触发模式下，该DDG的输出脉冲时间最小延时步进可达(37.5±7.5) ps，时间抖动在2 ms延时下优于270 ps(均方根误差为31 ps)。DDG会存在固有延迟约为112 ns，但是该延迟不会对前端TDC采集系统造成任何影响。未来可以使用码密度法等方法对TDC进行精细划分，通过提升TDC的分辨率来进一步提高DDG性能。

参考文献：

[1] Zhaolin S, Nan L, Yinan W, et al. High resolution programmable digital delay generator design and realization [C]// 2010 International Conference on Intelligent System Design and Engineering Application, 2010: 813-816.

[2] 李　浩，李加琪，吴嗣亮. 一种大动态范围高分辨率的脉冲延迟器设计[J]. 军民两用技术与产品，2006(5): 36-38.
Li Hao, Li Jiaqi, Wu Siliang. A large dynamic range, high resolution pulse delay circuit design [J]. Dual Use Technologies & Products, 2006(5): 36-38.

[3] Junmin J, Jinyuan L, Baiyu L, et al. Research of the new-style digital delay pulse generator in the prototype of laser system[J]. Acta Photonica Sinica, 2002, 31(3): 381-383.

[4] Ding Y, Tian D, Li C, et al. Design and development of a miniature digital delay generator for laser-induced breakdown spectroscopy [J]. Instrumentation Science & Technology, 2015, 43(1): 115-124.

[5] Feng C L, Gao L, Liu J H, et al. Laser mass-spectrometry for online diagnosis of reactive plasmas with many species [J]. Review of Scientific Instruments, 2011, 82(6): 063110.

[6] 高　辉，陈文通，王金祥，等. 可编程器件在纳秒级多通道数字延迟/脉冲发生器中的应用[J]. 分析仪器，2002(3): 13-17.
Gao Hui, Chen Wentong, Wang Jinxiang, et al. Application of programmable logic device in multichannel nanosecond digital delay pulse generator[J]. Analytical Instrument, 2002(3): 13-17.

[7] Kovtoun S V, English R D, Cotter R J. Mass correlated acceleration in a reflectron MALDI TOF mass spectrometer: An approach for enhanced resolution over a broad mass range [J]. Journal of the American Society for Mass Spectrometry, 2002, 13(2): 135-143.

[8] Kohlrautz J, Haase J, Green E L, et al. Field-stepped broadband NMR in pulsed magnets and application to $SrCu_2(BO_3)_2$ at 54 T [J]. Journal of Magnetic Resonance, 2016, 271: 52-59.

[9] Liu Y, Li H, Wang Y, et al. A programmable high-resolution ultra-fast delay generator [J]. IEEE Transactions on Nuclear Science, 2003, 50(5): 1487-1490.

[10] Klepacki K, Pawłowski M, Szplet R. Low-jitter wide-range

integrated time interval/delay generator based on combination of period counting and capacitor charging [J]. Review of Scientific Instruments, 2015, 86(2):025111.

[11] 李瑞艳, 张春熹, 王 鹏, 等. 基于TDC-GP22的脉冲激光测距系统设计[J]. 半导体光电, 2018, 39(6): 848-852.
Li Ruiyan, Zhang Chunxi, Wang Peng, et al. Design of pulsed laser ranging system based on TDC-GP22 [J]. Semiconductor Optoelectronics, 2018, 39(6): 848-852.

[12] Fishburn M W, Menninga L H, Favi C, et al. A 19.6 ps, FPGA-based TDC with multiple channels for open source applications [J]. IEEE Transactions on Nuclear Science, 2013, 60(3): 2203-2208.

[13] Qin X, Wang L, Liu D, et al. A 1.15 ps bin size and 3.5 ps single-shot precision time-to-digital converter with on-board offset correction in an FPGA [J]. IEEE Transactions on Nuclear Science, 2017, 64(12): 2951-2957.

[14] Xie W, Chen H, Zang Z, et al. Multi-channel high-linearity time-to-digital converters in 20 and 28 nm FPGAs for LiDAR applications [C]// 2020 6th International Conference on Event-Based Control, Communication, and Signal Processing (EBCCSP), 2020: 1-4.

[15] Qin X, Zhu M D, Zhang W Z, et al. A high resolution time-to-digital-convertor based on a carry-chain and DSP48E1 adders in a 28 nm field-programmable-gate-array[J]. Review of Scientific Instruments, 2020, 91(2):024708.

[16] Hua Y, Chitnis D. A highly linear and flexible FPGA-based time-to-digital converter[J]. IEEE Transactions on Industrial Electronics, 2021, 69(12): 13744-13753.

[17] Lai X, Liu M, Liu C. A 12 bit, 27.8 ps resolution, anti-PVT variation multi-parallel sampling based coarse-fine TDC for LiDAR sensors[J]. Microelectronics Journal, 2024, 143: 106068.

[18] Chen Z, Wang X, Zhou Z, et al. A simple field programmable gate array (FPGA) based high precision low-jitter delay generator[J]. Review of Scientific Instruments, 2021, 92(2):024701.

[19] 温伟峰, 何 徽, 赵新才, 等. 晃动补偿精密时序控制电路设计[J]. 核电子学与探测技术, 2015, 35(7): 650-653.
Wen Weifeng, He Hui, Zhao Xincai, et al. Precise timing control method with jitter compensation function[J]. Nuclear Electronics & Detection Technology, 2015, 35(7): 650-653.

[20] Li J, Zheng Z, Liu M, et al. Large dynamic range accurate digitally programmable delay line with 250 ps resolution[C]// 2006 8th International Conference on Signal Processing, 2006: 345484.

[21] Qiu W, Xie J, Liu Q, et al. A low-jitter timing generator based on completely on-chip self-measurement and calibration in a field programmable gate array [J]. Review of Scientific Instruments, 2021, 92(11):114703.

[22] 于慧娟, 王玉冰, 赵树华, 等. 基于TDC的自动驾驶激光雷达测距方法研究[J]. 中国激光, 2024, 51(8): 204-213.
Yu Huijuan, Wang Yubing, Zhao Shuhua, et al. Research on automatic driving lidar ranging method based on TDC [J]. Chinese Journal of Lasers, 2024, 51(8): 204-213.

作者简介：

冯 伟(1996—),男,硕士研究生,主要研究方向为基于FPGA的精密延时、高精度测时;

李 松(1965—),女,博士,教授,博士生导师,主要从事卫星激光遥感与设备方面的研究。