光电器件

DOI：10.16818/j.issn1001－5868.20240812003

一种4H-SiC超结UMOSFET的UIS特性分析

曹　荣，冯全源*

（西南交通大学 微电子研究所，成都 611756）

摘　要： 设计并优化了一种具有两段不同P柱浓度的4H-SiC超结沟槽型场效应晶体管（DP-SJ-UMOS）。基于雪崩失效的物理机制，构建了器件非钳位感性开关（UIS）测试电路模型，通过Sentaurus TCAD仿真平台系统研究了该器件的UIS特性，提出三种提升雪崩耐受性能的优化策略。采用多次外延生长结合高能离子注入工艺，在漂移区构建了具有上下两段不同浓度的P柱超结结构。该结构通过重构优化雪崩击穿时的载流子输运路径，使寄生三极管基极电流降低，有效抑制了寄生三极管的开启，提高了雪崩耐量。仿真结果表明，优化后的DP-SJ-UMOS相较于传统超结结构（Con-SJ-UMOS）的雪崩击穿电压提升了24.5%，雪崩电流峰值提升了1.5%，雪崩能量耐受能力提高0.9%。

关键词： 4H-SiC；超结；U型金属氧化物半导体场效应晶体管；非钳位感性开关；雪崩耐量

中图分类号： TN386.1　**文章编号：** 1001－5868(2025)03－0409－07

UIS Characteristics of A 4H-SiC Superjunction UMOSFET

CAO Rong, FENG Quanyuan

(**Institute of Microelectronics, Southwest Jiaotong University, Chengdu 611756, CHN**)

Abstract: This study focuses on designing and optimizing a 4H-SiC superjunction trench field-effect transistor structure (DP-SJ-UMOS) with two segments of different P-pillar concentrations. The device's UIS testing circuit was analyzed and its fundamental operating principles determined. The UIS characteristics of this device structure were studied in detail using Sentaurus TCAD simulation software, where three methods were proposed to improve avalanche tolerance. Multiple epitaxial growth and high-energy ion-implantation techniques were employed in the drift region to form the upper and lower segments of the superjunction structure with different concentrations, enhancing the avalanche current path during avalanche breakdown. This modification reduced the current of the parasitic transistor during breakdown, effectively suppressing the activation of the parasitic transistor and improving avalanche tolerance. The experimental simulations indicate that the proposed structure, compared with conventional superjunction devices (Con-SJ-UMOS), achieves a 1.5% increase in peak current, with breakdown voltage and avalanche tolerance enhancements of 24.5% and a 0.9%, respectively.

Key words: 4H-SiC; superjunctions; U-shaped metal-oxide-semiconductor field-effect transistor; unclamped inductive switching; avalanche tolerance

收稿日期：2024－08－12.

基金项目：四川省重大科技专项项目（2023ZDZX0016）.

* **通信作者：**冯全源

0 引言

随着电子电力系统向高功率密度、高效率和高可靠性方向发展，传统硅基器件受限于材料性能，难以满足高温、高频及极端工况下的应用需求。这一技术瓶颈推动了以碳化硅（SiC）为代表的第三代宽禁带半导体功率器件的快速发展[1-4]，基于SiC材料设计的沟槽栅MOSFET（UMOSFET）功率器件具有高开关频率、低损耗、高耐压、良好热稳定性等特性，被广泛应用于光伏电路、新能源汽车等高频高压场合[5-6]。在器件架构创新方面，超结（SuperJunction，SJ）技术能够有效缓解导通电阻与击穿电压的矛盾关系，成为提升器件性能的关键技术之一[7]。随着SiC超结器件性能不断提升，其在各种严苛应用环境下的可靠性和鲁棒性也变得至关重要。

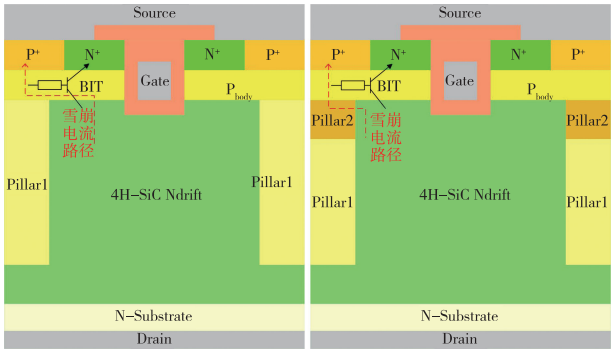
在各类应用系统中，存在很多感性负载（如螺线管或电感）[8-9]，这些负载可能导致器件进入雪崩状态，从而严重影响器件的安全性与可靠性。当MOS器件的漏端被冲击时，所能承受的最大功率称为该器件的最大雪崩耐量[10]，雪崩耐量的大小可以用非钳位感性负载开关（Unclamped Inductive Switching，UIS）来衡量[11]，而UIS特性也是衡量器件可靠性的重要标准之一。2013年，Fayyaz等首次对SiC MOSFET器件的UIS特性进行研究，提出通过降低器件的关态栅压可以提高雪崩耐量[12]；2016年，Liu等通过电学参数退化研究提出在UIS过程中栅氧退化的主要原因是JFET区正电荷的注入，并设计三种改进SiC MOSFET结构[13]；2017年，Ji等也通过优化P阱电场设计一种高雪崩耐量器件[14]；2019年，Ren等通过建立UIS过程中的寄生三极管模型，提出雪崩失效的根本原因是器件体内寄生三极管的开启[15]；2020年，Deng等研究了非对称双沟槽SiC MOSFET结构的UIS特性，确定了热失效和栅氧失效两种机制[16]，2021年该团队又提出其失效原因为沟槽底部和拐角处氧化物断裂[17]。

UIS特性是当前功率器件的一大研究热点，为提高器件的雪崩耐量以优化其可靠性，本文在确保器件开启电压、击穿电压以及导通电阻不受影响的前提下，设计并仿真分析了一种具有不同浓度P柱的4H-SiC超结结构，提出并验证了三种可以有效改善器件雪崩耐量的方法，通过原理分析和实验验证证明了与传统超结器件相比该结构可以有效提升器件的雪崩可靠性。

1 器件结构设计与UIS测试原理

1.1 SiC SJ UMOSFET结构设计

传统超结结构（Con-SJ-UMOS）与本设计器件结构（DP-SJ-UMOS）的二维平面示意图，以及内部寄生三极管结构和雪崩电流路径如图所示。器件的N^+源区、P_{body}区和N型漂移区分别构成寄生NPN三极管的发射区、基区和集电区，实际器件内部应包含多个由P_{body}区寄生电阻与寄生三极管串联而成的结构，此处并未一一给出。在传统器件基础上，改进结构在漂移区引入上下两段不同浓度的Pillar区，其中上层Pillar2柱注入铝离子剂量高，导致该区域的浓度较大，因此其电场强度要比其他区域更高，UIS雪崩击穿更容易发生在Pillar2区。从图中可以看出，优化结构的雪崩电流从衬底经漂移区受高电场强度影响到达Pillar2区，往上经P^+源区到达金属源电极；而传统超结器件的雪崩电流则从衬底到达漂移区后直接进入P_{body}区，通过整个P_{body}区后流过P^+区到达源极金属。通过Pillar2区改变雪崩电流路径，使得击穿时流经N^+源区下方P_{body}区的总电流减小，即流过寄生三极管基区的电流减小。在基极电阻相同的情况下，电流减小导致寄生三极管电阻上的压降相应减小，寄生三极管的开启就会受到抑制，从而提高抗UIS能力[18]。除此之外，Pillar2区的高浓度还会提高器件的雪崩击穿电压，进一步提升器件可靠性。



（a）Con-SJ-UMOS （b）DP-SJ-UMOS

图1 二维平面结构与电流路径示意图

由于SiC的高硬度和杂质的低扩散率，超结P柱很难形成。为解决这一问题，采用多次外延生长及高能离子注入的方式来实现该结构。这种方法既不损伤SiC表面，还能有效提升击穿电压[19]。器

件部分参数设置如表1所示，其中，除超结Pillar2区外，其他参数在仿真过程中均保持一致。设置器件面积因子为2×10^{7} μm，当雪崩击穿的电流值为1×10^{-6} A时，对应的电压值为器件的击穿电压。

表1　两种器件结构的主要参数

参数	Con-SJ-MOS	DP-SJ-UMOS
元胞宽度 W_c/μm	5	5
Pillar2区厚度 D_{p2}/μm	—	1.3
Pillar2区宽度 W_{p2}/μm	—	0.75
Pillar1区厚度 D_{p1}/μm	5.2	3.9
Pillar1区宽度 W_{p1}/μm	0.75	0.75
N漂移区浓度 N_{drift}/cm^{-3}	3×10^{16}	3×10^{16}
P_{body}区浓度 N_{pbody}/cm^{-3}	1×10^{17}	1×10^{17}
Pillar1区剂量 DN_{p1}/cm^{-2}	4.5×10^{12}	4.5×10^{12}
Pillar2区剂量 DN_{p2}/cm^{-2}	—	1×10^{13}

1.2　UIS仿真电路与失效原理

UIS是功率MOS器件在应用中能遇到的最极端电应力情况，通常用雪崩耐量来衡量。图2为功率UMOSFET器件UIS特性仿真电路原理图。其中，待测器件（DUT）的栅极与栅极电阻R_g以及脉冲电压串联，二极管为MOS器件内部的寄生体二极管，漏极与负载电感L以及恒定电源V_{DD}串联，源极与脉冲电压以及电源负极接地，各元器件值分别为：V_{DD}=100 V，R_g=20 Ω，L=10 μH。用V_G，V_D，I_{DS}分别表示栅极电压、源漏电压以及漏极电流的变化，在理想状态下，UIS仿真过程波形如图3。

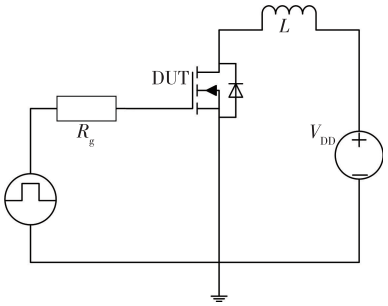


图2　UIS仿真电路图

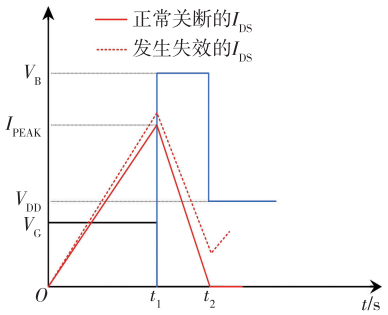


图3　UIS仿真波形图

在整个UIS测试过程中，恒定电源V_{DD}都处于供电状态，在0～t_1时间内，给器件栅极施加正向偏压，脉冲方波接高电平，待测器件开启，电感充电。此时器件两端的电压较小，温度基本不变，器件不会被损坏，流径电感的电压电流方程和储能方程如下：

$$u(t)=L\frac{\mathrm{d}i}{\mathrm{d}t},\ W_L(t)=\frac{1}{2}Li_L^2(t) \tag{1}$$

式中，L代表负载电感的大小，$u(t)$，$i(t)$和$W(t)$分别表示电压、电流和存储能量关于时间的函数。在t_1时刻，脉冲电压转为低电平，器件关断，源漏电流达到最大雪崩值I_{PEAK}，电感开始放电。由于MOS器件的开启/关断时间在几十到几百纳秒数量级，远小于栅压脉冲宽度。因此忽略器件开启和关断消耗的时间，认为器件立马关断，此时根据导通时的电流变化可求得最大漏极电流为：

$$I_{PEAK}=\frac{V_{DD}}{L}t_1 \tag{2}$$

式中，I_{PEAK}代表仿真过程产生的电流峰值，V_{DD}为恒定电源电压。根据公式（1）和（2）可得t_1时刻电感存储能量最大值为：

$$W_L(t_1)=\frac{1}{2}LI_{PEAK}^2=\frac{1}{2}L\left(\frac{V_{DD}t_1}{L}\right)^2 \tag{3}$$

t_1到t_2时间内，由于器件关断，电流由I_{PEAK}迅速下降，电感持续放电迫使器件进入雪崩击穿状态，产生较大雪崩电流时器件内部温度迅速上升。此时漏极电压为体二极管的雪崩击穿电压V_B，直到t_2时刻电感存储能量全部释放。这段过程中漏极电流随时间的变化情况为：

$$\frac{\mathrm{d}i}{\mathrm{d}t}=\frac{u(t)}{L}=-\frac{V_B-V_{DD}}{L} \tag{4}$$

式中，V_B是体二极管雪崩击穿电压。当雪崩电流流过P_{body}区时，载流子与晶格的碰撞会使器件温度增加，温度增加使晶格散射增强，导致电阻增加，进而引起P_{body}区上的压降增加。当该压降大于N^+源区和P_{body}结的寄生电压时，寄生三极管开启，源区的大量电子注入到P_{body}区，在耗尽区电场的作用下产生碰撞电离使电流迅速增加。电流的增加又促进温度增加，形成一个正循环，最终会导致器件发生热失效，因此在器件设计过程中需要尽量避免寄生三极管的开启。若产生的压降不足以使寄生三极管开启，则产生的温度不能使器件发生热击穿，器件正常关断，电流会下降到0，分别如图3中红色虚线

和实线所示。器件正常关断时电流从I_{PEAK}下降到0所需要的时间为：

$$t_2=\frac{LI_{PEAK}}{V_B-V_{DD}} \tag{5}$$

器件单次脉冲能够承受的最大雪崩耐量用最大雪崩击穿耐受能量E_{AS}来表示，从UIS过程分析可知E_{AS}即电感所存储的能量，其大小用关断时器件的峰值电流I_{PEAK}来确定：

$$E_{AS}=\int_{t_1}^{t_2}u(t)\cdot i(t)\mathrm{d}t=\frac{1}{2}LI_{PEAK}^2\frac{V_B}{V_B-V_{DD}} \tag{6}$$

用于计算雪崩耐量的雪崩击穿电压值V_B通常是正常器件击穿电压的1.1～1.4倍[20]。从公式(6)可知，器件的雪崩耐量与负载电感和雪崩峰值电流呈正相关，在负载电感相同的条件下，器件所能承受的峰值电流越大，其UIS可靠性越好。在上述器件结构设计中，优化结构通过改善器件的雪崩电流路径有效抑制了寄生三极管的开启，增大了雪崩峰值电流，同时Pillar2柱还能提升雪崩击穿电压，从而使器件获得更高的雪崩耐量。

2 器件仿真与数据分析

根据上述设计利用Sentaurus TCAD软件进行结构与性能仿真。首先综合考虑器件设计中开启电压V_{th}、击穿电压V_B、特征导通电阻$R_{on,sp}$所受影响，对器件部分参数进行优化；其次在所设计的结构基础上提出三种可以进一步提升器件雪崩耐量的方法，并通过对比仿真验证每一种方法的可行性。性能仿真用到的主要物理模型包括SRH(Shockley-Read-Hall)复合模型、Auger复合模型、High Field Saturation高电场饱和模型、IALMob反型层积累模型等。

2.1 DP-SJ-UMOS结构优化

首先对器件的P柱浓度进行优化，Pillar1区域的掺杂浓度相对较小，但厚度较大，因此主要靠Pillar1柱与漂移区形成超结结构，Pillar2区主要对雪崩击穿空穴电流路径进行优化。当漂移区浓度为$3\times10^{16}\ \mathrm{cm^{-3}}$时，器件开启电压$V_{th}$、击穿电压$V_B$和特征导通电阻$R_{on,sp}$分别与Pillar1区注入剂量的关系如图4所示。当Pillar1区注入剂量从$3.5\times10^{12}\ \mathrm{cm^{-2}}$增加至$6.0\times10^{12}\ \mathrm{cm^{-2}}$时，开启电压和导通电阻随注入剂量增大而缓慢增加，且基本维持在7.7 V和0.77 mΩ·cm²附近。与此同时，击穿电压随注入剂量的增加呈现先增大后减小的趋势，这是因为过高的超结浓度会破坏电荷平衡机制，从而导致电场分布改变。在本设计结构中，当注入剂量为$4.5\times10^{12}\ \mathrm{cm^{-2}}$时和$5.0\times10^{12}\ \mathrm{cm^{-2}}$时击穿电压较高，分别为1 002 V和1 014 V，其中前者的开启电压更低。因此综合击穿电压、开启电压和导通电阻的表现，在后续仿真中将选取Pillar1区的注入剂量为$4.5\times10^{12}\ \mathrm{cm^{-2}}$。

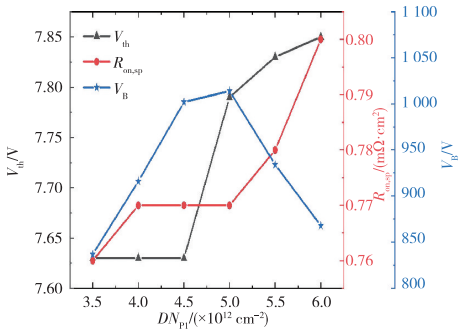


图4 V_{th}，$R_{on,sp}$，V_B与Pillar1区注入剂量关系曲线

在Pillar1区注入剂量为$4.5\times10^{12}\ \mathrm{cm^{-2}}$的情况下，对Pillar2区的注入剂量进行优化。主要考虑Pillar2区对UIS过程中雪崩击穿的影响，仿真得到Pillar2区注入剂量与UIS雪崩击穿电压V_B以及峰值电流I_{PEAK}之间的关系曲线如图5所示。从图中可以看出，当注入剂量为$1\times10^{13}\ \mathrm{cm^{-2}}$时，$V_B$与$I_{PEAK}$达到最大值，分别为1 291 V和99.18 A。随着注入剂量的进一步增大，雪崩击穿电压与峰值电流反而减小，这是因为较高掺杂的Pillar2柱打破了局部的电荷平衡。因此综合器件性能，在后续设计中选用Pillar2注入剂量为$1\times10^{13}\ \mathrm{cm^{-2}}$。

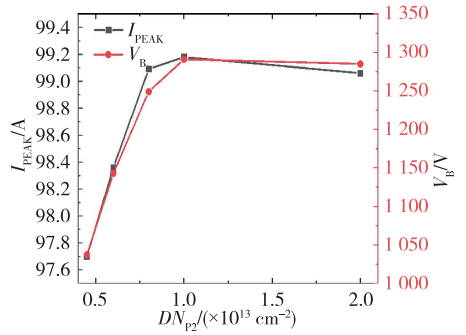
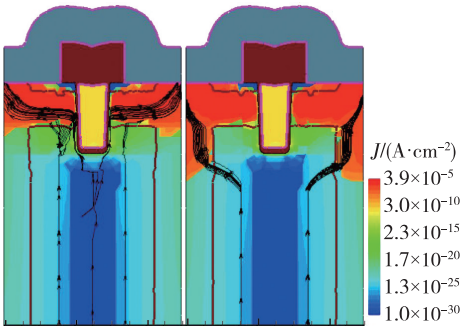


图5 V_B，I_{PEAK}与Pillar2区注入剂量关系曲线

利用上述优化参数对传统超结结构Con-SJ-UMOS和优化结构DP-SJ-UMOS进行UIS特性分析，仿真得到两者的雪崩空穴电流路径分别如图6中的箭头所示。在栅极正偏持续时间为10 μs，正向脉冲电压为15 V，电源电压为100 V，负载电感为10 μH的情况下，得到两种结构的UIS过程曲线如图7所示。这种情况下两种器件均未发生失效，电

流恢复到0时产生的微弱振荡主要是由米勒平台和源极寄生电感所引起的，属正常现象，故不再进一步分析。图7表明，优化结构的雪崩击穿电压和峰值电流均略高于传统超结结构，最大雪崩击穿电压与电流分别为1 291 V，1 037 V和99.18 A，97.72 A。根据第一部分推导的公式(6)，可以计算得到此时传统结构和优化结构的单脉冲雪崩耐量分别为53.31 mJ和52.84 mJ。结果表明，与传统超结结构相比，优化结构雪崩击穿电压提升了24.5%，峰值电流提升了1.5%，雪崩耐量提升了0.9%，因此优化结构具有更高的雪崩耐量和更好的雪崩击穿可靠性。



(a) Con-SJ-UMOS　(b) DP-SJ-UMOS

图6　两种结构的雪崩空穴电流路径示意图

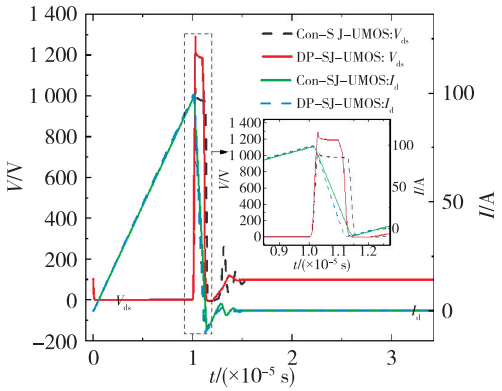


图7　UIS过程示意图

2.2　3种提升雪崩耐量的方法

为进一步提高雪崩耐量并避免寄生三极管的开启，采用优化的器件结构，从两个方面来进行改进，一是减小寄生三极管的基区电阻，二是改变雪崩电流路径。为此，下面提出3种可行的方案并进行验证：(1)优化P_{body}区的掺杂浓度，减小寄生三极管的基区电阻；(2)优化P^+源区与N^+源区的比例，减小N^+源区的占比，从而减少N^+源区与P_{body}区的接触面积，达到减小寄生三极管的基区电阻的效果；(3)采用槽型源接触并进行深P^+区注入，优化雪崩电流路径的同时可以进一步减小寄生三极管的基区电阻。

2.2.1　优化P_{body}区掺杂浓度

增大P_{body}区的掺杂浓度可以有效降低寄生三极管的基区电阻，从而抑制寄生BJT的开启。然而过高的P_{body}浓度也会导致器件的开启电压升高，因此需要考虑一个平衡P_{body}浓度值。在保持其他工艺不变的情况下，对不同P_{body}区掺杂浓度的结构进行了电学特性仿真，得到如图8和9所示的开启电压V_{th}和UIS过程曲线。

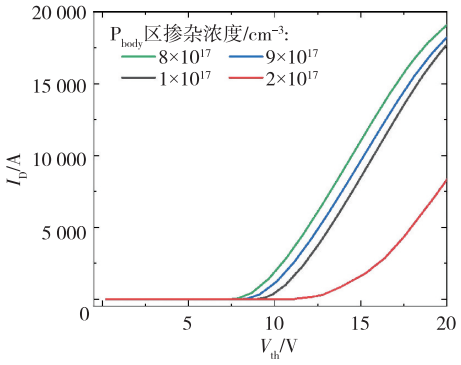


图8　V_{th}与P_{body}区掺杂浓度关系曲线

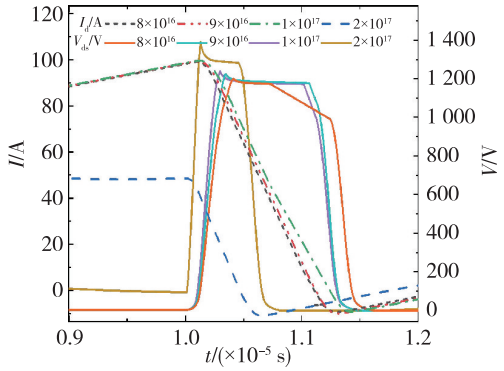


图9　UIS过程与P_{body}区掺杂浓度关系曲线

从图8可以看到，随着P_{body}区浓度的增大，开启电压和雪崩击穿电压逐渐增大，而峰值电流呈现先增大后减小的趋势。当掺杂浓度达到2×10^{17} cm^{-3}时，雪崩电流降到了约50 A，这是因为此时器件的开启电压过高，导致器件更难开启，在给定栅压为15 V的条件下，器件并不能完全开启。仿真表明，虽然增大P_{body}区的掺杂浓度有助于提升雪崩耐量，但是过度增大其掺杂浓度会导致器件无法正常开启。为了保持开启电压不变，可以考虑优化器件的栅介质层结构，在栅介质中引入一定数量的固定电荷，能够有效消除由P_{body}区浓度增加带来的开启电压增大，这一方法在之前的研究中已得到验证[21]。

2.2.2 优化N^+源区结构

在确保其他工艺参数不变的情况下，缩小N^+源区的宽度可以减小N^+源区与P_{body}区的接触面积，从而降低寄生三极管中的基区电阻，抑制三极管开启。此方法不涉及改变N^+源区的厚度和掺杂浓度。保持其他结构不变，在原优化后的结构基础上扩展P^+源区，减小N^+源区的面积，调整P^+源区和N^+源区的宽度比由原来的4∶6为7∶3(总宽2 μm)。如图10所示为原结构与缩小N^+源区面积后的UIS过程曲线，结果表明N^+源区从1.2 μm减小至0.6 μm后，雪崩击穿电压和峰值电流分别为1 314 V和100.2 A，与原结构相比，分别增加了1.8%和1.0%。因此，通过优化N^+源区的结构，可以改善器件的雪崩特性。

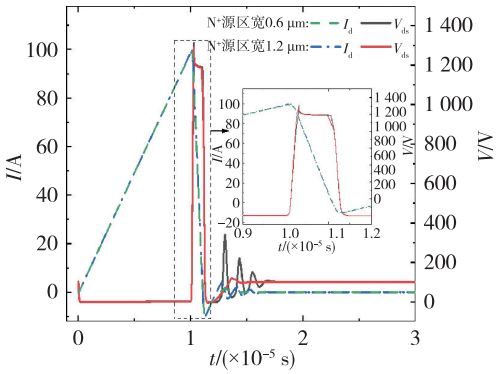


图10 UIS过程与N^+源区宽度关系曲线

2.2.3 槽型深P^+区注入

槽型深P^+区注入可以通过改变源极平面接触得到，如图11所示为该结构的剖面图及雪崩空穴电流路径。

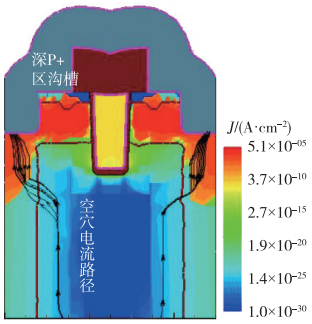


图11 深P^+区注入结构与雪崩空穴电流路径示意图

在原结构的基础上，注入P^+区离子之前先利用其掩膜刻蚀掉原有的碳化硅层和P_{body}区，直到Pillar区上方0.3 μm的位置，形成深P^+区沟槽。注入P^+区离子后，P^+区直接与Pillar2相连，从而有效减小了流径P_{body}区的雪崩空穴电流。同时源区与P_{body}区短接，进一步减小了P_{body}区的面积，从而降低了寄生三极管的基区电阻。由于该工艺不需要额外增加掩膜版，故可以获得很好的效果。仿真该结构与DP-SJ-UMOS结构的UIS特性如图12所示，图示表明，在同等条件下，具有深P^+区沟槽的结构雪崩击穿电压和雪崩电流均有所提高，分别为1 321 V和100.4 A，符合理论分析的预期。

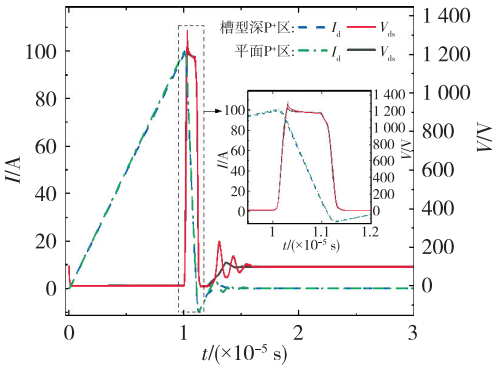


图12 深P^+区注入UIS过程曲线

3 结论

本文设计了一种具有不同浓度P柱的DP-SJ-UMOS器件结构，介绍了UIS过程与雪崩耐量测试原理。通过Sentaurus TCAD仿真软件对传统超结器件与所设计结构进行了实验对比分析，并提出了3种可以有效提升雪崩耐量的方法。仿真结果表明，所提出的结构优化了器件击穿时的雪崩空穴电流路径，从而抑制了内部寄生三极管的开启。与传统超结结构相比，优化后的结构在雪崩击穿电压和峰值电流上分别提升了24.5%和1.5%，雪崩耐量提升了0.9%，展现出更好的UIS可靠性。此外，对提出的三种提升雪崩耐量的方法进行了仿真验证，实验结果证明增大P_{body}区掺杂浓度、减小N^+源区宽度以及采用槽型深P^+区注入都可以有效提升雪崩耐量，但增大P_{body}区掺杂浓度还会对器件其他性能产生影响，因此在设计中需要进行综合权衡与工艺优化。

参考文献：

[1] Arvanitopoulos A, Antoniou M, Li F, et al. 3C-SiC-on-Si MOSFETs: Overcoming material technology limitations[J]. IEEE Transactions on Industry Applications, 2022, 58(1): 565-575.

[2] Wang Y, Han R, Liu X, et al. The challenges for physical limitations in Si microelectronics[C]// 1998 5th International Conference on Solid-State and Integrated Circuit Technology,

1998：25-30.

[3] Carastro F，Mari J，Zoels T，et al. Investigation on diode surge forward current ruggedness of Si and SiC power modules [C]// 2016 18th European Conference on Power Electronics and Applications，2016：1-10.

[4] Kimoto T. Review high-voltage SiC power devices for improved energy efficiency [J]. Proceedings of the Japan Academy Series B-Physical and Biological Sciences，2022，98(4)：161-189.

[5] Soler V，Cabello M，Banu V，et al. Reliability and robustness tests for next generation high-voltage SiC MOSFETs [J]. IEEE Journal of Emerging and Selected Topics in Power Electronics，2021，9(4)：4320-4329.

[6] Zhang J P，Ye Y，Zhou C H，et al. High breakdown voltage 4H-SiC MESFETs with floating metal strips [J]. Microelectronic Engineering，2008，85(1)：89-92.

[7] 张金平，张　琨，陈　伟，等. 碳化硅超结器件的研究进展[J]. 机车电传动，2023，(5)：36-45.
Zhang Jinpin，Zhang Kun，Chen Wei，et al. Recent research progress of SiC superjunction devices [J]. Electric Drive for Locomotives，2023，(5)：36-45.

[8] Tianhong Y，Kuan W，Ruggedness evaluation and design improvement of automotive power MOSFETs[C]// 2016 17th International Symposium on Quality Electronic Design (ISQED)，2016：211-214.

[9] Alatise O，Kennedy I，Petkos G ，et al. Reliability of repetitively avalanched wire-bonded low-voltage discrete power trench n-MOSFETs [J]. IEEE Transactions on Device and Materials Reliability，2011，11(1)：157-163.

[10] Fischer K，Shenai K. Dynamics of power MOSFET switching under unclamped inductive loading conditions [J]. IEEE Transactions on Electron Devices，1996，43(6)：1007-1015.

[11] Radim S，Shuji F，Ihsiu H，et al. Analysis and design considerations of low-voltage trench MOSFET for inductive load switching applications [C]// 2020 32nd International Symposium on Power Semiconductor Devices and ICs (ISPSD)，2020：557-560.

[12] Fayyaz A，Li Y，Alberto C. Transient robustness testing of silicon carbide (SiC) power MOSFETs [C]// 2013 15th European Conference on Power Electronics and Applications (EPE)，2013：1-10.

[13] Liu S，Gu C，Wei J，et al. Repetitive unclamped inductive switching induced electrical parameters degradations and simulation optimizations for 4H-SiC MOSFETs [J]. IEEE Transactions on Electron Devices，2016，63(11)：4331-4338.

[14] Ji I，Gendron-Hansen A，Lee M，et al. Highly rugged 1 200 V 80 m Q 4-H SiC power MOSFET [C]// 2017 29th International Symposium on Power Semiconductor Devices and ICs (ISPSD)，2017：371-374.

[15] Ren N，Wang K L，Wu J，et al. Failure mechanism analysis of SiC MOSFETs in unclamped inductive switching conditions [C]// 2019 31st International Symposium on Power Semiconductor Devices and ICs (ISPSD)，2019：183-186.

[16] Deng X C，Zhu H，Li X，et al. Investigation and failure mode of asymmetric and double trench SiC MOSFETs under avalanche conditions [J]. IEEE Transactions on Power Electronics，2020，35(8)：8524-8531.

[17] Li X，Tong X，Hu R，et al. Failure mechanism of avalanche condition for 1 200-V double trench SiC MOSFET[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics，2021，9(2)：2147-2154.

[18] 邓光敏. 采用挖槽填充工艺的DMOS的雪崩耐量研究[D]. 成都：电子科技大学，2013.
Deng Guangmin. Analysis of the avalanche energy for DMOS fabricated by trench filling [D]. Chengdu：University of Electronic Science and Technology of China，2013.

[19] Harada S，Kobayashi Y，Kyogoku S，et al. First demonstration of dynamic characteristics for SiC super junction MOSFET realized using multi-epitaxial growth method [C]// 2018 IEEE International Electron Devices Meeting，2018：8.2.1-8.2.4.

[20] Schleisser D，Ahlers D，Eicher M，et al. Repetitive avalanche of automotive MOSFETs [C]// 2013 15th European Conference on Power Electronics and Applications (EPE)，2013：1-7.

[21] Zhou X，Ng J，Sin J. A novel SONO gate power MOSFET with excellent UIS capability [J]. IEEE Electron Device Letters，2011，32(10)：1415-1417.

作者简介：

曹　荣(1999—)，女，湖北省恩施市人，硕士研究生，主要研究方向为SiC半导体功率器件；

冯全源(1963—)，男，江西省景德镇市人，教授，博士生导师，主要研究方向为模拟集成电路、移动天线与智能天线、半导体功率器件。