光电器件

DOI：10.16818/j.issn1001－5868.20250315001

应用于帧差型传感器的带数据压缩的读出电路设计

李泽豪，葛晓龙，李昱天石，曲　杨，姜　茜，常玉春*

（大连理工大学 集成电路学院，辽宁 大连 116024）

摘　要： 设计了一种基于180 nm CIS工艺的帧差型传感器（Frame Difference Sensor，FDS）读出电路，该电路具备数据压缩功能，旨在降低数据传输带宽和存储压力。通过分析FDS与动态视觉传感器的地址事件表示两种数据输出格式的优缺点，提出了一种自适应切换数据输出模式的读出电路架构。该电路能够根据事件密度动态选择最优的数据压缩方式，从而有效减少冗余数据。电路设计中采用自调零技术以降低事件编码电路的失调电压，仿真结果表明，该技术将失调电压对量化结果的影响从38.77 mV降至1.185 mV，显著提高了电路的精度和稳定性。此外，电路帧率可在375 fps到1 627 fps之间动态调整，满足不同场景的需求。实验结果表明，该电路在事件稀疏场景下表现出色，视频压缩比最高可达98%，显著提高了数据传输和存储效率。

关键词： 帧差型传感器；数据压缩；自调零技术；读出电路；事件编码；地址事件表示

中图分类号： TP391.41　**文章编号：** 1001－5868(2025)03－0423－09

Design of readout circuit with data compression for frame difference sensors

LI Zehao, GE Xiaolong, LI Yutianshi, QU Yang, JIANG Qian, CHANG Yuchun

(**School of Integrated Circuits, Dalian University of Technology, Dalian 116024, CHN**)

Abstract: This paper introduces a readout circuit for a frame difference sensor based on the 180-nm CIS process. The data compression feature of the circuit reduces data transmission bandwidth and storage pressure. The advantages and disadvantages of the two data output formats, viz. frame difference and address-event representation, which are used in dynamic vision sensors, are analyzed to design a readout circuit that can adaptively switch between data output modes. This circuit dynamically selects the optimal data compression method based on event density, thereby effectively reducing redundant data. The auto-zeroing technology is employed to reduce the offset voltage in the event encoding circuit. Simulation results show that the auto-zeroing technique reduces the impact of offset voltage on quantization results (from 38.77 to 1.185 mV), thus significantly improving the accuracy and stability of the circuit. Additionally, the frame rate can be dynamically adjusted between 375 and 1627 fps to satisfy the requirements of different scenarios. Experimental results indicate that the circuit exhibits outstanding preformation in sparse event scenarios, with a maximum video compression ratio of up to 98%, which significantly enhances the efficiency of data transmission and processing.

Key words: frame difference sensor; data compression; auto-zero technique; readout circuit; event encoding; address-event representation

收稿日期：2025－03－15.

基金项目：中央高校基本科研业务费项目(DUT23RC(3)031)；国家自然科学基金项目(62304030).

* **通信作者：**常玉春

0 引言

计算机视觉和智能监控技术的快速发展，对图像传感器分辨率和帧率提出了更高要求，同时也带来了巨大的数据带宽和存储压力。帧差型传感器（Frame Difference Sensor，FDS）通过计算连续帧之间的差异来提取运动信息，可以通过2 bit的事件信息代替传统图像传感器的8/10/12 bit的灰度数据，从而在传感器层面减少无效信息输出，显著提升数据传输和处理效率[1]。

然而，现有FDS输出仍存在显著的冗余信息。例如，文献[2]采用基于块的列级无损压缩编码消除零差值比特，最大压缩率达78.5%；文献[3]通过打包灰度与事件数据实现最高90%的数据压缩率；文献[4]指出通过应用不同的压缩算法对事件数据进行压缩的思路，并且指出了采用压缩算法有可能反而导致输出数据总量超过不使用压缩算法的问题，故而判断压缩算法的最优条件并灵活启用压缩算法可以进一步提高数据的压缩率。动态视觉传感器（Dynamic Vision Sensors，DVS）[5-8]的地址事件表示（Address-Event Representation，AER）需要输出事件信息和地址信息，而FDS的地址信息已经在逐行逐列的事件信息中隐藏。对于一行像素而言，当事件比较少时应用AER的输出方式合适，事件比较多时由于地址信息占用比较多的输出带宽，用FDS的输出方式更优。

针对上述问题，本文提出一种适用于帧差型传感器的自适应切换数据输出模式进行数据压缩的读出电路。从读出电路的设计原理、数据压缩的硬件实现以及系统性能优化等方面展开研究，并通过实验验证了其有效性。

1 AER和FDS数据输出格式对比

1.1 AER数据输出格式

AER认为DVS相机的每个像素都是独立的且产生事件的时间都是随机的。每当有事件产生时，AER将产生事件的像素的地址(x,y)、事件的极性p以及事件发生时间t，打包到一个四元组$u=(x,y,p,t)$并作为一个事件的信息进行输出，每产生一个事件则AER输出一个四元组。一个像素受到的照度表示为I，则事件的极性表示为：

$$p=\begin{cases}01, & \Delta I<-I_{\text{th}}\\ 10, & \Delta I>I_{\text{th}}\end{cases} \tag{1}$$

当DVS像素检测到照度随时间的变化ΔI大于阈值I_{th}时，产生ON事件，事件极性p等于2 bit值10；当检测到照度变化ΔI小于阈值$-I_{\text{th}}$时产生OFF事件，事件极性p等于2 bit值01；其他情况则不产生事件。

1.2 FDS数据输出格式

当FDS工作在全局曝光模式时，FDS的每个像素都是在相同的时间内曝光并记录光照度信息，假设此时其中一个像素在第一次曝光中受到的照度为I_{t1}，第二次曝光中受到的照度为I_{t2}，则该像素连续两帧之间的光照度变化为：

$$\Delta I=I_{t2}-I_{t1} \tag{2}$$

对应的该像素的事件信息为：

$$p=\begin{cases}01, & \Delta I<-I_{\text{th}}\\ 10, & \Delta I>I_{\text{th}}\\ 00, & -I_{\text{th}}<\Delta I<I_{\text{th}}\end{cases} \tag{3}$$

当FDS像素检测到连续两帧之间的照度变化ΔI大于阈值I_{th}时，产生ON事件，事件极性p等于2 bit值10；当检测到连续两帧之间照度变化ΔI小于阈值$-I_{\text{th}}$时产生OFF事件，事件极性p等于2 bit值01；当检测到连续两帧之间照度变化的绝对值小于I_{th}则代表没有事件产生，p等于2 bit值00，代表无效事件信息。

因为FDS是以帧为单位进行曝光和数据输出，所以FDS产生事件的时间信息相同，地址信息则隐藏在逐行逐列的事件信息中。故而FDS输出的数据格式只有像素阵列的事件信息。

1.3 通过选择数据输出格式以压缩数据

通过分析AER和FDS输出数据的格式，一个256×256阵列大小的FDS，如果使用FDS的数据输出格式，一行的事件信息为256×2 bit=512 bit，没有事件发生的列也会输出2 bit的无效事件信息。虽然这些无效事件信息可以帮助其他事件信息省去列地址信息的输出，但当一行像素中事件较少时，输出中无效事件信息的占比很高。这种情况下按照AER的格式并省去时间和行信息输出一行的事件，则可以减少冗余信息的输出。对于分辨率为$N\times M$的FDS，当一行中有事件发生的列为K列时，则AER的方式输出数据总量为：

$$DataNum=K\times\left(2\text{ bit}+\text{bin}(M)\right) \tag{4}$$

式中，2 bit为事件极性ON/OFF，bin(M)为M列地址对应的二进制表示的bit数。因为FDS的特性，这里不需要输出时间和行地址。FDS方式输出的

数据总量为：

$$DataNum = M \times 2\,\text{bit} \tag{5}$$

式中，2 bit为事件极性ON/OFF。通过判断两种输出格式一行的数据总量大小从而灵活选择输出方式就可以实现输出数据的压缩。该选择的阈值K满足：

$$K \times \left(2\,\text{bit} + \text{bin}(M)\right) = M \times 2\,\text{bit} \tag{6}$$

式中，K为整数值，即判断事件发生的列数大于K值时，使用FDS的输出方式，反之则使用AER的输出方式。

2　传感器整体架构

传感器的整体架构如图1所示，该传感器由256×256的像素阵列（Pixel Array）、行控制电路（RowCtrol & Driver）、事件编码电路（Event Encoding Circuit）、数据处理电路（Data Process Circuit）、偏置产生电路（Bias）、自动时序发生器电路（Sequencer）、比较器所需的参考电压产生电路（Ramp）构成。

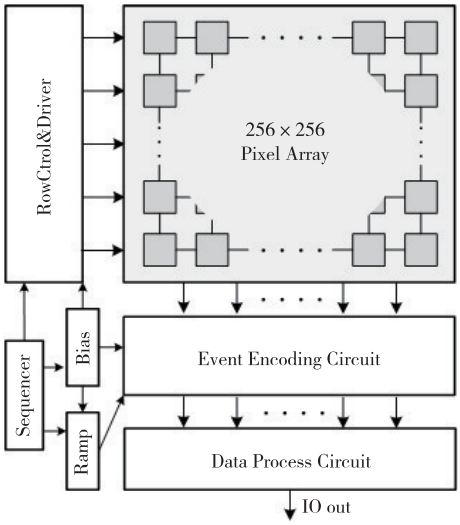


图1　传感器整体架构图

像素内的存储结构可以存储当前帧的光照度信息和上一帧的照度信息。行控制电路控制像素逐行将当前帧和前一帧的照度信息传递给事件编码电路。事件编码电路内的可编程增益放大电路将像素传递的两帧信号作差后传递给模拟电压存储电路。模拟电压存储电路的目的是缓冲帧差信号以实现帧差信号的行流水，每行的读出时序开始时模拟电压存储器将存储的上一行帧差信号输出给阈值比较电路。阈值比较电路将帧差信号与正负阈值比较，输出事件信息给数据处理电路，每一列都有固定的列地址信号与事件信息一起传递给数据处理电路。数据处理电路将判断出最优的数据输出格式，最后再逐列将数据通过IO传输到片外。

2.1　像素结构和工作时序

所采用的像素结构如图2所示，该像素由光电二极管、传输管（M1）、复位管（M2）、源跟随器（M3，M7，M9）、电流源负载（M4）、选择开关管（M5，M6，M8，M10）、像素内存储电容（C_1，C_2）组成[3,9-10]。该像素的工作时序图如图3所示，像素的工作过程可分为曝光阶段和读出阶段，其中曝光阶段又可以分为奇数帧曝光和偶数帧曝光。

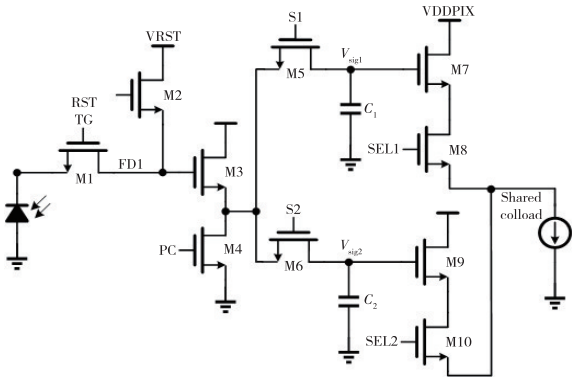


图2　可实现全局曝光连续帧差的像素结构

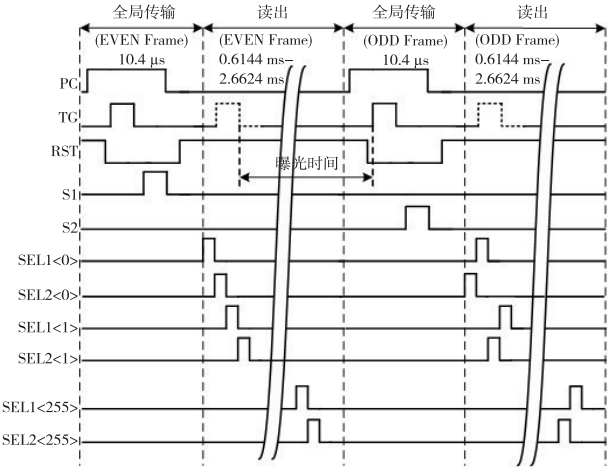


图3　全局曝光连续帧差的像素时序图

具体的工作过程为：当奇数帧曝光时，像素阵列全局工作将照度信息从光电二极管转换为电信号V_{sig1}存储到电容C_1上，逐行读出时先打开SEL1然后打开SEL2，将当前帧信号和前一帧信号先后输出到列总线上；当偶数帧曝光时，则将电信号V_{sig2}存储到电容C_2上，逐行读出时先打开SEL2然后打开SEL1。

2.2 事件编码电路

事件编码电路的结构如图4所示，事件编码电路每列一个，每一个都由可编程增益放大电路（Programmable Gain Amplifier，PGA）、模拟电压存储电路（Analog Voltage Memory，AVM）、阈值比较电路（Threshold Comparator，TC）、列地址生成电路、由D触发器（D Flip-Flop，DFF）组成的比较器结果采样电路及电平转换电路（Level Shift，LS）组成。PGA，AVM，TC电路的具体结构如图5所示。

PGA电路中的运算放大器OP和TC电路中的比较器COMP的列间失调电压偏差会导致事件量化的误差。使用全差分结构的列级读出电路可以降低失调电压的影响[1]，但是占用的面积较大、结构复杂，对于小尺寸像素不适用。因此本设计采用了

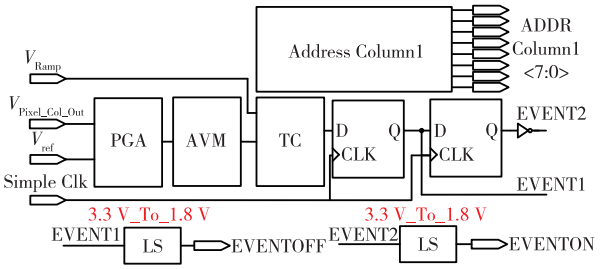


图4 事件编码电路的结构

自调零技术（Auto-Zero Technique）来降低事件编码电路中的失调（offset）电压。

事件编码电路的工作时序如图6所示。PGA电路在Phase1阶段完成自调零过程，经过这个过程后OP的失调电压被反向存储在电容C_{C1}上，用以在PGA采样输入时抵消OP的失调电压。

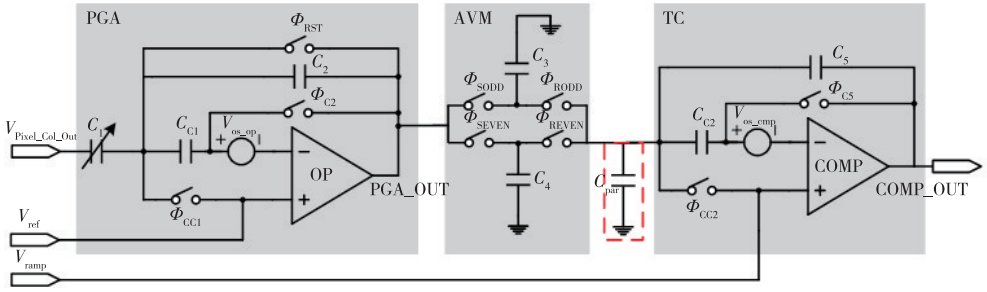


图5 PGA，AVM和TC的内部结构图

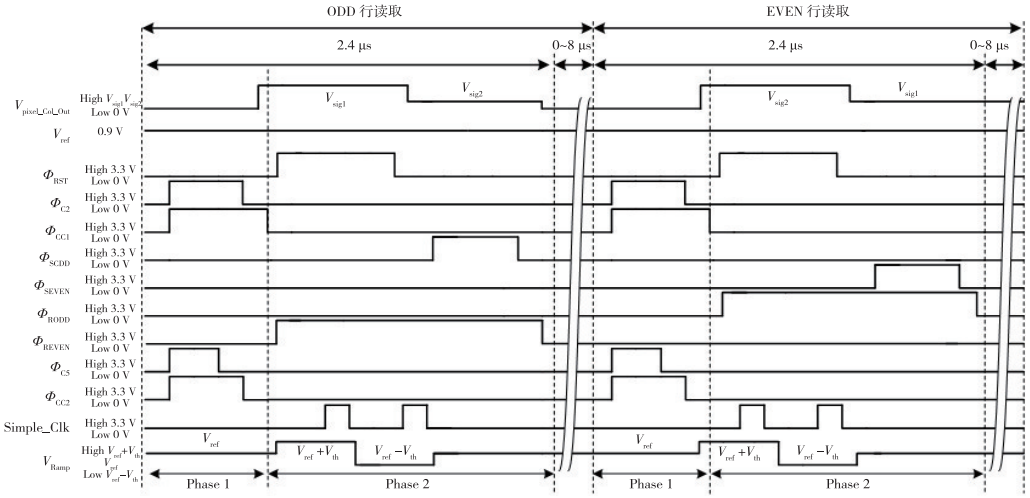


图6 事件编码电路工作时序图

此时电容C_{C1}两极板的压差为[11]：

$$V_{C_{C1}}=\frac{A_0}{1+A_0}V_{os_{op}}+\frac{q_{inj}}{C_{C1}} \tag{7}$$

式中，A_0为OP的开环增益，q_{inj}为信号Φ_{C2}对应开关管的通道电荷注入的电荷，这一项会引入额外的offset。但是可以通过使用互补开关注入电荷抵消技术减少注入电荷量[12]。在Phase2阶段，PGA通过采样作差和放大列总线上的信号并输出到AVM的存储电容上。此时AVM中电容上保存的电压值为[11]：

$$V_C=V_{ref}+A\left(V_{sig1}-V_{sig2}\right) \tag{8}$$

对于AVM电路，图5中红色框中的C_{par}代表的是AVM输出节点的寄生电容，由于TC模块也采用了自调零技术，AVM输出开关打开之前，C_{par}上的电压会被置为V_{ref}，AVM输出开关打开之后，由电

荷守恒定律可得C_{par}上的电压：

$$V_{C_{par}} = V_{ref} + V_{diff_sig} \tag{9}$$

$$V_{diff_sig} = \frac{C_1}{C_1 + C_{par}} A\left(V_{sig1} - V_{sig2}\right) \tag{10}$$

对于TC电路，Phase1阶段也是进行自调零过程。Phase2阶段量化输入电压，同时DFF两次采样COMP的输出。最终TC模块的输出为：

$$\{EVENTON, EVENTOFF\} = \begin{cases} 01, & V_{diff_sig} < -V_{th} \\ 10, & V_{diff_sig} > V_{th} \\ 00, & -V_{th} < V_{diff_sig} < V_{th} \end{cases} \tag{11}$$

如图6所示，事件编码电路所需的行处理时间为2.4 μs，但是根据数据处理电路选择的数据输出格式和数据的多少，总的行时间在2.4～10.4 μs之间，也意味着256×256的芯片一次帧差信号的读取时间在0.61～2.66 ms之间，帧率在375～1 627 fps之间。

2.3　数据处理电路

数据处理电路的结构如图7所示，包括256列并转串电路（Parallel-to-Serial Conversion Circuit，P/S）、一个数据压缩选择电路（Compress Select）、由或门和与门组成的时钟生成电路、由5个缓冲器（BUFF）组成的时钟传递电路以及一个采样输出数据的DFF。其时序如图8所示。

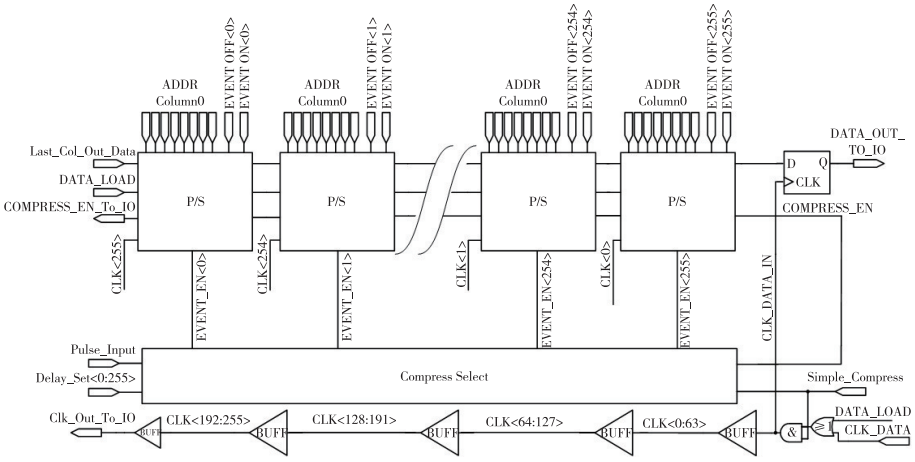


图7　数据处理电路结构图

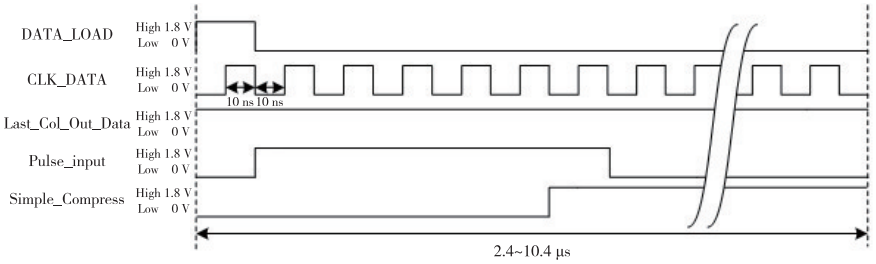


图8　数据处理电路时序图

每一列的并转串电路的具体结构如图9所示，并转串电路采样事件编码器上一行的量化结果，然后由数据压缩选择电路产生压缩使能信号COMPRESS_EN。如果COMPRESS_EN信号为低电平，则使用FDS格式输出，逐列输出事件信息，此时数据经PATH1传输；如果COMPRESS_EN信号为高电平则以AER方式输出，若该列有事件，数据经PATH2传输；若该列没有事件发生，数据经过PATH3传输。数据处理电路的行时序如图8所示，主时钟的频率为50 MHz。如果数据输出FDS格式，需要8+（2×256）个时钟周期即10.4 μs；如果数据输出AER格式，则需要8+（10×事件数）个时钟周期，但是因为事件编码电路处理一行的时间最少为2.4 μs，所以行时间最短为2.4 μs，最长为10.4 μs。两种输出方式都需用到的8个时钟周期用于加载数据、产生COMPRESS_EN信号、产生2 bit高电平的片外行数据结束判断信号。片外通过COMPRESS_EN信号识别数据格式和行结束信号判断一行数据的结束。

数据压缩选择电路的具体结构如图10所示。图中两条延迟链结构相同，延迟单元根据选通控制存在一大一小两个延迟时间。两条延迟链的输入

Pulse_input为一个阶跃信号，将每一列的EVENT_EN信号用来选通延迟单元的延迟大小，从而第一条延迟链的输出信号与Pulse_input信号的延迟与EVENT_EN〈0:255〉中高电平的个数线性相关。设置第二条延迟链的选通信号Delay_Set〈0:255〉中高电平的个数为256列所对应的K值，K=51。使用两个与非门组成的RS锁存器来判断两条延迟链延迟的大小。

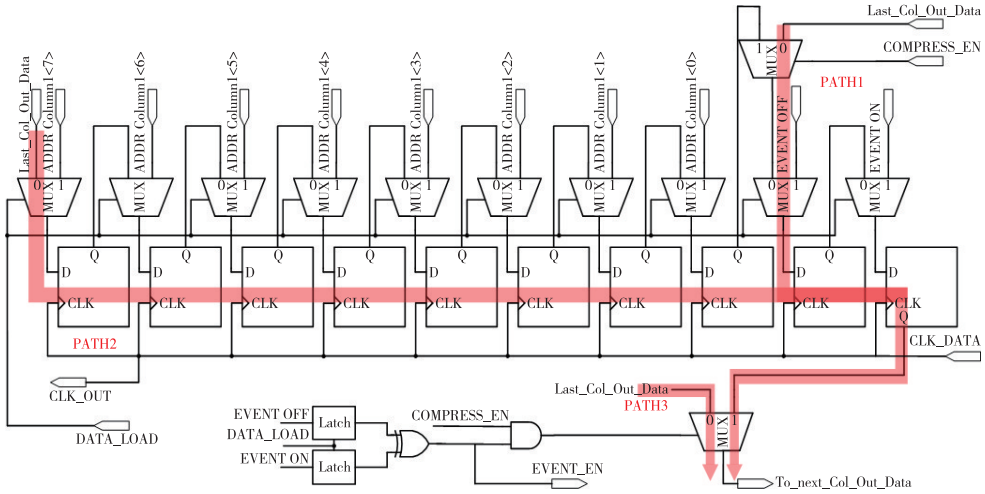


图9 每一列的并转串电路及数据传输路径示意图

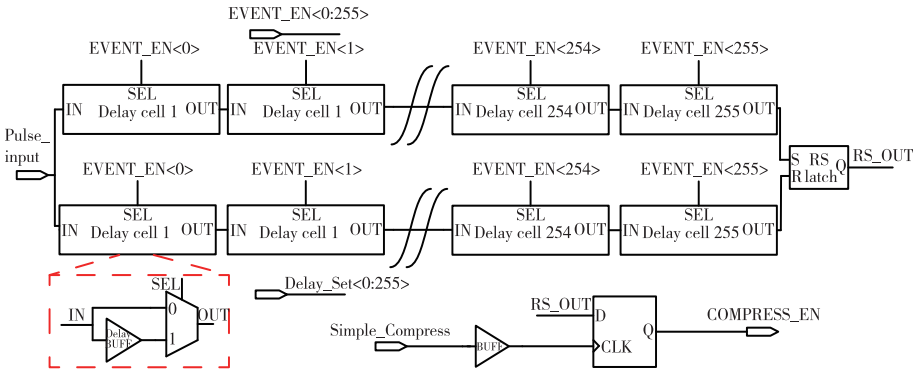


图10 数据压缩选择电路

3 电路仿真结果

3.1 事件编码电路仿真结果

如图6所示，设置事件编码电路在奇数行读出时输入的V_{sig1}和V_{sig2}的压差ΔV_{in}，观察AVM电路在偶数行读出时AVM_OUT的值，得到不同PGA增益下的输出结果如图11所示，由于AVM电路输出节点的寄生电容C_{par}影响导致AVM_OUT输出电压的增益小于PGA的设计增益，可以得到电路设计增益×0.5～×8与仿真得到的增益$K_{\times 0.5}$～$K_{\times 8}$的关系如图11所示。

为了验证自调零技术的效果，通过200次的蒙特卡洛仿真验证PGA & AVM电路输出电压的offset，观察不同电路增益、使用和不使用自调零技术的情况下ΔV_{in}=0时，$V_{AVM_OUT}-V_{ref}$电压值的offset，

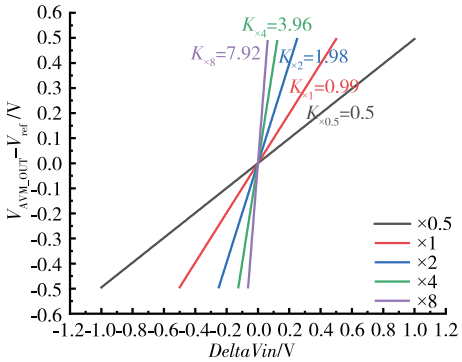


图11 PGA & AVM电路增益仿真结果

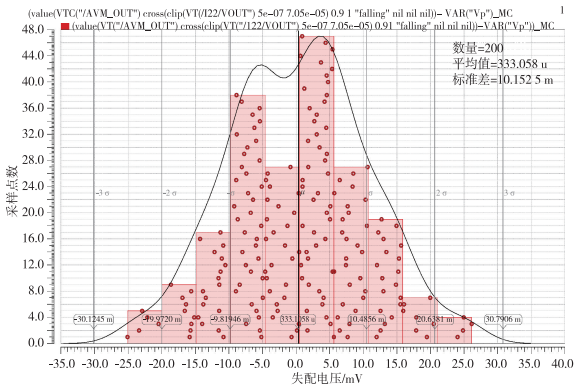
仿真结果如表1所示。

以电路增益×7.919为例，自动调零技术将$V_{AVM_OUT}-V_{ref}$的offset电压（offset电压的值等于三倍方差，置信度为97.5%）从8.313 mV降低到1.08 mV，降低效果显著。

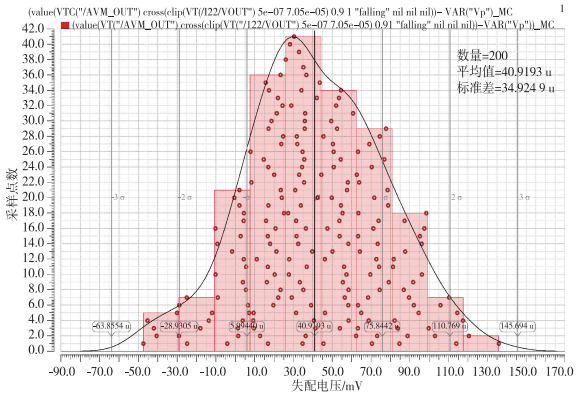
表 1　ΔV_{in}=0、不同电路增益下 $V_{AVM_OUT}-V_{ref}$ 的 200 次蒙特卡洛仿真结果　　（单位：mV）

电路增益	开启 Auto-Zero		关闭 Auto-Zero	
	平均值	标准差	平均值	标准差
×0.495	0.064	0.229	−0.036	2.766
×0.990	0.031	0.334	−0.135	2.776
×1.980	0.020	0.336	−0.075	2.777
×3.960	0.035	0.337	0.000	2.775
×7.919	0.008	0.360	0.115	2.771

设置 TC 输入端前 500 ns 电压值为 V_{ref}，之后以 1 mV/μs 的斜率从 V_{ref}−35 mV～V_{ref}+35 mV 变化，检测比较器翻转时刻 TC 输入端对应的电压值与的 V_{ref} 差即 TC 电路的 offset 电压。通过 200 次蒙特卡洛仿真，得到 TC 电路在使用自调零技术和不使用自调零技术的 offset 电压仿真结果如图 12 所示，使用自调零技术可以将 TC 的 offset 电压从 30.457 mV 降到 0.105 mV。



（a）未使用自调零技术



（b）使用自调零技术

图 12　TC 电路 offset 的 200 次蒙特卡洛仿真结果

ΔV_{in} 从 PGA 电路到 AVM 电路再到 TC 电路输入端，失调电压产生的量化误差在 1.185 mV 左右。

对于像素帧差信号输出电压摆幅为 ±1 V 的情况下，本文设计的事件编码电路可以满足 8 bit 的量化精度要求。这意味着 V_{th} 电压的调节可以约 3.9 mV 每单位进行调节，对应于灰度图数据中灰度值 0～255，可以以灰度值 1 为单位进行帧差信号阈值的设置。一列事件编码电路的整体时序仿真如图 13 所示，ΔV_{in} 值随着时间从 −0.5～0.5 变化，选取的 V_{th}=10 mV，可以看到 EVENTON 和 EVENTOFF 的输出如公式（11）所示，符合 FDS 的事件编码方式。此外，每行量化时间为 2.4 μs，满足最大帧率 1 627 fps 的要求。而根据数据处理电路需要输出数据的行时间在 2.4～10.4 μs 之间动态变化，故而帧率在 375～1 627 fps 之间动态变化。

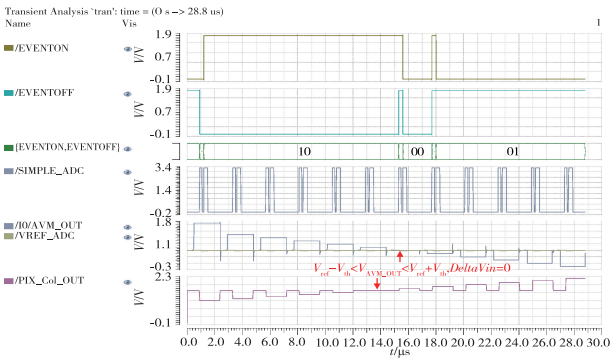


图 13　一列事件编码电路的关键信号仿真图

3.2　数据处理电路仿真结果

数据处理电路中比较关键的就是数据压缩选择电路，如果 COMPRESS_EN 信号出错，可能导致 EVS 数据输出格式的数据量大于行时间内能输出的最大数据量。故而在选择阈值 K=51 附近时 COMPRESS_EN 信号的产生时间需要额外关注。并且数据压缩选择电路采用延迟链作为主电路，延迟链的延迟容易受版图中寄生电阻电容的影响，所以需要后仿真的结果来确保电路能够正常工作。仿真时设置图 10 中 Delay_Set〈0:255〉中有 51 个高电平，对应的第二条延迟链的延迟为 $Delay_{Chain2_51}$，设置 EVENT_EN〈0:255〉中分别为 50，52 个高电平，对应的第一条延迟链的延迟为 $Delay_{Chain1_50}$，$Delay_{Chain1_52}$，需要保证在不同工艺角和温度的影响下：

$$Delay_{Chain1_52}-Delay_{Chain2_51}>0 \tag{12}$$

$$Delay_{Chain2_51}-Delay_{Chain1_50}>0 \tag{13}$$

$$Delay_{Chain2_51}<100\ ns \tag{14}$$

在不同工艺角和温度下两条延迟链的仿真结果如表 2 中所示，可以看到公式（12）和（13）对应的延迟前后仿真的结果都大于零满足要求。公

式(14)对应的延迟在所有工艺角和温度范围内都小于100 ns,也满足设计要求。

表2 数据压缩选择电路中两条延迟链延迟的前后仿真结果

工艺角(温度:℃)	tt(0)	tt(70)	ss(0)	ss(70)	ff(0)	ff(70)	sf(0)	sf(70)	fs(0)	fs(70)
公式(12)前仿真	0.35	0.41	0.44	0.51	0.29	0.34	0.35	0.42	0.35	0.41
公式(13)前仿真	0.35	0.41	0.43	0.51	0.29	0.34	0.35	0.42	0.35	0.41
公式(14)前仿真	55.9	64.8	71.9	84.2	43.8	50.4	57.3	66.9	54.9	63.3
公式(12)后仿真	0.28	0.33	0.34	0.41	0.23	0.27	0.28	0.33	0.28	0.33
公式(13)后仿真	0.28	0.33	0.34	0.41	0.23	0.27	0.28	0.33	0.28	0.33
公式(14)后仿真	65.2	75.3	83	96.5	51.8	59.4	66.3	77	64.6	74.1

对数据处理电路整体进行仿真,设置图7中电路的时序如图8所示,并设置EVENT_ON〈0:255〉中最后3 bit分别为高电平、低电平、高电平,EVENT_OFF〈0:255〉全为低电平,Delay_Set〈0:255〉中有51个高电平,仿真结果如图14所示。数据压缩选择电路输出COMPRESS_EN信号为高电平,然后并转串电路的DATA_OUT_TO_IO先后输出第255列的事件信息和列地址信息,第254列因为没有事件所以被跳过,然后输出第253列的事件信息和列地址信息,最后输出2 bit高电平的行数据输出结束标志。

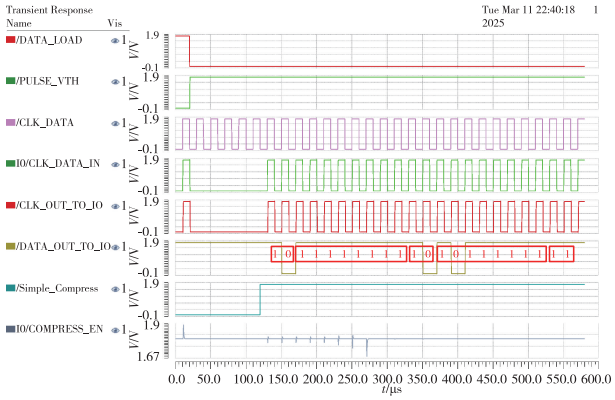


图14 数据处理电路整体仿真结果

3.3 压缩算法在数据保存时效果的评估

前文提到的数据压缩方式适用于数据从传感器向片外传输过程。然而,在存储数据时,需要额外的标识位来确保存储的数据可以被正确读取。对于上文提到的EVS数据格式和FDS数据格式混合的一帧图像数据,每一行需要加上1 bit的信息用于区分数据格式是EVS格式还是FDS格式,以及2 bit的11作为行数据结束的标志。这也意味着所设计的压缩算法针对事件稀疏的场景效果优异,但是对于事件非常稠密的场景效果表现较差。

为了评估所提到的数据压缩方法的效果,使用Python语言对运动目标检测常用的数据集Scene Background Initialization(SBI)Dataset中的不同场景的视频进行处理:先把彩色图转8 bit灰度图,然后设置帧差阈值为15,对连续帧取帧差得到相邻帧的事件信息,统计整个视频按照本文的压缩算法进行保存所需的总bit数N以及直接按照FDS的数据格式进行存储所需的bit数M。计算视频的压缩比(Video Compression Rate,VCR)为:

$$VCR=\frac{M-N}{M}\times 100\% \tag{15}$$

SBI数据集中14种场景视频的压缩比如图15所示,图中压缩比低于30%的视频场景都是有物体故意遮挡镜头并剧烈晃动,而常规的物体移动场景的视频压缩比在30%~90%之间,对于拍摄远景,运动物体较小也即是事件稀疏的场景时视频压缩比则可以达到94%~98%。这三种场景的代表图片如图16所示。与文献[2]和[5]的最大视频压缩比结果对比如表3所示,本文所提出的压缩方法在事件稀疏场景下的表现更好。

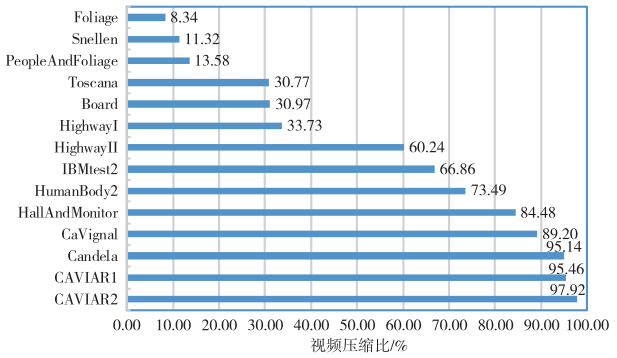
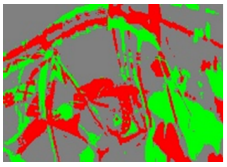


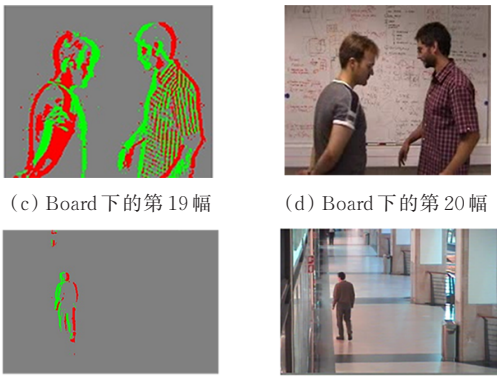
图15 SBI数据集14个场景视频的压缩比



(a) Foliage下的第163幅



(b) Foliage下的第164幅



(c) Board 下的第 19 幅　(d) Board 下的第 20 幅

(e) CAVIAR1 下的第 210 幅　(f) CAVIAR1 下的第 211 幅

图 16　三种场景的代表图片

表 3　与其他文献最大视频压缩比的对比结果

参考	文献[2]	文献[3]	本文
数据格式	帧间差值(8 bit)	帧间差值＋彩色图像＋运动信息	帧间差值(2 bit)
压缩方式	基于块的无损压缩	稀疏时空差分分组器	混合数据输出格式
最大压缩比	78.5%	90%	98%

4　总结

本文介绍了一种应用于帧差型传感器的带数据压缩的读出电路设计。该设计基于 180 nm CIS 工艺，通过对比 FDS 和 AER 两种数据输出格式，并提出了一种自适应切换数据输出模式的方案。该方案通过判断事件密度动态选择最优的数据压缩方式，有效减少了冗余数据的输出。

在电路设计方面，采用了自调零技术以降低事件编码电路的失调电压。仿真结果表明，自调零技术将失调电压对量化结果的影响从 38.77 mV 降低至 1.185 mV，显著提高了电路的精度和稳定性。此外，FDS 的帧率可在 375～1 627 fps 之间动态调整，满足不同场景的需求。

在数据压缩方面，本文提出的数据压缩方法在事件稀疏场景下，相比于现有的压缩方式具有更大的数据压缩优势。

总体而言，本设计在降低数据传输带宽和存储压力方面具有显著优势，适用于智能监控和计算机视觉应用中的帧差型传感器。

参考文献：

[1] 杨政绪，徐江涛，高志远．一种具有失调抑制技术的全局快门帧差型传感器[J]．传感技术学报，2023，36(3)：337-347.
Yang Zhengxu，Xu Jiangtao，Gao Zhiyuan. A global shutter frame difference sensor with offset suppression technique[J]. Chinese Journal of Sensors and Actuators，2023，36(3)：337-347.

[2] 蒋永唐，徐江涛，陈全民，等．一种使用帧间差值的图像传感器片上视频压缩算法[J]．传感技术学报，2021，34(3)：319-329.
Jiang Yongtang，Xu Jiangtao，Chen Quanmin，et al. An on-chip video compression algorithm for image sensor using differences between frames[J]. Chinese Journal of Sensors and Actuators，2021，34(3)：319-329.

[3] Yang Z，Wang T，Lin Y，et al. A vision chip with complementary pathways for open-world sensing[J]. Nature，2024，629(8014)：1027-1033.

[4] Kodama K，Sato Y，Yorikado Y，et al. 1.22 μm 35.6 Mpixel RGB hybrid event-based vision sensor with 4.88 μm-pitch event pixels and up to 10 K event frame rate by adaptive control on event sparsity[C]// 2023 IEEE International Solid-State Circuits Conference (ISSCC)，2023：92-94.

[5] Yang M，Liu S C，Delbruck T. A dynamic vision sensor with 1% temporal contrast sensitivity and in-pixel asynchronous delta modulator for event encoding[J]. IEEE Journal of Solid-State Circuits，2015，50(9)：2149-2160.

[6] Son B，Suh Y，Kim S，et al. 4.1 A 640 × 480 dynamic vision sensor with a 9 μm pixel and 300 Meps address-event representation [C]// 2017 IEEE International Solid-State Circuits Conference (ISSCC)，2017：66-67.

[7] Berner R，Brandli C，Yang M，et al. A 240 × 180 10 mW 12 μs latency sparse-output vision sensor for mobile applications [C]// 2013 Symposium on VLSI Circuits，2013：C186-C187.

[8] Li C，Longinotti L，Corradi F，et al. A 132 by 104 10 μm-Pixel 250 μW 1 Kefps dynamic vision sensor with pixel-parallel noise and spatial redundancy suppression [C]// 2019 Symposium on VLSI Circuits，2019：C216-C217.

[9] Chen S，Tang W，Culurciello E. A 64 × 64 pixels UWB wireless temporal-difference digital image sensor [C]// Proceedings of 2010 IEEE International Symposium on Circuits and Systems，2010：1404-1407.

[10] Nilchi A，Aziz J，Genov R. Focal-plane algorithmically-multiplying CMOS computational image sensor[J]. IEEE Journal of Solid-State Circuits，2009，44(6)：1829-1839.

[11] Ge X . The design of a global shutter CMOS image sensor in 110 nm technology[D]. Delft：Delft University of Technology，2012.

[12] Razavi B . Design of Analog CMOS Integrated Circuits. 2nd [M]. Beijing：Tsinghua University Press，2001.

作者简介：

李泽豪(1997—)，男，河北省邢台市人，硕士研究生，主要研究方向为数模混合集成电路设计；

常玉春(1973—)，男，教授，博士生导师，研究方向包括 CMOS 图像传感器及图像信号处理电路等。