光电器件

DOI：10.16818/j.issn1001－5868.20250107001

一种应用于大面阵CMOS图像传感器的斜坡发生器

祝晓笑*，吴治军，翟江皞，张艺潇
（重庆光电技术研究所，重庆 400060）

摘　要： 为满足大面阵CMOS图像传感器（CIS）的应用需求，提出一种斜率可调、可配合列并行ADC实现普通采样与相关双采样模式的斜坡发生器电路的实现方案。基于90 nm（1.2 V/2.8 V）1P5M CIS工艺，完成了电路设计、仿真验证及版图实现。测试结果表明，该斜坡发生电路结构简单、面积较小，斜坡幅度大于0.5 V，复位时间小于70 ns，微分非线性为＋0.018 LSB/－0.012 LSB，积分非线性为＋0.37 LSB/－0.013 LSB。在保证低功耗和小面积的同时，实现了高线性度和快速响应，满足超大面阵CIS的设计和工程应用需求。

关键词： CMOS图像传感器；列级ADC；相关双采样；斜坡发生器
中图分类号： TN47　**文章编号：** 1001－5868(2025)03－0449－07

Design of a Ramp Generator for Large-Scale CMOS Image Sensor Arrays

ZHU Xiaoxiao, WU Zhijun, ZHAI Jianghao, ZHANG Yixiao
(**Chongqing Optoelectronics Research Institute, Chongqing 400060, CHN**)

Abstract: To meet the application requirements of large area array complementary metal-oxide semiconductor (CMOS) image sensors (CIS), a ramp signal generator with slope and sample mode adjustment is presented in this paper. The design, simulation, and layout are implemented using a 90 nm (1.2 V/2.8 V) 1P5M CIS process. This circuit design has a simple structure, small area, adjustable slope. The slope amplitude is greater than 0.5 V, reset time is less than 70 ns, differential nonlinearity is ＋0.018 LSB/－0.012 LSB, and integrated nonlinearity is ＋0.37 LSB/－0.013 LSB, which meets the design and engineering application requirements of large array CIS.

Key words: CMOS image sensors; column-level ADC; correlated double sampling; ramp generator

0　引言

随着CMOS集成电路工艺的不断发展，工艺标准可以满足愈来愈小尺寸像素的设计需求。近年来，为适应高清图像和视频采集的发展趋势，图像传感器的分辨率显著提高，像素阵列的面积随之增大，捕获图像细节的还原度更高[1-3]。因此，大面阵的CMOS图像传感器（CIS）在便携设备、航空航天、医疗器械、安防军工等领域都展现出重要应用价值。随着国际形势的日趋严峻，各个领域大面阵CIS芯片的国产化需求也日益迫切，在此背景下，设计了一种大面阵CIS器件。

本设计的大面阵CIS内部数模转换器（ADC）架构采用列并行单斜结构。该CIS架构需实现列级普通采样和相关双采样（CDS）切换，具有ADC 8 bit/10 bit位数切换和数字增益可调功能。基于此，设计了一种可配合列级ADC实现采样方式切换，且具有斜率兼顾粗调和细调的斜坡发生器。针对大面阵CIS的工程化应用需求，设计中重点考虑工艺的失配和大面阵总线的寄生效应，以及斜坡的速

收稿日期：2025－01－07.
基金项目：国家自然科学基金项目（U2167208）.
* **通信作者：**祝晓笑

度、精度和面积。在保证低功耗和小面积的同时，实现了高线性度和快速响应的斜坡发生电路设计，满足超大面阵CIS的设计和工程应用需求。

1 架构设计

与传统CIS类似，大面阵CIS一般由像素模块和读出电路模块构成如图1所示。在读出电路中，ADC作为核心部件，通过将像素输出信号直接数字化，从而减小了整体噪声。常见的CIS片内ADC结构有芯片级ADC、像素级ADC和列级ADC。芯片级ADC的特点是传感器的所有像素共用一个ADC进行数据处理，对ADC转换速度的要求很高，导致系统功耗显著增加。像素级ADC是将ADC集成在每一个像素或几个邻近像素组内部，通过全平面并行转换机制，不仅减少了模拟信号传输过程中的损耗，还能有效提高传感器帧频[4]。列级ADC架构为每列对应一路独立的输出总线，相对于芯片级ADC架构，极大减小了对ADC速度的需求；相对于像素级ADC，减小了阵列的功耗与面积，提高了感光面积，在大面阵CIS中得到了广泛应用。常见的列级ADC有单/多斜式ADC、逐次逼近式（SAR）ADC、循环（Cyclic）ADC及流水线（Pipeline）ADC等多种结构[5]。其中，单斜ADC架构因具有转换线性度高、结构简单、版图占用空间较小等优点而成为读出电路列级ADC的经典架构[6]。该ADC结构通常由斜坡发生器、比较器、译码器以及寄存器组成[7]。

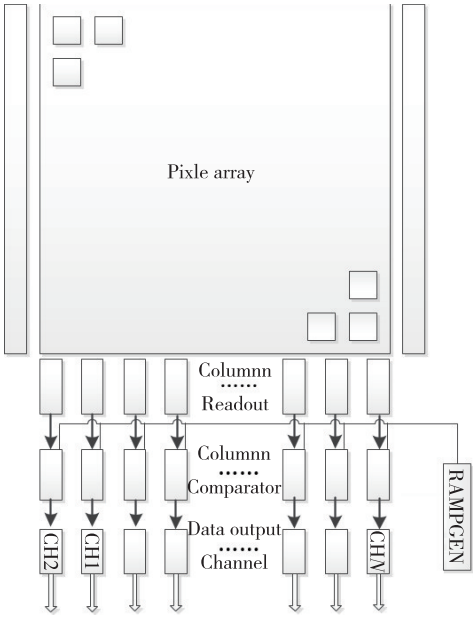


图1 大面阵CIS系统结构图

在CIS的模数转换系统设计中，斜坡发生器作为ADC的核心模块，其性能直接决定了整个转换系统的线性度和准确性[8]。因此，设计具有高线性度和高精度的斜坡发生器是其中的关键[9]。斜坡产生电路一般包括电源和积分电容两部分，通过电流源对积分电容进行充放电来产生斜坡信号[10]。

2 电路设计

2.1 斜坡发生器架构

在CIS列级ADC架构中，斜坡产生电路通常有两种实现方式。第一种是通过时序控制器对系统时钟计数得到斜坡信号的持续时间，该方式一般用来产生连续的斜坡信号。第二种是采用实际二进制信号输入，通过二进制数字控制信号，输出阶梯型的斜坡信号。上述两种实现方式本质均为实现N bit数字信号到对应模拟信号的精确转换。对比分析表明，连续的斜坡信号发生电路可以达到很高的精度，且其结构简单、面积小、线性度较高。因此本设计采用连续斜坡信号的积分型斜坡发生器，该类结构通常分为直接积分型和电容跨导积分型。

电容跨导积分型斜坡发生器基本结构如图2所示，由积分放大器和控制开关组成，其中积分电容位于放大器的反馈回路中。该结构的显著优势是产生电路结构简单，版图面积不会随精度提高而显著增加。然而，斜坡性能直接依赖于积分电容与积分电流的绝对精度，且对积分放大器的放大倍数设计要求较高。此外，工艺偏差、电源电压波动和温度变化（PVT变化）与工艺失配都会显著降低斜坡信号精度，从而导致该结构无法直接应用于高精度CMOS图像传感器。

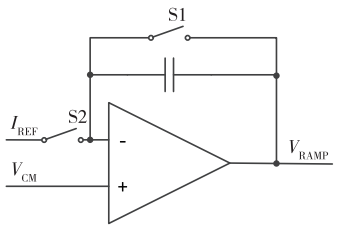


图2 电容跨导积分型斜坡发生器基本结构框图

直接积分型斜坡发生器基本结构如图3所示，偏置电流通过开关控制直接在电容上进行积分，从而产生斜坡信号。其电路结构简单，晶体管数目少，且功耗低，适合高分辨率CIS。但同样存在斜坡性能直接依赖于积分电容与积分电流的绝对精度的缺点，PVT变化与工艺失配对斜坡信号精度有影响。

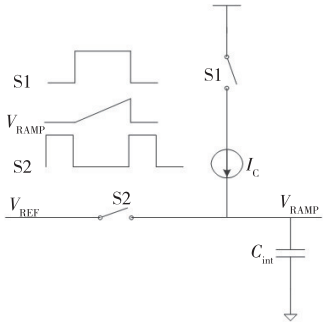


图3　直接积分型斜坡发生器基本结构框图

根据所设计CIS系统结构的特点，采用结构更简单的直接积分型斜坡发生器。为同时实现普通采样和CDS的切换，8 bit/10 bit ADC位数切换和斜坡斜率可调（数字增益可调）功能，且考虑到减小PVT变化与工艺失配对斜坡信号精度的影响，对直接积分结构进行了改进设计，并重点对偏置电流产生以及积分电容单元和阵列进行了优化设计。采用的斜坡发生器架构如图4所示。

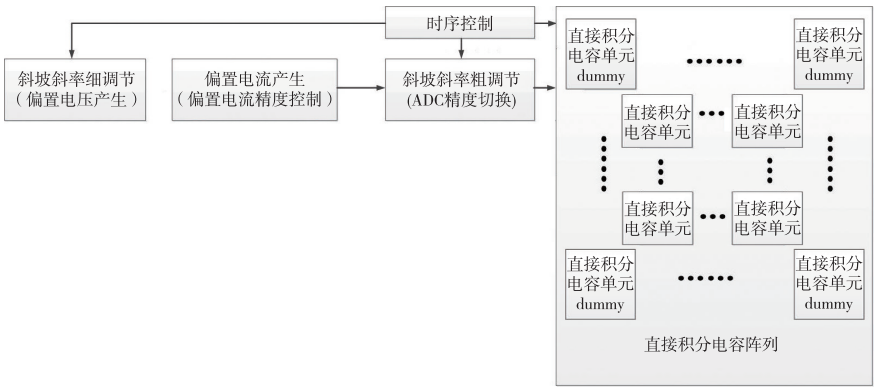


图4　斜坡发生器架构图

斜坡总体架构由斜坡斜率细调节模块、偏置电流产生模块、斜率粗调节模块、积分电容阵列、时序控制模块构成。斜坡斜率细调节模块产生偏置电压，再通过偏置电流产生模块转换成偏置电流，并通过内部负反馈控制稳定偏置电流。斜率粗调节模块通过对偏置电流大小的控制实现ADC精度的切换。时序控制模块配合电容积分阵列实现普通采样和CDS的模式切换，以及其他模块的寄存控制需求。电容积分阵列由$M\times N$个直接积分单元构成，单个积分单元积分电流为I，总积分电流为$I\times M\times N$。为实现8 bit/10 bit ADC位数切换，在8 bit ADC和10 bit ADC模式下，CIS行时间分别为1.56和6.24 μs，斜坡发生电路需在规定时间内完成积分和复位。

2.2　斜率粗调和细调的实现

偏置电压细调节模块主要包括负反馈放大器、门电路以及R-R电阻阵列构成，如图5所示。其工作原理是，通过电阻反馈运放对输入参考电压V_{ref}进行放大，作为R-R电阻阵列的上级电压V_H。时序控制模块产生的输入控制信号ctrl_slop_f〈5:0〉信号经过6-64译码器产生64路选通控制信号，通过控制R-R电阻中接入的电阻数量实现偏置电压64档细调节，输出不同的分压V_{int}。本设计中V_H为1.64 V，V_L为0.224 V，默认V_{int}输出为1.09 V。

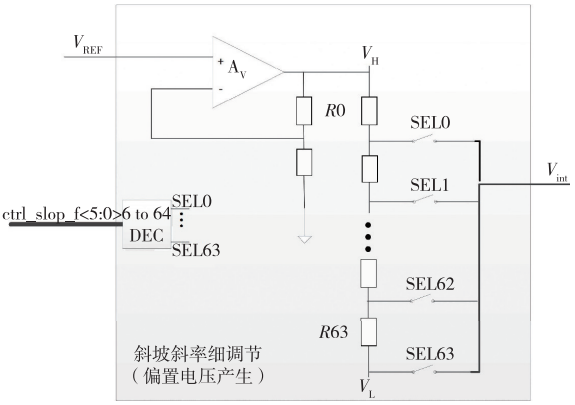


图5　偏置电压细调节模块原理图

由于斜坡性能直接依赖于积分电流的绝对精度，解决PVT变化与工艺失配积分电流的影响为本设计的重点之一。将由同一前级电阻阵列产生的两级电压V_H和V_{int}作为电流镜电源电压，利用MOS管二极管接法将电压差值转换为电流，同时将该电压通过负反馈至放大器的输入端，电压的波动经过放大后控制输出电压反向波动，从而减小工艺失配和PVT变化对电流镜电源电压的影响。后续通过电流镜得到精度相对较高的积分电流。积分电流产生模块通过电压电流转换模块将前级获得的偏置电压V_{int}转换为积分电流I_{int}，包括缓放大器以及

电流镜两个部分，如图6所示。

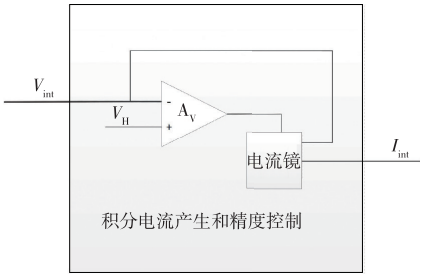


图6 积分电流产生和精度控制模块原理图

积分电流粗调节模块主要包括时序控制门电路和电流镜，如图7所示。利用电流分流原理，通过粗调节信号ctrl_slop〈1:0〉控制分流支路的数量将偏置电流分为三档，分别为I，0.5I，0.25I。本设计使用了其中的I和0.25I两档，分别对应ADC 8 bit和10 bit模式。

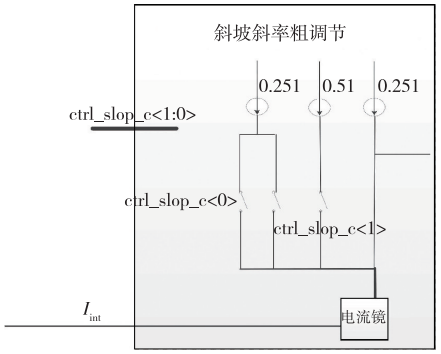


图7 积分电流粗调节模块原理图

偏置电流根据粗调和细调控制信号的不同，共有192档调节，能够根据实际SS ADC比较器输入摆幅与像素输出信号幅度进行调节，满足多种应用场景的需求。本设计中，I=6.66 μA，在8 bit普通模式下，通过积分单元内电流镜实现单个积分电流为1.12 μA，总积分电流143.4 μA；在10 bit普通模式下，通过积分单元内电流镜实现单个电流284 nA，总电流36.3 μA。

2.3 普通模式和CDS模式斜坡的切换

为保证多列之间的一致性，本设计采用全局斜坡驱动架构，即所有列共用一个斜坡发生电路。斜坡发生器输出端直接连接比较器输入端，相当于有输出电容C_L来吸收干扰，减小输出尖峰。在全局斜坡驱动架构中，过长的全局金属传输线会导致寄生效应，影响输入各列读出电路斜坡信号的一致性。相比于其他类型的固定模式噪声，列级固定模式噪声对图像质量的影响更大。为保证图像传感器的成像质量，采用数字相关双采样技术控制斜坡不一致性误差在1/2 LSB以内。在高帧频和高动态应用条件下，直接积分单元利用开关和时序控制可以切换成普通采样模式，从而提高帧频和动态。

电容积分单元由偏置电流源、积分电流注入管、积分电容、斜坡初值选通管、时序控制电路组成，如图8所示。为尽量简化电路设计，所采用的基本思想则是用由CMOS开关SR_W1，SR_W2，SCH_W，和SCH_W_N构成的控制网络，通过前级电流镜提供的稳定电流对电容C_R进行充放电，在电容的充放电过程中，电容电压随着输入脉冲升高和降低；当脉冲陆续从输入端输入时，放电管开放、闭合，若从电容的输出端引出电压，就形成了一定周期的斜坡电压。

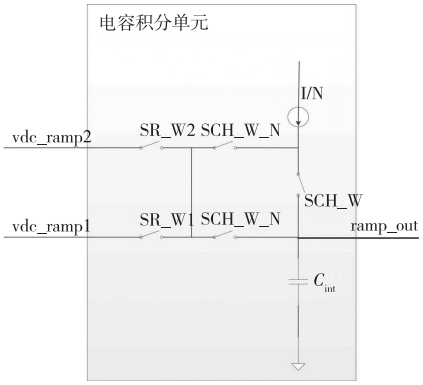


图8 电容积分单元原理图

在超大面阵CIS中，普遍采用CDS技术来抑制影响图像性能的问题，如KTC噪声、固定模式噪声（FPN）、控制时钟偏斜和电路延时[11]。CDS技术的原理是，像素工作的过程中在不同时刻分别采样像素曝光前的复位信号V_{rst}和曝光结束后的电压信号V_{signal}，再通过列级电路输出。本设计采用数字相关双采样技术，即分别对共模信号与实际图像信号进行量化，再对两次量化结果进行相减，从而消除列固定模式噪声。相比单斜ADC，数字双采样双斜ADC通过对复位信号和像素信号的量化结果在数字域做差，消除像素输出产生的FPN，减小ADC量化时延时产生的数字码误差[12]。

普通采样工作模式为SR_W1开关常断开，首先SR_W2和SCH_W_N同时闭合，电容上极板复位到参考电压vdc_ramp2，接着SR_W2和SCH_W_N同时断开，SCH_W闭合，电容开始积分，直到SCH_W开关断开。ramo_out输出单个斜坡信号，持续时间为SCH_W脉冲的持续时间。而SCH_W脉宽持续时间由数字控制时序T_{clk}计数产

生。普通采样模式下 8 bit 和 10 bit ADC RAMP 信号仿真分别如图 9 和 10 所示。

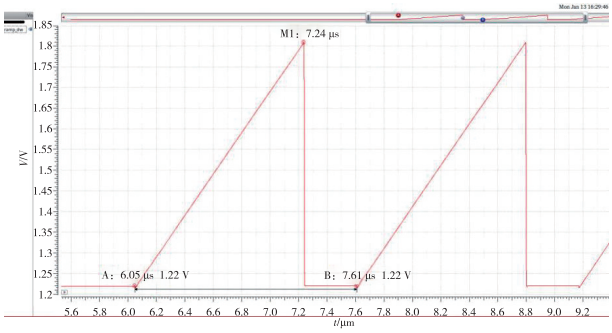


图 9　普通采样模式 8 bit ADC RAMP 信号仿真

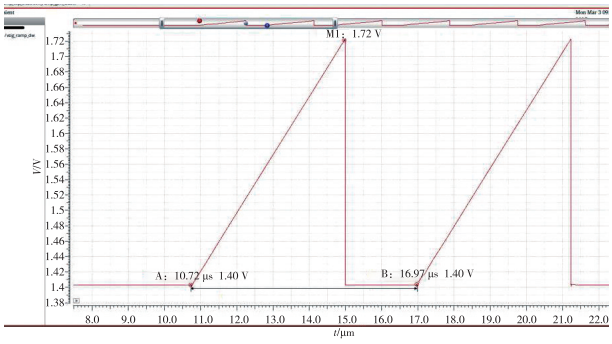


图 10　普通采样模式 10 bit ADC RAMP 信号仿真

CDS 采样工作模式为首先 SR_W1 开关和 SCH_W_N 开关同时闭合，SR_W2 和 SCH_W 断开，电容上极板复位到参考电压 vdc_ramp1。接着 SR_W2 和 SCH_W_N 同时断开，SCH_W 闭合，电容开始积分，持续时间为 SR_W1 脉冲的持续时间，ramo_out 输出斜坡信号 V_{ramp1}，该信号用于对共模信号的比较量化。SR_W2 和 SCH_W_N 同时闭合，SCH_W 断开，电容上极板复位到参考电压 vdc_ramp2。然后 SR_W1 和 SCH_W_N 断开，SCH_W 闭合，ramo_out 输出斜坡信号 V_{ramp2}，持续时间为 SCH_W 脉冲的持续时间，该信号用于实际图像信号的比较量化。CDS 采样模式下 8 bit 和 10 bit ADC RAMP 信号仿真分别如图 11 和 12 所示。

2.4　斜坡发生器的版图实现

本设计采用 90 nm 1P6M CMOS 工艺进行设计流片，整体斜坡版如图 13 所示。

为减小版图失配所带来的放大器误差，以及积分电容、电流镜匹配非线性引起的 DNL 和 INL 增加，采用三种版图措施：一是结构中设计的运放均采用共质心结构；二是在积分电容和积分电流产生的 MOS 管四周布局相应的虚拟电容，从而减小应力梯度差异的影响；三是斜坡输出信号采用多层金

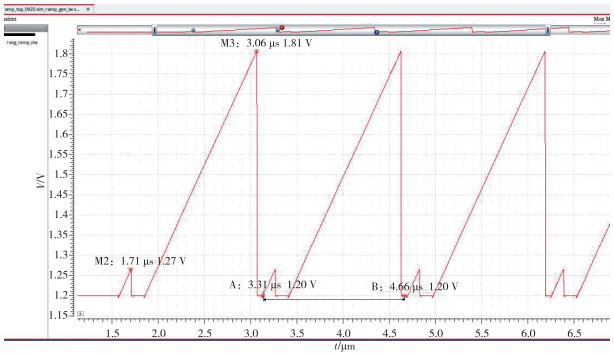


图 11　CDS 模式 8 bit ADC RAMP 信号仿真

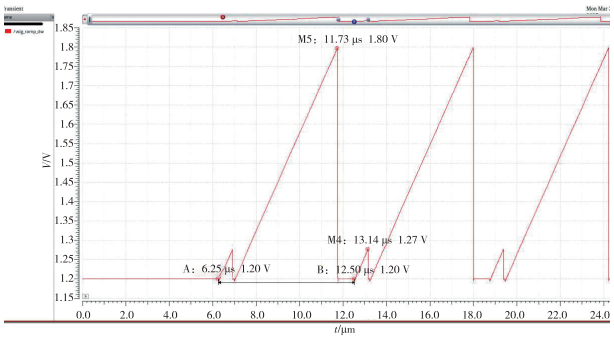


图 12　CDS 模式 10 bit ADC RAMP 信号仿真

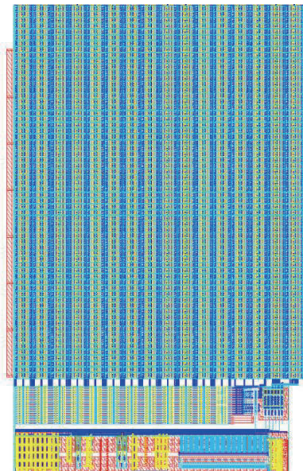


图 13　整体斜坡版

属网状布线减少输出线上的 RC 延时。综合上述措施，通过版图设计提高积分电容和积分电流的精度。本设计结构简单，单个斜坡单元版图面积仅为 9.5 μm×14 μm，包含外围电流粗调细调、时序控制电路、大阵列的虚拟单元阵列的整体斜坡版图面积为 450 μm×730 μm，符合大面阵 CIS 芯片的版图布局需求。

3　后仿真与测试分析

对于连续斜坡信号，斜坡信号建立时间和复位时间是大面阵 CIS 的关注重点。建立时间是指斜坡

产生电路模拟输出电压发生改变并最终达到稳定的时间，本设计中斜坡充电电流可调，因此斜坡建立时间可调。复位时间是指斜坡电压从最大值减小至参考电压的时间，应用于大面阵CIS的斜坡发生电路，包含了版图寄生参数的复位时间后仿真结果尤为重要。

采用BSIM4V4.6仿真模型，经过寄生参数提取，对整个斜坡发生器电路进行后仿真。工作条件为2.8 V电源电压，25 MHz时钟频率。

(1)斜坡复位时间仿真结果如图14所示，后仿真复位时间为66.9 ns。

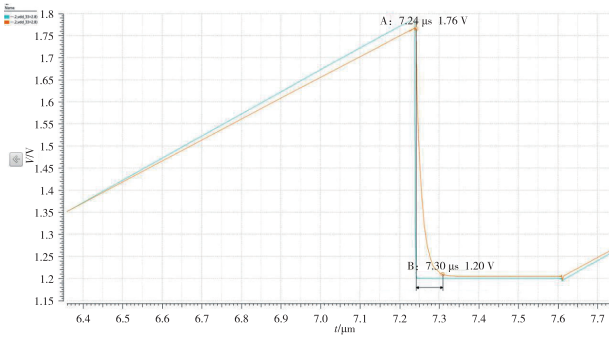


图14 斜坡复位时间后仿真

(2)斜坡产生电路静态参数的后仿真结果。微分非线性(DNL)和积分非线性(INL)是斜坡产生电路静态参数中最重要的指标，主要表征了整体斜坡信号的线性度。本仿真条件中，斜坡信号范围为1.203～1.776 V，斜坡计数256个时钟，因此1 LSB=2.24 mV。从图15所示的仿真结果中可以得出斜坡信号*DNL*为+0.018 LSB/−0.012 LSB)，*INL*为+0.37 LSB/−0.013 LSB。

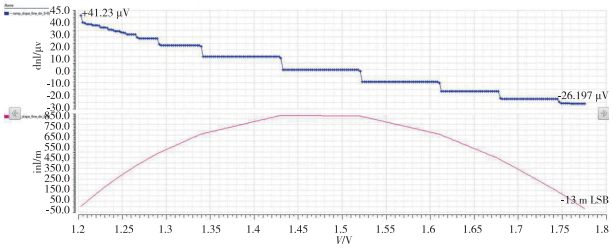


图15 斜坡信号INL和DNL仿真

4 结论

本文设计了一种适合大面阵CIS工程应用的斜坡发生器电路，可实现8 bit/10 bit切换和普通采样/CDS切换。该电路结构简单，且通过电路设计和版图设计对斜坡电路的积分电容和积分电流两个重要因素进行了优化，并采用90 nm(1.2 V/2.8 V) 1P5M CIS工艺进行了制作。设计结果表明，该斜坡发生电路输出信号，斜坡度大于0.7 V，复位时间小于70 ns，*DNL*为+0.018 LSB/−0.012 LSB，*INL*为+0.37 LSB/−0.013 LSB，满足超大面阵CIS的设计和工程应用需求。

参考文献：

[1] Takayanagi I, Nakamura J. High-resolution CMOS video image sensors[J]. Proceedings of the IEEE, 2013, 101(1): 61-73.

[2] Watabe T, Kitamura K, Sawamoto T, et al. A 33 Mpixel 120 fps CMOS image sensor using 12 b column-parallel pipelined cyclic ADCs [C]// 2012 IEEE International Solid-State Circuits Conference, 2012: 388-390.

[3] Funatsu R, Huang S, Yamashita T, et al. 6.2 133 Mpixel 60 fps CMOS image sensor with 32-column shared high-speed column-parallel SAR ADCs [C]// IEEE International Conference on Solid-State Circuits (ISSCC), 2015: 1-3.

[4] 张艺潇，祝晓笑，单光宝. 像素级模数转换器研究进展[J]. 半导体光电，2023，44(5)：645-654.
Zhang Yixiao, Zhu Xiaoxiao, Shan Guangbao. Research progress of pixel-level analog-to-digital converters [J]. Semiconductor Optoelectronics, 2023, 44(5): 645-654.

[5] Kawahito S. Column-parallel ADCs for CMOS image sensors and their FoM-based evaluations[J]. IEICE Transactions on Electronics, 2018, E101.C(7): 444-456.

[6] 刘戈扬，刘昌举，翟江皞，等. 多光谱TDI-CMOS图像传感器读出电路设计[J]. 半导体光电，2023，44(4)：525-531.
Liu Geyang, Liu Changju, Zhai Jianghao, et al. Design of a multispectral TDI-CMOS image sensor readout circuit [J]. Semiconductor Optoelectronics, 2023, 44(4): 525-531.

[7] Rhee J, Joo Y. Wide dynamic range CMOS image sensor with pixel level ADC [J]. Electronics Letters, 2003, 39 (4): 360-361.

[8] 李孟窈，龙善丽，吴传奇，等. 一种用于CMOS图像传感器像素级ADC的斜坡发生器[J]. 信息技术与信息化，2021，(11)：182-184.
Li Mengyao, Long Shanli, Wu Chuanqi, et al. A ramp generator for pixel ADC of CMOS image sensor [J]. Information Technology and Informatization, 2021, (11): 182-184.

[9] 徐立康. 应用于TOF传感器中列级ADC的研究[D]. 西安：西安理工大学，2020.
Xu Likang. Research on column ADC in TOF sensor[D]. Xi'an: Xi'an University of Technology, 2020.

[10] 李闯泽，韩本光，何 杰，等. 一种用于CMOS图像传感器的高精度抗辐射自适应斜坡产生电路设计[J]. 武汉大学学报(理学版)，2020，66(3)：304-314.
Li Chuangze, Han Benguang, He Jie, et al. Design of high precision radiation-hardened adaptive ramp generator circuit

for CMOS image sensor[J]. Journal of Wuhan University (Natural Science Edition), 2020, 66(3): 304-314.

[11] Kim H J. A sun-tracking CMOS image sensor with black-sun readout scheme[J]. IEEE Transactions on Electron Devices, 2021, 68(3): 1115-1120.

[12] 吴治军, 李毅强, 彭　松, 等. 一种应用于CMOS图像传感器数字双采样ADC的PGA电路[J]. 半导体光电, 2020, 41(2): 200-204.

Wu Zhijun, Li Yiqiang, Peng Song, et al. A PGA circuit on digital double sampling ADC of CMOS image sensor[J]. Semiconductor Optoelectronics, 2020, 41(2): 200-204.

作者简介：

祝晓笑(1984—),女,高级工程师,主要从事高性能CMOS图像传感器的设计和验证工作。