光电器件

DOI：10.16818/j.issn1001－5868.20250415005

一种并行可配置FFE高速SerDes发送端设计

任一凡，张春茗*，陶保明
（西安邮电大学 电子工程学院，西安 710121）

摘　要： 针对高速串行接口（SerDes）中非归零码信号在长距离传输和严重信道衰减下误码率高的问题，发送端常采用前向反馈均衡技术进行处理。文章基于UMC 28 nm CMOS工艺，设计一种采用8 bit数模转换器架构的并行可配置FFE高速SerDes发送端。并行输入信号与已存储的8个10 bit抽头系数通过可配置FFE中乘法器模块和并行进位加法器模块进行逻辑运算，实现信号预均衡处理，并通过与非门、共源共栅器件以及复位路径组成的高速4:1多路复用器终端输出网络采用源串联端接结构实现更低的功率损耗。仿真结果表明：该发送端在1.05 V电压供电以及信道衰减为18.59 dB@20 GHz的条件下，输出40 Gb/s NRZ信号的眼高为378.4 mV，眼宽为18.53 ps（0.74 UI），整体版图面积为0.055 mm^2，整体电路功耗为41.8 mW。

关键词： 并行可配置前向反馈均衡技术；源串联端接；数模转换器；4:1多路复用器
中图分类号： TN432　**文章编号：** 1001－5868(2025)04－0673－07

Parallel Configurable FFE High-Speed SerDes Transmitter Design

REN Yifan, ZHANG Chunming, TAO Baoming
(School of Electronic Engineering, Xi'an University of Posts and Telecommunications, Xi'an 710121, CHN)

Abstract: Owing to long transmission distances and high bit-error rates caused by serious channel attenuation, non-return-to-zero (NRZ) code signals are usually processed using forward feedback equalization (FFE) at high-speed serial interface (SerDes) transmitters. In this study, based on the UMC 28 nm CMOS process, a parallel-configurable FFE high-speed SerDes transmitter was designed using an 8-bit digital-to-analog converter architecture. The parallel input signal and stored 8 10-bit tap coefficients are logically operated by the multiplier module and parallel carry adder module in the configurable FFE to realize signal pre-equalization processing. A high-speed 4∶1 multiplexer composed of an AND-NOT gate, a cascode device, and a reset path was adopted. The terminal output network adopted a source series termination structure to reduce power loss. The simulation results showed that when the transmitter was powered by 1.05 V voltage and the channel attenuation was 18.59 dB @ 20 GHz, the eye height of the output 40 Gb/s NRZ signal was 378.4 mV, eye width was 18.53 ps (0.74 UI), overall layout area was 0.055 mm^2, overall circuit power consumption was 0.055 mm^2, and power consumption of the complete circuit was 41.8 mW.

Key words: parallel configurable feed-forward equalization technology; source series-terminated driver; digital-to-analog converter; 4:1 multiplexer

收稿日期：2025－04－15.
基金项目：国家重点研发计划项目（2019YFB1803600）.
*通信作者：张春茗

0 引言

在当前的数字化世界中，半导体已经成为推动科技进步和社会发展的重要驱动力，并且随着大数据、物联网和5G通信系统的发展，对信息的传输速率、效率以及功耗都提出了更高要求[1]。高速串行接口（SerDes）系统的设计需要面对诸如如何解决在传输过程中因为数据带宽受限产生信道损耗的影响等问题，考虑到传统架构包括半速率架构、1/4速率架构在面积与功耗的限制，将模拟电路、数字信号处理（DSP）和数模转换器（DAC）组成的混合架构发送端设计方案替代传统的模拟架构方案[2]，可以有效弥补传统架构的缺陷。对于驱动器电路，常用的电流模式逻辑（CML）驱动器控制尾电流大小和方向来传递信号的同时，也会对输出摆幅有一定限制[3]，而源串联端接（SST）驱动器相较于CML驱动器，其输出摆幅足够大，功耗更低。

针对以上问题，本文基于28 nm CMOS工艺，设计一种最高传输速率为40 Gb/s的SerDes发送端电路。发送端采用DSP-DAC架构设计了对并行数据进行乘加运算更加灵活，功耗更低且结构简单的并行可配置FFE。同时终端驱动器电路采用多支路并联的SST驱动器，并对其匹配阻抗进行分析，有效输出更大信号摆幅[4]。

1 整体架构

所设计的并行可配置FFE高速SerDes发送端整体结构如图1所示。最大传输速率为40 Gb/s，包括并行可配置FFE、16∶4 MUX、1 UI时钟采样电路、4∶1 MUX和SST驱动器。伪随机数产生模块（PRBS7）产生16路1.25 Gb/s并行数据流，经16片并行FFE对数据进行均衡，从而产生16×10 bit数据。由于本设计采用8 bit分辨率，取10 bit数据流的高8位对后续数据进行传输，同时对于截取的低2位数据进行误差补充。经8片16∶4 MUX后产生16路10 Gb/s差分信号，再通过16片4∶1 MUX产生传输速率为40 Gb/s的并行8 bit数据，最后经SST驱动器传送至信道中。

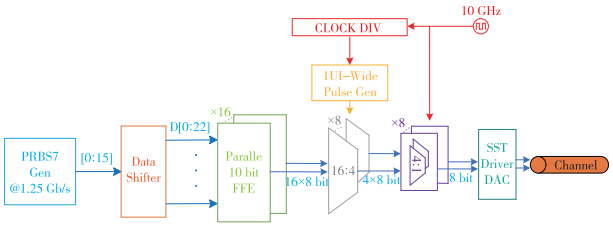


图1 发送端整体电路结构

2 关键电路设计

2.1 并行可配置FFE

FFE电路是SerDes发送端均衡模块的核心，可以有效补偿信号在信道上的衰减。传统FFE通过对输入信号的延迟分量进行叠加，采用串行方式实现均衡，其输入与输出的函数表达式为：

$$FFE(n)=\sum_{x=0}^{N}C_i(n)D(n-x) \tag{1}$$

式中，输入信号$D(n)$通过延迟之后，分别与抽头系数$C_i(n)$相乘，最终求和得到$FFE(n)$并输出[5]。传统FFE的整体运算的延迟和抽头系数成正比，在实现多抽头和高速率的SerDes发送端中有较大限制。针对传统FFE这一弊端，提出一种并行可配置FFE设计，其结构如图2所示。

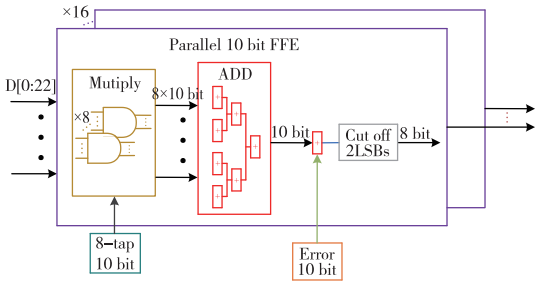
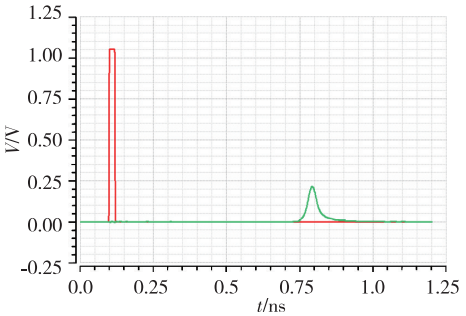
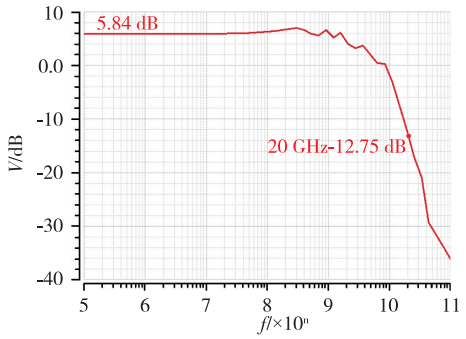


图2 并行可配置FFE结构

FFE的设计采用1个前标抽头、1个主标抽头和6个后标抽头，并将抽头系数转为10 bit二进制补码形式进行存储。对所用信道的频率响应和脉冲响应进行测试，并通过测试结果计算出对应的抽头权重系数，40 Gb/s NRZ信号下脉冲响应结果如图3（a）所示，S21频率响应如图3（b）所示，测出主标及前后向拖尾对应幅度值，以及20 GHz下损耗为18.59 dB。



（a）40 Gb/s NRZ信号下脉冲响应



（b）40 Gb/s NRZ 信号下 S21 频率响应

图 3　40 Gb/s NRZ 信号下脉冲响应和 S21 频率响应

采用去加重技术对信号进行均衡，利用迫零算法（ZFS）计算抽头系数并进行归一化处理[6]。经计算，8 个抽头系数 C_{-1} 到 C_6 和并行可配置 FFE 中使用的 10 bit 数据如表 1 所示。

表 1　抽头系数及其对应 10 bit 数据

序号	抽头权重系数	10 bit 数据
C_{-1}	−0.179 7	1101001000
C_0	0.609 6	1001110000
C_1	−0.190 9	1100111101
C_2	0.003 1	0000000011
C_3	−0.009 3	1111110111
C_4	−0.003 2	1111111101
C_5	−0.003 4	1111111101
C_6	−0.000 9	0000000000

PRBS7 输出 16 路 1.25 Gb/s 并行数据流，同时将 3 个时钟周期的数据重新排列，其中上一时钟周期最后 1 位数据，重新排列后为第 1 个数据作为前驱，第 2～17 个数据作为主体，下一时钟周期前 6 位数据，重新排列后为第 18～23 个数据作为后驱，最终得到的数据组合为 $D[0:22]$。通过数字 CMOS 静态逻辑电路结构的并行可配置 FFE 中的乘法和加法运算进行处理，$D[0:7]$ 与存储好的抽头系数分别相乘得到 Data0，$D[1:8]$ 与存储好的抽头系数分别相乘得到 Data1，以此类推，输出 16 路 10 bit 结果。为减小后续传输路径的规模，选择截去低 2 位数据并进行误差补充。这种设计不仅可以避免传统 FFE 均衡中带来的延迟并且降低功耗，还可以根据数据传输速率和信道的损耗进行灵活运算。

2.1.1　乘法器模块的实现

采用静态数字 CMOS 逻辑电路单元构成的 10 bit 与门来实现乘法器功能，电路结构如图 4 所示。10 bit 与门是由 10 个基于反相器的两输入与门并联而成，主要作用是将 1 bit 输入数据 D 与 10 bit 抽头数据 tap[0:9] 执行按位与操作，得到 10 bit 均衡数据 D_E。当输入数据为低电平时，相与结果为 0；当输入数据为高电平时，相与结果和抽头系数相同。通过以上结构，可以实现并行输入数据和 10 bit 抽头数据相乘的功能。

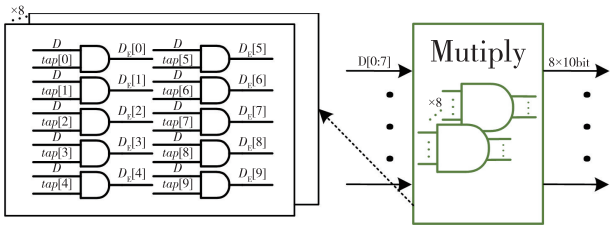


图 4　10 bit 与门乘法器结构

2.1.2　并行进位加法器的实现

所提出的并行进位加法器利用两输入与门、两输入异或门和三输入或门构成基本单元，将 10 个基本单元依次串联构成 10 bit 并行进位加法器，并通过树形结构对 8×10 bit 并行数据同时运算，其电路结构和内部单元如图 5 所示。

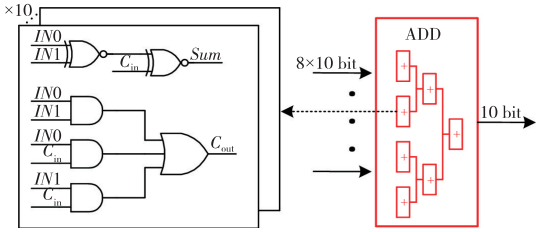


图 5　并行进位树形结构加法器

在加法模块中，$IN0$ 和 $IN1$ 为相加数据，C_{in} 为上一位加法运算的进位数据，并且在第一位相加运算中 C_{in} 取 0。通过 $IN0$ 和 $IN1$ 的异或结果再和 C_{in} 进行异或运算，可得三者在本位的相加结果 Sum，其逻辑运算表达式如公式（2）所示：

$$Sum = IN0 \oplus IN1 \oplus C_{in} \tag{2}$$

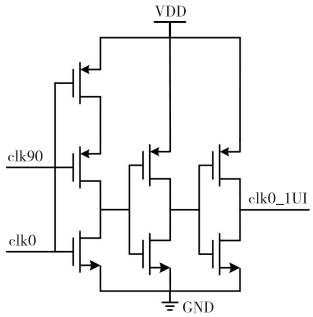
在进位模块中，通过 $IN0$，$IN1$ 以及 C_{in} 分别进行相与，再将所得 3 个结果进行或运算，可得本位对下一位求和运算中的进位数据 C_{out}，在 10 bit 数据运算结束后，舍弃高位溢出结果，其逻辑运算表达式为：

$$C_{out} = IN0 \cdot IN1 + IN0 \cdot C_{in} + IN1 \cdot C_{in} \tag{3}$$

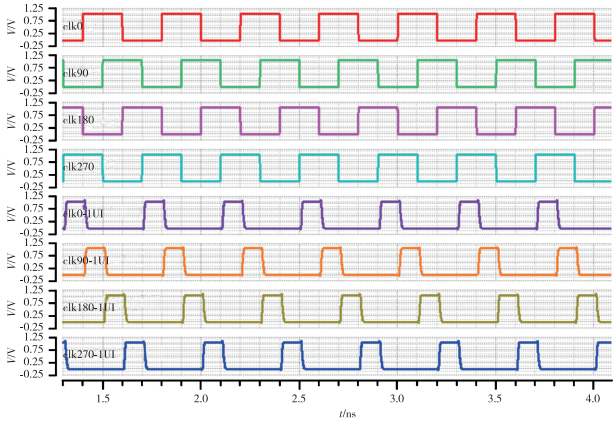
2.2　1 UI 时钟采样电路和 16∶4 MUX

为生成后续 4∶1 MUX 所需的选通信号，采用基于 90°相位差时钟的 1 UI 采样时钟电路来实现四相位，脉宽为 1/4 周期的采样时钟[12]。通过 clk0 和 clk90 的交替作用，电路中的 NMOS 管和 PMOS 管在不同的时钟状态下导通或截止，在一个时钟周期内，clk0 和 clk90 的相位差使输出信号在不同时间点

进行高低电平切换，通过两级反相器缓冲产生单位间隔为1 UI的采样时钟[7]。其结构如图6(a)所示，仿真结果如图6(b)所示。



(a) 1 UI时钟采样电路结构

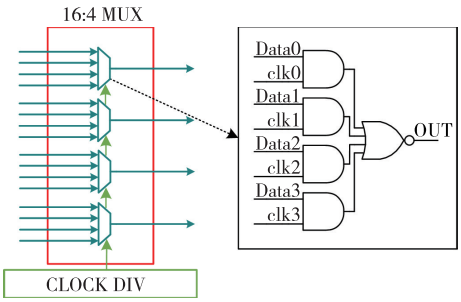


(b) 1 UI时钟采样电路仿真结果

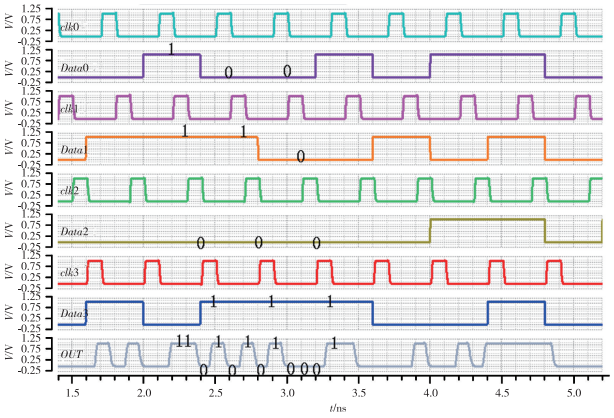
图6 1 UI时钟采样电路结构和仿真结果

所设计的16:4 MUX电路由4个相同的低速4:1 MUX组成，输入数据为2.5 Gb/s，通过对数据串化和单端转差分电路(S2D)输出一对10 Gb/s的差分信号，其结构如图7(a)所示，仿真结果如图7(b)所示。

低速4:1 MUX由2输入与门和4输入或门组成，通过1 UI时钟采样电路产生的1 UI时钟进行信号的选通[8]，主要工作原理为：当clk0为高电平(clk1～clk3均为低电平)时，只有Data0处的数据传送至输出端，由此实现低速4:1 MUX的功能[13]。



(a) 16:4 MUX电路结构

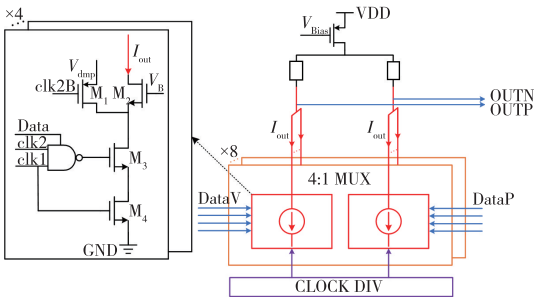


(b) 16:4 MUX仿真结果

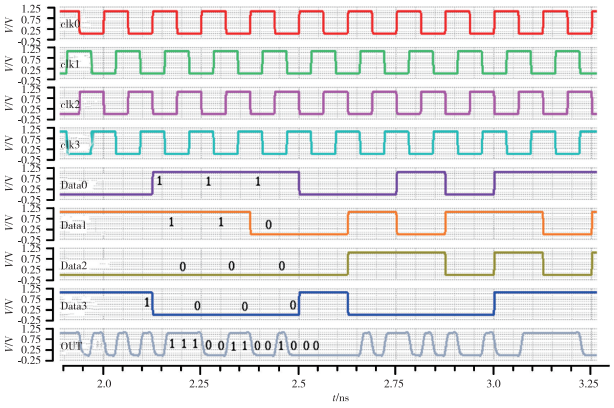
图7 16:4 MUX电路结构和仿真结果

2.3 高速4:1 MUX的实现

多路复用器通常采用传输门和静态逻辑门电路实现，但两者驱动能力较弱，在高扇入和高速数据的情况下传输门难以达到较大的带宽。为增强串行器的驱动能力和其带宽，采用一种由与非门和共源共栅器件组成的高速4:1 MUX电路，其结构和基本单元如图8(a)所示，仿真结果如图8(b)所示。



(a) 高速4:1 MUX电路结构



(b) 高速4:1 MUX仿真结果

图8 高速4:1 MUX电路结构和仿真结果

在高速4:1 MUX基本单元中，数据D作为与非门电源，时钟相位相差90°的时钟信号clk1和clk2作为输入。该电路在clk1上升沿时开启，在clk2上升

沿时关闭，并通过 M_2，M_3，M_4 组成的共源共栅器件用以控制基本单元中的电流，同时可以最大限度地减少中间节点的存储效应[14]；复位路径在 M_1 中 clk2B 和 V_{dmp} 共同作用下，可以实现对电路的快速关断。通过 4 片相同的 4∶1 MUX 基本单元对信号进行选通后，输出电流 I_{out} 在连接到 PMOS 管构成的电流源和电阻负载节点处进行求和并输出至下一级电路。综上所述，该设计可以实现对输入信号选通和电路快速关断，相较于传统多路复用器有着更低的功耗和更小的版图面积[11]。

2.4　SST 驱动电路

采用具有低功耗、输出摆幅大且结构简单的 SST 驱动器，每个 SST 单元都通过反相器串联电阻的输出方式[9]，分辨率为 8 bit。所设计的 SST 驱动器由 255 个尺寸完全相同的单元并联而成，其结构如图 9 所示。

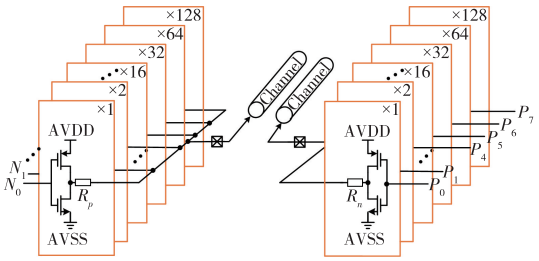


图 9　SST 驱动器电路结构

为使驱动器输出阻抗与 50 Ω 的外接端口阻抗相匹配，需要对每个单元中 MOS 管在深线性区的电阻和与之串联的电阻结合分析[11]。所有基本单元均为并联关系，因此每一个基础单元的输出阻抗应为 12.75 kΩ。考虑到 MOS 管自身具有一定的阻抗，同时该阻值会随 MOS 管的状态发生变化，需要在确定串联电阻阻值时留有一定裕度，以满足 DAC 对面积、速度、线性度和功耗的要求。综合考虑后将每一个串联的电阻阻值都设置为 12 kΩ。基于以上设计，电路可达最大程度的平坦响应[10]。

3　仿真结果

基于 Cadence IC 615 平台采用 UMC 28 nm CMOS 工艺在 27℃、1.05 V 工作电压下对 40 Gb/s NRZ 高速串行接口发送端进行设计和仿真测试[15]。首先测得 SST 驱动器电路的频率响应如图 10 所示，带宽拓展后该电路−3 dB 带宽为 26.22 GHz，驱动器在 1.05 V 电源电压下，提供 17.68 dB 的均衡能力，满足带宽要求。

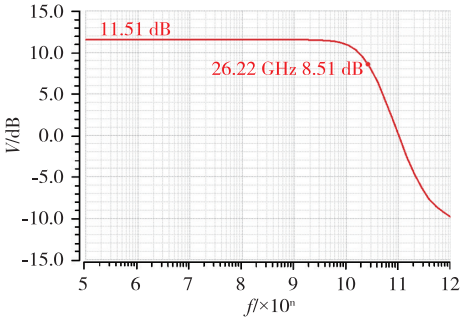
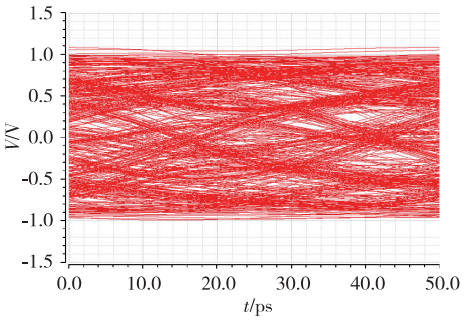
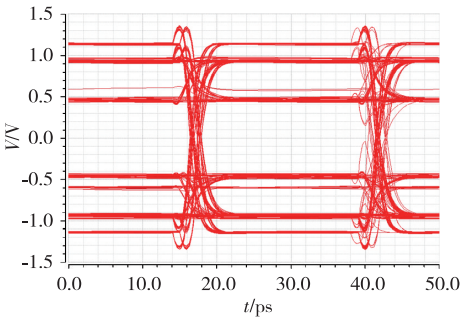


图 10　SST 驱动器电路频率响应

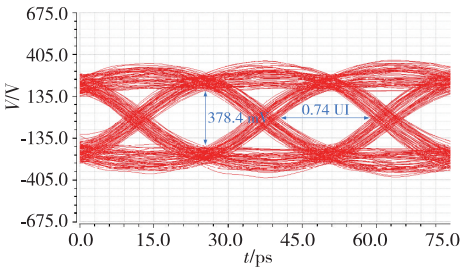
当输入信号为 PRBS7 产生的 32 路 1.25 Gb/s 的并行数据流，直接通过串化后以 40 Gb/s 信号输入至信道中，得到如图 11(a)所示结果。利用并行自适应 FFE 对 NRZ 信号进行 8 抽头 FFE 后未通过信道的输出结果如图 11(b)所示，以及通过信道后 40 Gb/s NRZ 输出结果如图 11(c)所示。



(a) 无均衡情况下输出结果



(b) 均衡未过信道情况下输出结果



(c) 均衡并通过信道后输出 40 Gb/s NRZ 眼图

图 11　无均衡输出结果，均衡未过信道结果和均衡并通过信道后输出 40 Gb/s NRZ 眼图

从图11(a)可以看出,由于信道对高频信号的衰减,如果没有FFE均衡对信号进行处理,会出现严重失真,导致眼图闭合;从图11(c)可以看出,利用FFE均衡对信号处理后差分输出得到眼高为378.4 mV,眼宽为18.53 ps(0.74 UI)。结果表明,输出NRZ眼图质量良好,实现了对并行数据均衡的灵活运算和低功耗处理。40 Gb/s NRZ高速SerDes发射机总体版图包括并行自适应FFE、1 UI时钟采样电路、16∶4 MUX、4∶1 MUX、预驱动电路和SST型驱动器,如图12所示,其整体版图面积为0.055 mm^2。

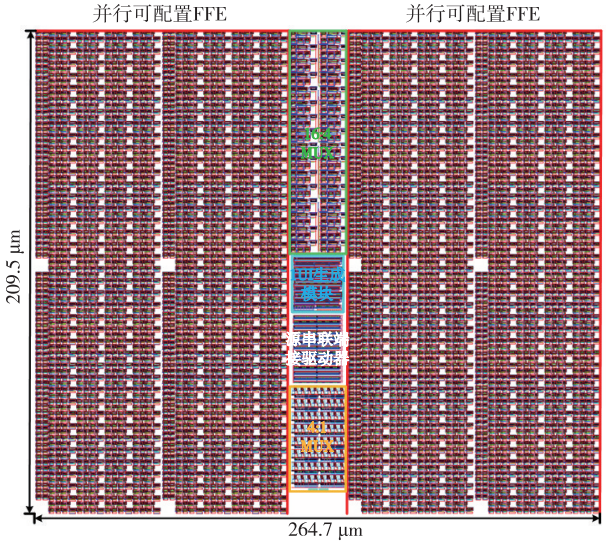


图12 采用并行可配置FFE高速SerDes发送端电路整体版图

对发送端各模块进行功耗仿真,结果表明:并行可配置FFE功耗为11.7 mW,与非门和共源共栅器件组成的高速4∶1 MUX功耗为3.6 mW,SST驱动器功耗为17.3 mW,电路整体功耗约为41.8 mW,因此所设计的40 Gb/s NRZ高速SerDes发送端功耗显著降低。通过总结所设计的高速SerDes发送端的性能,将实验的仿真结果与已有文献进行对比,结果如表2所示[16]。

表2 本文与其他文献性能对比

参考	文献[3]	文献[9]	文献[8,10]	本文
工艺/nm	28	55	22	28
数据格式	NRZ/PAM4	PAM4	NRZ/PAM4	NRZ
速率/(Gb·s^{-1})	56/112	40	16/32	40
均衡	3−tap FFE	2/3−tap FFE	4−tap/2−tap	8−tap FFE
损耗/dB	*	*	15	18.59
功耗/mW	356	*	46	41.8
面积/mm^2	*	0.052	0.029	0.055

注:*表示文中未给出

4 结论

所设计的高速SerDes发送端利用并行可配置FFE代替传统架构的FFE,抽头分配更加灵活,均衡精度和数据分辨率更高。采用数字CMOS静态逻辑电路单元构成的低速4∶1 MUX、与非门和共源共栅器件组成的高速4∶1 MUX以及SST型DAC驱动器可有效降低功耗。仿真结果表明:当发送端电路工作在40 Gb/s NRZ速率时,MUX电路和1 UI脉冲生成电路功能正常;并行自适应FFE均衡效果明显,能够补偿信道在奈奎斯特频率点处的信道损耗,在1.05 V电源电压下提供18.59 dB的均衡能力;PRBS7差分输出眼高为378.4 mV,眼宽为18.53 ps(0.74 UI),整体版图面积为0.055 mm^2,整体电路功耗为41.8 mW。

参考文献:

[1] Wang J Q, Tan A, Iyer A, et al. 7.1 A 2.69 pJ/b 212 Gb/s DSP-based PAM-4 transceiver for optical direct-detect application in 5 nm FinFET[C]// 2024 IEEE International Solid-State Circuits Conference (ISSCC), 2024, 67: 123-125.

[2] Kossel M A, Khatri V, Braendli M, et al. 8.3 An 8 b DAC-based SST TX using metal gate resistors with 1.4 pJ/b efficiency at 112 Gb/s PAM-4 and 8-Tap FFE in 7 nm CMOS [C]// 2021 IEEE International Solid-State Circuits Conference (ISSCC), 2021, 64: 130-132.

[3] 张春茗, 张得胜, 陶保明. 可配置分段式FFE高速SerDes发送端设计[J]. 半导体光电, 2024, 45(4): 640-645.
Zhang Chunming, Zhang Desheng, Tao Baoming. Design of a configurable segmented FFE high-speed SerDes transmitter [J]. Semiconductor Optoelectronics, 2024, 45(4): 640-645.

[4] 韩佳利, 任佳佳, 裴 磊, 等. 用于高速高精度模数转换器的16 Gb/s串行接口发射机电路[J]. 西安交通大学学报, 2024, 58(9): 173-182.
Han Jiali, Ren Jiajia, Pei Lei, et al. A 16 Gb/s SerDes transmitter for high-speed and high-precision analog-to-digital convertors[J]. Journal of Xi'an Jiaotong University, 2024, 58(9): 173-182.

[5] 胡小月, 王 强, 吕方旭, 等. 面向56 Gb/s高速SerDes接收机DSP设计[J]. 计算机工程与科学, 2024, 46(7): 1202-1209.
Hu Xiaoyue, Wang Qiang, Lü Fangxu, et al. DSP design for 56 Gb/s high-speed SerDes receiver [J]. Computer Engineering & Science, 2024, 46(7): 1202-1209.

[6] 陈志强, 程凌浩, 鲍 园, 等. 四电平脉冲幅度调制光互联系统中的可重构发射芯片架构[J]. 激光与光电子学进展, 2021, 58(21): 61-69.

Chen Zhiqiang, Cheng Linghao, Bao Yuan, et al. Architecture of reconfigurable transmitter integrated circuits for four-level pulse amplitude modulation optical interconnection system[J]. Laser & Optoelectronics Progress, 2021, 58(21): 2106004.

[7] 唐子翔，吕方旭，师剑军，等. 面向高信道衰减的低功耗112 Gibit/s Duo-binary PAM4 SerDes发射机设计[J]. 电光与控制，2022，29(11)：82-85，90.
Tang Zixiang, Lyu Fangxu, Shi Jianjun, et al. Design of low-power-consumption 112 Gibit/s Duo-binary PAM4 SerDes transmitter for high channel attenuation[J]. Electronics Optics & Control, 2022, 29(11): 82-85, 90.

[8] 彭嘉豪. 基于差分编码技术的12.5 Gbps高速SerDes发射机设计[D]. 重庆：重庆邮电大学，2020.
Peng Jiahao. Design of a 12.5 Gbps high-speed SerDes transmitter based on differential encoding technology [D]. Chongqing: Chongqing University of Posts and Telecommunications, 2020.

[9] 谢　波. 高速SerDes发射机关键技术研究[D]. 上海：上海交通大学，2020.
Xie Bo. Research on key technologies of high-speed SerDes transmitter[D]. Shanghai: Shanghai Jiao Tong University, 2020.

[10] 付玉山，马　奎，唐重林，等. 一种28 Gbps高速SERDES发射器[J]. 微电子学与计算机，2021，38(10)：103-108.
Fu Yushan, Ma Kui, Tang Chonglin, et al. A 28 Gbps high-speed SERDES transmitter [J]. Microelectronics & Computer, 2021, 38(10): 103-108.

[11] 汤捍淳. 高速串行链路发射机的设计[D]. 上海：上海交通大学，2019.
Tang Hanchun. Design of high speed serial link transmitter [D]. Shanghai: Shanghai Jiao Tong University, 2019.

[12] 王新武，张长春，张　翼，等. 56 Gbit/s低功耗分数间隔FFE PAM4 SerDes发射机设计[J]. 微电子学，2024，54(2)：235-242.
Wang Xinwu, Zhang Changchun, Zhang Yi, et al. Design of 56 Gbit/s low-power PAM4 SerDes transmitter with fractionally-spaced FFE[J]. Microelectronics, 2024, 54(2): 235-242.

[13] 王　雷，刘　涛，陈　鑫，等. 具有预加重作用的10 Gbps发送端设计[J]. 电子器件，2023，46(3)：608-614.
Wang Lei, Liu Tao, Chen Xin, et al. Circuit design for 10 Gbps transmitter circuit with pre-emphasis[J]. Chinese Journal of Electron Devices, 2023, 46(3): 608-614.

[14] 束正武. 基于28 nm工艺的16 Gbps_SerDes_TX电路研究与设计[D]. 南京：南京邮电大学，2022.
Shu Zhengwu. Research and design of 16 Gbps_SerDes_TXCircuit based on 28 nm process[D]. Nanjing: Nanjing University of Posts and Telecommunications, 2022.

[15] 田宇辰. 基于65 nm CMOS工艺的56 Gb/s PAM4 SerDes发射电路设计[D]. 南京：东南大学，2022.
Tian Yuchen. 56 Gb/s PAM4 SerDes transmitter design based on 65 nm CMOS process[D]. Nanjing: Southeast University, 2022.

[16] 吕栋斌，吕方旭，王和明，等. 面向片上互连的低功耗CNRZ-5 125 Gb/s高速SerDes发射机[J]. 空军工程大学学报(自然科学版)，2022，23(2)：83-89.
Lyu Dongbin, Lyu Fangxu, Wang Heming, et al. A low-power and 125 Gb/s high speed SerDes transmitter using CNRZ-5 for on-chip interconnect[J]. Journal of Air Force Engineering University (Natural Science Edition), 2022, 23(2): 83-89.

作者简介：

任一凡(2001—)，男，陕西省榆林市人，硕士，主要研究方向为高速模拟集成电路设计；

张春茗(1973—)，女，辽宁省锦州市人，博士，讲师，主要研究方向为高速模拟集成电路设计。