材料、结构及工艺

DOI：10.16818/j.issn1001－5868.20250720002

面向高速光电三维集成的硅通孔仿真设计及特性验证

谢　寒*，王　攀，田思劼

（联合微电子中心有限责任公司，重庆 401332）

摘　要： 高速光电三维集成系统布线具有密度高、尺寸微小、结构复杂的特点。对高速光电三维集成中的纵向通路硅通孔结构进行准确的传输特性表征，能够显著提高系统可靠性、缩短开发时间和降低流片成本。文章首先结合工艺参数对高速同轴硅通孔结构进行仿真，然后设计并制备基于L-2L去嵌方法的高速硅通孔测试结构，最后通过测试去嵌对高速硅通孔的传输特性进行表征。将测试结果与仿真结果进行对比校核，结果表明：40 GHz以内测试数据与模型仿真结果幅值百分比误差的平均值为0.938%，吻合度较高，验证了此仿真验证方法的准确度。该研究可用于高速硅通孔的实际设计开发，对高速光电三维集成系统设计具有重要指导意义。

关键词： 高速光电三维集成；同轴硅通孔；RLCG仿真；L-2L去嵌

中图分类号： TN405　**文章编号：** 1001－5868(2025)04－0693－06

Simulation of Through-Silicon Via Design and Characteristics for High-Speed Optoelectronic Three-Dimensional Integration

XIE Han, WANG Pan, TIAN Sijie

（United Microelectronics Center Co. Ltd., Chongqing 401332, CHN）

Abstract: The wiring of high-speed optoelectronic three-dimensional (3D) integrated systems features a high density, small size, and complex structure. Accurate characterization of vertical through-silicon via (TSV) structures in high-speed optoelectronic 3D integration can significantly improve system reliability while reducing development time and tape-out costs. In this study, a high-speed coaxial TSV structure with various parameters was simulated. Next, based on the geometrical and process parameters determined from the simulation, a proper high-speed coaxial TSV test structure based on the L-2L de-embedding method was designed and fabricated on an eight-inch process platform. Finally, the transmission characteristics of the high-speed TSV were obtained through de-embedding. A comparison between the test and simulation results reveals an average error of 0.938% between them within 40 GHz. This result confirms the high accuracy of the simulation method, corroborating the feasibility of its application to high-speed TSV development and high-speed optoelectronic 3D integrated system design.

Key words: high-speed optoelectronic; 3D integration; coaxial through-silicon via; RLCG simulation; L-2L de-embedding

收稿日期：2025－07－20.

*通信作者：谢　寒

0 引言

近年来，随着集成电路的纳米制程工艺逐渐接近物理极限，单纯通过提升工艺制程来提高集成度变得愈发困难。三维集成架构[1]通过硅通孔（Through-Silicon Via，TSV）在垂直通路方向上精确连接堆叠芯片，能够缩减走线长度、降低互连电阻、提升互连密度并大幅减小芯片面积[2-3]；与此同时，该架构也带来功耗密度急剧增加、芯片温度升高进而导致芯片性能下降的问题[4]。因此，在集成电路高速同轴硅通孔的开发过程中，需要通过建模对其特性进行精确表征及优化，以提升其传输性能并降低传输损耗。

硅通孔的仿真方法主要有两类：电磁场有限元仿真（如HFSS仿真软件）和RLCG等效电路仿真。对所研究的高速同轴硅通孔而言，两类方法均可较好地对硅通孔特性进行预测[5]。研究人员对同轴硅通孔的RLCG等效电路模型进行持续完善，得出包含硅通孔结构尺寸及工艺参数的解析公式[6-7]；在保持同等仿真准确度的同时，其仿真时间可以缩短到有限元方法的1/120以内[7]。

在实际高速光电三维集成系统应用中，一般通过在片测试的方法对同轴硅通孔进行表征。由于硅通孔尺寸微小，无法与微波探针（Ground-Signal-Ground，GSG）直接接触，难以使用矢量网络分析仪（Vector Network Analyzer，VNA）进行精确的直接测量。通常在硅通孔两端设计探针焊盘，连接作为被测器件的硅通孔和微波探针。测试得到的数据需要通过去嵌（De-embedding）算法进行修正，去除探针焊盘对网络参数的影响，将测量的参考面由探针针尖转移到硅通孔两端，从而得到芯片的本征特性[8]。

由于硅通孔通常连接硅基板正反两面的器件或走线，受工艺条件及测试平台的制约，采用传统的开路-短路（Open-Short）、直通-反射-延时（TRL）等去嵌方法对其进行去嵌测试结构设计的难度较大。实验采用的基于级联原理的“L-2L”去嵌方法[9]是国内外一类比较新的去嵌思路，能够对金属布线[10]和带有硅通孔的测试结构[11]进行较为准确的去嵌表征。L-2L去嵌方法和其他去嵌方法一样，在测试结构设计方面需要满足一定的条件：使用矢量网络分析仪进行直接测量时，其参考面阻抗一般设为50 Ω；硅通孔的两端探针焊盘结构位于矢量网络测试仪测量探针到待测结构之间，应保证其几何结构的镜面对称性，同时其设计阻抗也应当保持在50 Ω左右。

虽然已对高速硅通孔建模进行大量的深入研究，但通常局限于不同仿真模型的建模研究及对比，缺少针对硅通孔模型实际流片得到的样品进行测试，并与仿真结果进行对比验证工作。从高速光电系统集成开发的实际需求出发，基于联合微电子中心有限责任公司的直径为10 μm、深度为100 μm的同轴硅通孔工艺能力，对实际应用中需要满足40 GHz带宽的高速硅通孔结构进行仿真设计。使用Matlab计算软件构建仿真及去嵌模型，对硅通孔传输特性随不同变量而变化的趋势进行计算，对实际制备的高速同轴硅通孔测试结构进行了去嵌表征。将仿真结果和实测数据进行对比校核，表明测试与仿真结果的一致性良好，此仿真验证方法能够对实际工程应用给予指导。

1 硅通孔仿真设计

典型的同轴硅通孔RLCG模型如图1所示。其中，C_{liner}表示金属扩散阻挡层电容，C_{depl}表示侧壁绝缘层电容，R_{TSV}表示铜导体电阻，L_{TSV}表示铜导体电感，C_{Si}表示硅通孔间的耦合电容，G_{Si}表示硅通孔间的电导。

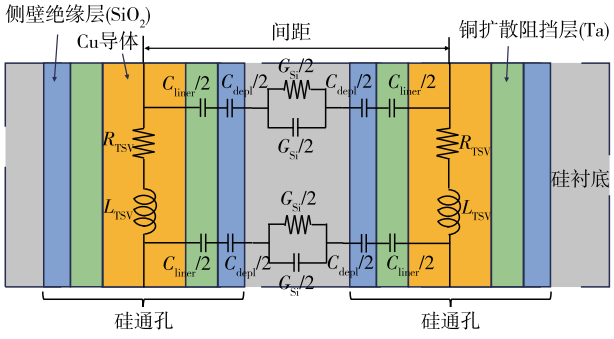
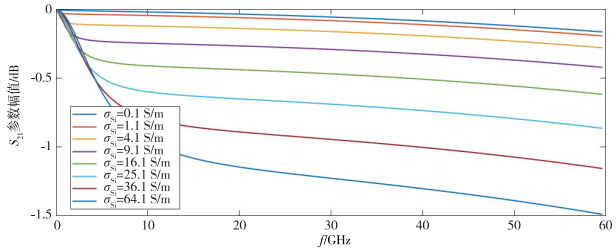


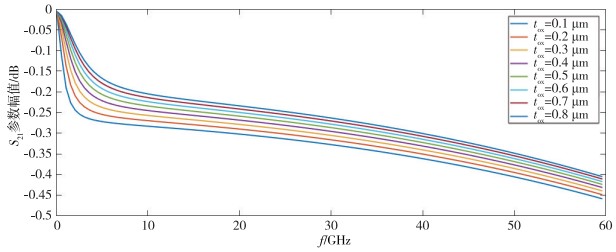
图1 硅通孔RLCG模型示意图

基于高速同轴硅通孔的RLCG等效电路模型[5-6]，开展针对多个模型参数的仿真设计。借助Matlab计算平台自主编写并优化硅通孔RLCG模型仿真代码，通过设置模型中不同变量的值，得到硅通孔传输特性随各个变量变化的趋势，部分结果如图2所示。

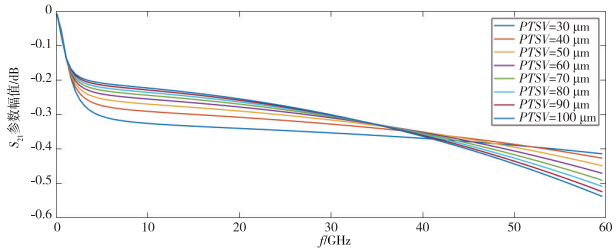
仿真结果表明：硅通孔S_{21}参数对衬底材料电导率、硅通孔侧壁绝缘层厚度、硅通孔间距尺寸等参数值变化的敏感性较高。同轴硅通孔的传输特性



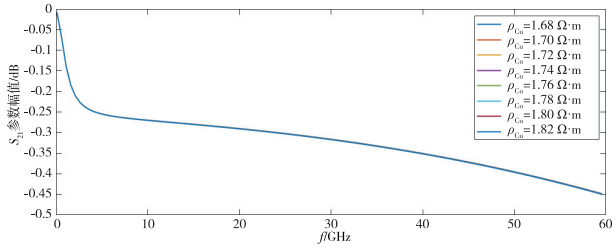
（a）衬底材料电导率



（b）硅通孔侧壁绝缘层厚度



（c）硅通孔间距尺寸



（d）铜电阻率

图 2　不同参数对 60 GHz 以下 S_{21} 参数（参考阻抗 50 Ω）的影响

可以通过调节衬底材料电阻率实现较大范围的调整，传输损耗随着衬底材料电导率的上升而升高：当衬底材料电导率由 0.1 S/m 上升至 64.1 S/m 时，60 GHz 频率的损耗从 −0.23 dB 左右增大至 −1.60 dB，如图 2(a)所示。增加硅通孔侧壁绝缘层厚度能够降低硅通孔的传输损耗：当侧壁绝缘层厚度由 0.1 μm 增加至 0.8 μm 时，能够全频段改善传输损耗，在 4～60 GHz 的相对平滑区间能够降低 0.05～0.12 dB 损耗，如图 2(b)所示。硅通孔间距尺寸对传输特性有较为明显的影响，增大其尺寸能够减小低频范围的传输损耗，但是会增加高频范围的传输损耗：当硅通孔间距尺寸由 30 μm 增加到 100 μm 时，传输损耗在 10 GHz 处由 −0.33 dB 减小至 −0.22 dB，在 40 GHz 左右较为接近，而在 60 GHz 处由 −0.41 dB 增大至 −0.54 dB，如图 2(c)所示。工艺允许范围内的小幅度铜电阻率变化对传输特性的影响十分有限：当铜电阻率从 1.68 Ω·m 增大至 1.82 Ω·m 时，S_{21} 参数在 60 GHz 以内的最大差值仅为 0.001 6 dB，如图 2(d)所示。

以仿真结果为依据，调整相应的硅通孔结构尺寸及工艺参数。选用电导率较低的衬底材料，适当增加硅通孔侧壁 SiO_2 绝缘层厚度，保证较低的传输损耗和较高的有效带宽。针对 40 GHz 以内的带宽设计范围，平衡低损耗和稳定损耗曲线的需求，选取适中的硅通孔间距尺寸；同时，考虑到实际应用对布线密度的需求，将信号硅通孔与相邻的接地硅通孔间的间距尺寸定为 35 μm。

2　去嵌结构与性能表征

早期的 L-2L 去嵌测试在长度分别为 L 及 $2L$ 的传输线两端连接探针焊盘，能够较好地对传输线结构进行去嵌表征[9]；在此基础上，在传输线和探针焊盘之间连接硅通孔，形成两个新的去嵌测试结构[11]。对于设计的四个去嵌测试结构，它们的 $ABCD$ 矩阵参数有如下关系：

$$[\boldsymbol{TSV_1L}]=[\boldsymbol{PAD}]\cdot[\boldsymbol{TSV}]\cdot[\boldsymbol{Line}]\cdot[\boldsymbol{TSV}]\cdot[\boldsymbol{PAD}] \tag{1}$$

$$[\boldsymbol{TSV_2L}]=[\boldsymbol{PAD}]\cdot[\boldsymbol{TSV}]\cdot[\boldsymbol{Line}]^2\cdot[\boldsymbol{TSV}]\cdot[\boldsymbol{PAD}] \tag{2}$$

$$[\boldsymbol{Line_1L}]=[\boldsymbol{PAD}]\cdot[\boldsymbol{Line}]\cdot[\boldsymbol{PAD}] \tag{3}$$

$$[\boldsymbol{Line_2L}]=[\boldsymbol{PAD}]\cdot[\boldsymbol{Line}]^2\cdot[\boldsymbol{PAD}] \tag{4}$$

式中，$[\boldsymbol{TSV_1L}]$ 和 $[\boldsymbol{TSV_2L}]$ 分别表示传输线长度为 L 和 $2L$ 的带硅通孔的测试结构的 ABCD 矩阵参数；$[\boldsymbol{Line_1L}]$ 和 $[\boldsymbol{Line_2L}]$ 分别表示传输线长度为 L 和 $2L$ 的不带硅通孔的测试结构的 ABCD 矩阵参数。由矢量网络分析仪对以上四个测试结构进行直接测量，测得的 S 矩阵参数转换得到对应的 ABCD 矩阵参数。$[\boldsymbol{PAD}]$ 表示焊盘的 ABCD 矩阵参数，$[\boldsymbol{TSV}]$ 表示硅通孔的 ABCD 矩阵参数，$[\boldsymbol{Line}]$ 表示长度为 L 的传输线的 ABCD 矩阵参数。对公式(3)和(4)联立求解，可以得到焊盘的 ABCD 矩阵参数：

$$[\boldsymbol{PAD}]=[[\boldsymbol{Line_1L}]^{-1}\cdot[\boldsymbol{Line_2L}]\cdot[\boldsymbol{Line_1L}]^{-1}]^{-1/2} \tag{5}$$

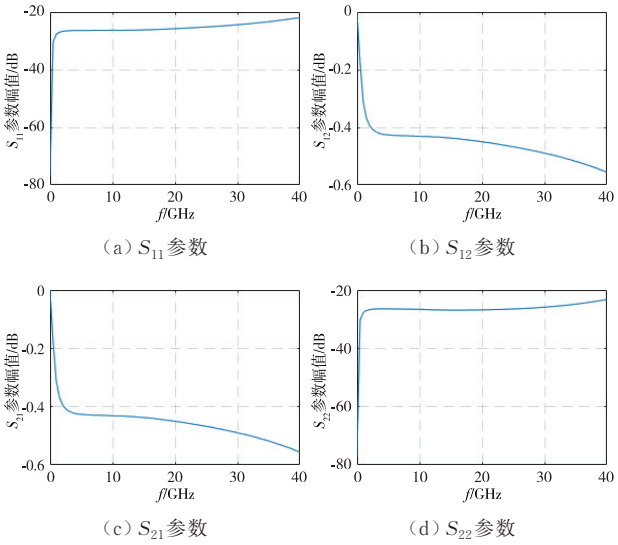
进一步代入等式联立求解，可以得到硅通孔的

ABCD矩阵[*TSV*]：

$$[TSV]=[PAD]^{-1/2}\cdot[[TSV_1L]^{-1}\cdot[TSV_2L]\cdot[TSV_1L]^{-1}]^{-1/2}\cdot[PAD]^{-1/2} \quad (6)$$

将[*TSV*]转换为*S*参数，即为L-2L去嵌方法求得的硅通孔*S*参数。

实际工艺下的探针焊盘结构为五层金属层，每两层金属层之间由规则分布的VIA相连。代入工艺参数对设计的四个去嵌测试结构进行仿真，并利用Matlab计算软件实现完整的L-2L去嵌算法。对高速硅通孔去嵌测试结构仿真结果进行L-2L去嵌表征，得到其完整的*S*参数，如图3所示。



（a）S_{11}参数　（b）S_{12}参数

（c）S_{21}参数　（d）S_{22}参数

图3　仿真结果去嵌后得到的硅通孔*S*参数

3　测试版图及制备

基于测试结构的多次迭代仿真数据，设计L-2L去嵌方法的测试版图，测试结构版图如图4所示，图中左上角为L+TSV测试版图，右上角为2L+TSV测试版图，左下角为L传输线测试版图，右下角为2L传输线测试；去嵌测试结构剖面示意图如图5所示。

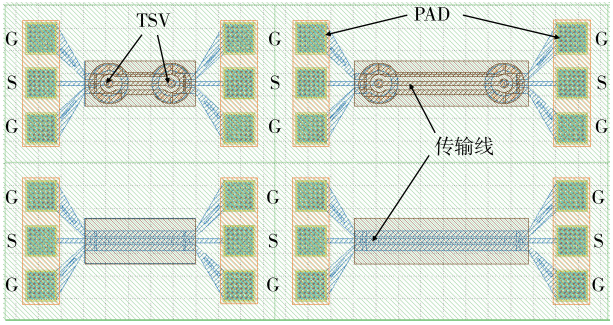


图4　基于L-2L的硅通孔去嵌测试版图（俯视图）版图

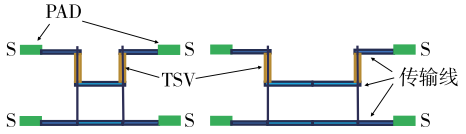


图5　基于L-2L的硅通孔去嵌测试版图（剖面图）

在联合微电子中心有限责任公司的8英寸三维集成平台上，制备了测试结构样片，该平台的10×100 μm硅通孔制备工艺包含曝光、刻蚀、介质生长、电镀和平坦化等工艺。介质生长SiO_2采用化学气相沉积（Chemical Vapor Deposition，CVD）工艺，SiO_2提供与硅衬底的低频信号隔离；阻挡层和种子层均采用物理气相沉积（Physical Vapor Deposition，PVD）方法，阻挡层阻止铜扩散，种子层确保填充工艺的连续性和均匀性；晶圆平坦化采用化学机械研磨（Chemical Mechanical Planarization，CMP）工艺，以实现原子级平整。工艺流程示意图如图6所示。

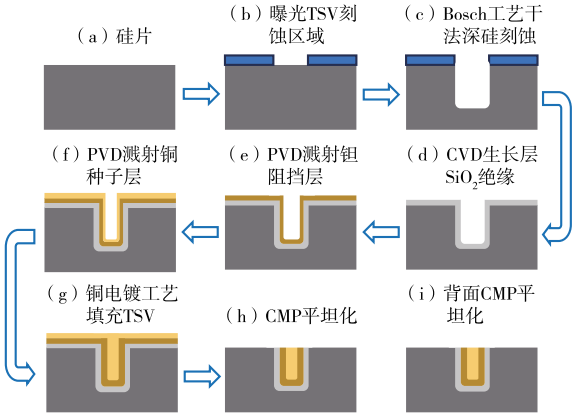


图6　硅通孔工艺流程示意图

对硅通孔样品进行切片，SEM图片上可见硅通孔形貌，尺寸均匀，如图7所示。实物晶圆上的硅通孔去嵌结构光学照片如图8所示。

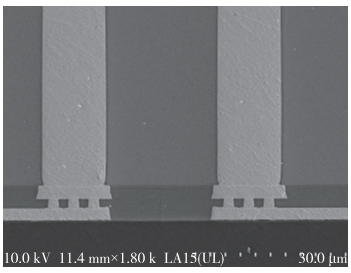


图7　硅通孔工艺样品剖面图片

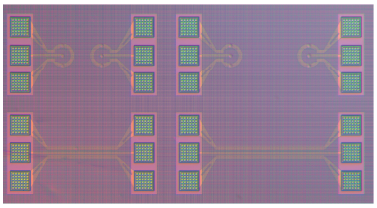
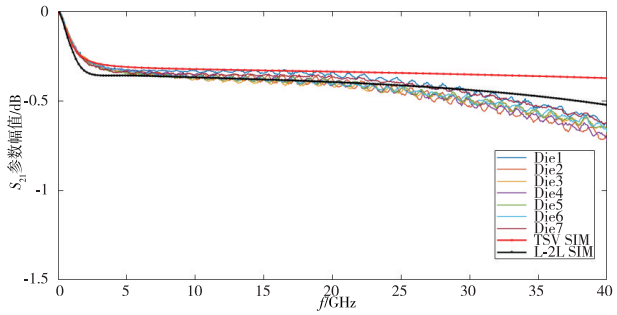


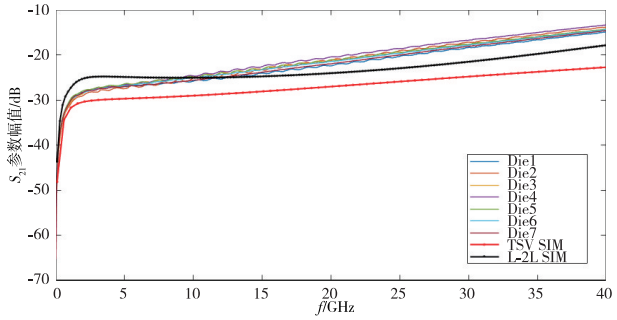
图8　实物晶圆上的硅通孔测试结构光学照片

4　特性验证

基于仿真结果及L-2L去嵌算法，对高速光电三维集成的硅通孔进行参数测试和特性验证。随机选取晶圆上不同位置的7个Die，使用校准后的矢量网络分析仪对测试结构进行量测，并使用相同的去嵌方法对测试数据进行去嵌表征。去嵌得到硅通孔的典型S_{21}参数传输特性、硅通孔仿真结果以及去嵌结构仿真结果的吻合情况较好，数据及对比如图9所示。



（a）S_{21}参数



（b）S_{11}参数

图9　随机选取的7个Die的实际测试结构去嵌结果、硅通孔仿真结果与测试结构仿真去嵌结果对比

实测结果显示，7个Die上的硅通孔传输特性较为接近，其极差随着频率的增大而缓慢增大，在40 GHz频率下约为0.09 dB，流片一致性较好；实际测试去嵌结果在20 GHz以内与仿真结果非常接近，在20～40 GHz范围内损耗比仿真预测值略大。对比两种仿真结果，对理想硅通孔RLCG模型进行仿真得到的传输损耗较小；测试结构去嵌模型引入了探针焊盘结构带来的误差，其去嵌仿真结果在40 GHz以内的全频段均略差于RLCG模型仿真结果，符合理论预期。

根据正态分布的统计学特性，将7个测试结果求平均值作为该高速硅通孔的典型S参数，与差值较大的RLCG模型仿真结果进行对比，计算得到的幅值平均误差为0.938%，仿真结果与测试数据吻合度较高。结合实际工艺条件对测试及仿真结果的差异进行分析，发现影响测试及仿真结果吻合度的原因主要有以下三点：

1）理想情况下的理论模型仿真结果在实际工艺条件下难以完全达到，因此针对硅通孔结构的测试及仿真结果无法完全吻合，并且测得的传输损耗有可能比仿真预测值更低[12-14]，如图9(a)所示。

2）相较于理论模型，实际制备的测试结构有多处阻抗不连续，从而导致实际的回波损耗增大，如图9(b)所示；因此，S_{21}参数随着频率的增加比理论预测值下降得更快，如图9(a)所示。

3）衬底材料的电导率特性难以精确控制，是硅通孔在较低频段的传输特性与仿真结果贴合程度不同的主要原因（图9(a)）。在实际流片参数的基础上，小幅度调整仿真模型中最有可能和设计出现不一致的两项参数：硅衬底电导率以及绝缘层厚度，其结果如图10所示（点划线分别表示：实际流片参数（红）、增大衬底材料电导率（蓝）、减小衬底材料电导率（绿）、增大绝缘层厚度（黑）以及减小绝缘层厚度（青）的仿真结果）。绝缘层厚度的调整造成S_{21}参数曲线在2 GHz以内的低频范围内明显偏离实测结果。当减小衬底材料电导率时，2 GHz以上频段的S_{21}曲线会也会更加偏离实测值；只有当略微增大衬底材料电导率时，S_{21}曲线能够与实测结果的平均值有较好的全频段吻合。因此，衬底材料实际电导率与设计电导率的差异是造成高速硅通孔测试结果与仿真结果低频范围差异的主要原因。

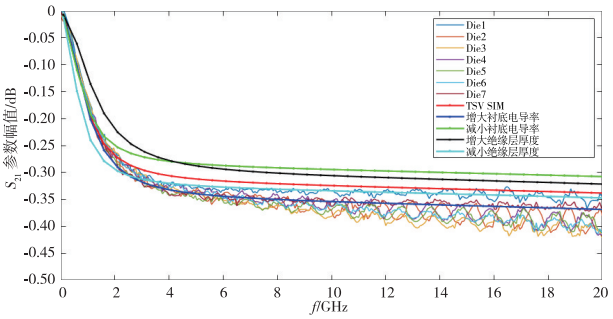


图10　7个Die的实际测试去嵌结果以及调整参数后的仿真结果对比

5　结论

针对高速光电三维集成系统中同轴硅通孔传输特性精确表征的需求，完成了硅通孔器件及去嵌

结构的仿真设计、样片制备及特性验证。通过建立RLCG等效电路模型确定了硅通孔样件的结构尺寸及工艺参数,采用"L-2L"去嵌方法设计测试去嵌结构并借助Matlab计算平台实现了对高速硅通孔结构的去嵌表征。采用8英寸三维集成工艺,制备了包含硅通孔的测试结构样品,将测试结果与"理想"仿真结果进行了对比,用于对去嵌结果准确度的评判。结果表明,高速硅通孔的RLCG仿真模型可以对尺寸及工艺参数进行良好的预测及优化,对实际工程应用具有重要的指导意义。

参考文献:

[1] Jokerst N M, Brooke M A, Cho S Y, et al. Optoelectronic microsystems integration [J]. Optics and Photonics News, 2003, 14(2): 26.

[2] Motoyoshi M. Through-Silicon Via (TSV)[J]. Proceedings of the IEEE, 2009, 97(1):43-48.

[3] Nayak D K, Banna S, Samal S K, et al. Power, performance, and cost comparisons of monolithic 3D ICs and TSV-based 3D ICs [C]//2015 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference, 2015: 1-2.

[4] Lee Y J, Lim S K. Co-optimization and analysis of signal, power, and thermal interconnects in 3-D ICs [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2011, 30(11): 1635-1648.

[5] Minami R, Han C, Matsushita K, et al. Effect of transmission line modeling using different de-embedding methods[C]//41st European Microwave Conference, 2011: 381-384.

[6] Wang R, Charles G, Franzon P. Modeling and compare of through-silicon-via (TSV) in high frequency [C]//IEEE International 3D Systems Integration Conference, 2012: 1-6.

[7] Gharib M A, Abdelzaher S, Partin-Vaisband I. An analytical model for high-frequency through silicon vias[C]//Proceedings of the Great Lakes Symposium on VLSI 2024. ACM, 2024: 282-286.

[8] Crupi G. Microwave De-Embedding From Theory to Applications [M]. Oxford: Academic Press, 2013.

[9] Song J, Ling F, Flynn G, et al. A de-embedding technique for interconnects [C]//IEEE 10th Topical Meeting on Electrical Performance of Electronic Packaging, 2001: 129-132.

[10] Kaan T K, Lim K, Kawai S, et al. Characterization of crossing transmission line using two-port measurements for millimeter-wave CMOS circuit design [J]. IEICE Transactions on Electronics, 2015, E98.C(1): 35-44.

[11] Chen Z, Xiong M, Li B, et al. Electrical characterization of coaxial silicon - insulator - silicon through-silicon vias: theoretical analysis and experiments [J]. IEEE Transactions on Electron Devices, 2016, 63(12): 4880-4887.

[12] Roger F, Kraft J, Molnar K, et al. TCAD electrical parameters extraction on Through Silicon Via (TSV) structures in a 0.35 μm analog mixed-signal CMOS [C]// Simulation of Semiconductor Processes and Devices (SISPAD), 2012:380-383.

[13] Wang F, Li H, Yu N. Fabrication and measurement of 3D LPF based on coaxial TSV[J]. Electronics Letters, 2019, 55 (2): 102-103.

[14] Kim J, Pak J S, Cho J, et al. High-frequency scalable electrical model and analysis of a through silicon *via* (TSV) [J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2011, 1(2): 181-195.

作者简介:

谢 寒(1988—),男,重庆市人,工程师,主要研究方向为三维集成高频光电器件集成仿真设计、测试数据处理、去嵌及算法实现;基于FPGA的数字电路系统级仿真设计与开发;图像处理算法应用优化。