光电器件

DOI: 10.16818/j.issn1001－5868.20250206002

基于复位噪声抑制与LOFIC技术的高动态CIS研究

赵守强,申人升,曹 伉,谷 硕,沈 杰,常玉春*

(大连理工大学 集成电路学院,辽宁 大连 116000)

摘 要: 针对全局快门CMOS图像传感器(CIS)中传统5T像素噪声较大、动态范围有限,以及帧率受模数转换器(ADC)量化速度制约的问题,文章提出一种结合复位噪声抑制与横向溢出积分电容(LOFIC)技术的高动态范围像素设计方案。采用渐进式源随器反馈复位方法,在像素内实现对浮动扩散(FD)节点的复位噪声抑制;所设计的LOFIC结构可在不减小转换增益的前提下扩展满阱容量与动态范围;同时,提出一种半斜坡双积分式模数转换器(DS ADC),通过将完整斜坡拆分为两个斜率相反的半斜坡,实现在不增加功耗和面积的前提下量化速度翻倍。仿真结果表明,该全局快门像素噪声仅为0.78 e^-,满阱容量为109.36 ke^-,动态范围达103 dB;在166.7 MHz时钟频率下,DS ADC采样率为303 kSps,量化像素的复位电压与信号电压仅需4 μs。

关键词: CIS;高动态范围;复位噪声;DS ADC

中图分类号: TN386.5 **文章编号:** 1001－5868(2025)05－0848－07

Research on High-Dynamic CIS Based on Reset Noise Suppression and LOFIC Technology

ZHAO Shouqiang, SHEN Rensheng, CAO Kang, GU Shuo, SHEN Jie, CHANG Yuchun

(**School of Integrated Circuits, Dalian University of Technology, Dalian 116000, CHN**)

Abstract: In this study, a high-dynamic-range pixel design that combines reset noise suppression with lateral overflow integration capacitor (LOFIC) technology is proposed. The design aims to mitigate high noise, overcome the limited dynamic range in traditional 5T pixels of global shutter CMOS image sensors, and remove the constraint on frame rate due to ADC quantization speed. A progressive source-follower feedback reset method is adopted to achieve reset noise suppression for the floating diffusion (FD) node within the pixel. The designed LOFIC structure can expand the full-well capacity and dynamic range without reducing the conversion gain. In addition, a dual semi-ramp-based dual-slope ADC (DS ADC) is proposed; it splits the complete ramp into two semi-ramps with opposite slopes, thereby doubling the quantization speed without increasing the power consumption or area. Simulation results demonstrate that the global shutter pixel exhibits a noise of only 0.78 e^-, full-well capacity of 109.36 ke^-, and dynamic range of 103 dB. Under a clock frequency of 166.7 MHz, the DS ADC achieves a sampling rate of 303 kSps, with a total quantization time of only 4 μs for reset voltage and signal voltage.

Key words: CIS; high dynamic range; reset noise; DS ADC

收稿日期:2025－02－06.

基金项目:国家重点研发计划课题(2023YFB4503003);辽宁省科技计划联合计划项目(2024JH2,102600042).

* **通信作者:**常玉春

0　引言

CMOS图像传感器(CIS)的快门机制主要分为全局快门和卷帘快门两种。其中,5T像素结构作为一种常用的全局快门像素方案,因其可实现全局曝光金额抗光晕功能而被广泛采用。然而,在全局快门模式下,该结构无法直接实现相关双采样(CDS),导致其噪声问题较为突出,进而限制了图像传感器的动态范围和成像质量。CIS的动态范围主要取决于两个方面:一是弱光下的噪声水平,决定了可检测的最小光强;二是可容纳的最大光强,通常受限于像素的满阱容量[1-2]。

为提高5T像素全局快门CIS的动态范围与帧率,本文从三个关键方面展开电路设计:首先,提出在5T像素内部对浮动扩散节点采用渐进式复位与源随器复用反馈复位相结合的方法,实现了像素级的复位噪声抑制,显著降低了读出噪声[3-5];其次,设计了一种适用于5T全局快门像素的横向溢出积分电容结构,可在强光条件下有效抑制光晕,并将溢出的电荷存储于独立电容后继续读出,从而进一步提升动态范围,且不影响FD电容和转换增益[6];此外,还设计了一款基于正负双半斜坡的模数转换器(Dual-Slope ADC,DS ADC),通过将传统单斜坡拆分成两个不同斜率的半斜坡,实现了量化速度的翻倍,显著提高了图像传感器的帧率,而未增加额外的功耗和面积。

仿真结果表明,本文设计的全局快门像素结构总积分噪声为0.78 e^-,带LOFIC满阱容量为109.36 ke^-,动态范围达到103 dB。正常模式下DS ADC量化像素的复位电压与信号电压仅需4 μs,在LOFIC模式下加上LOFIC信号的量化时间则只需要7.5 μs。

1　架构设计

全局快门5T像素结构如图1所示。相比于4T像素,5T结构增加了一个全局复位晶体管(GS),使得浮动FD节点与钳位光电二极管能够分别独立复位,进而实现全局曝光和边积分边读出功能。增加的全局复位晶体管还可用于实现抗光晕。在强光下,PPD存储的电荷将很快达到满阱,继续曝光会导致多余的电荷溢出并扩散到相邻像素,使图像出现光晕现象。而通过控制GS栅极电位,使其在曝光期间处于一种弱导通状态,可以将过溢电荷泄放到地,从而避免图像中出现光晕。本文的LOFIC结构亦是基于此原理[1]。

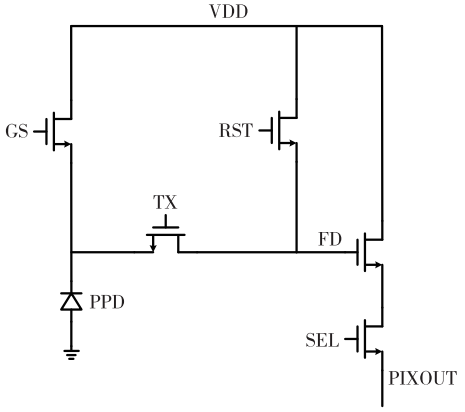


图1　全局快门5T像素

基于5T结构设计了一款低复位噪声、高动态范围的全局快门像素,CIS架构与像素结构如图2所示。在列级上增加了复位噪声抑制相关电路,像素内增加了LOFIC电容结构,两者工作过程相互独立,可分别单独应用于5T像素或其他结构像素中。其中,虚线框内为像素级电路,框外为列级电路。

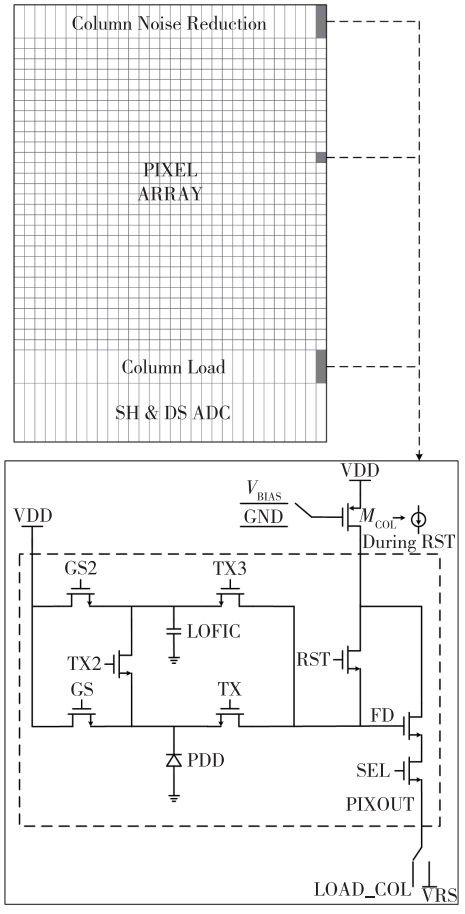


图2　全局快门CIS与像素整体结构

针对不同场景下的应用需求，该像素包括两个工作模式：跨帧曝光模式和LOFIC高动态模式。在跨帧曝光模式下，LOFIC通道被关闭，像素可以实现边积分边读出，适用于暗场环境，通过像素内反馈复位，可以降低噪声、提高动态范围；在LOFIC模式下，当在噪声被抑制的同时，亮场下的过溢电荷也被单独储存和读出，避免了光晕问题，且进一步提高了图像传感器的动态范围。

如图3所示为像素LOFIC模式下整体时序，主要分为全局阶段与行读出阶段，其中GS，TX1和TX2为全局信号，SEL，RST和TX3为行控制信号[2]。在全局阶段进行曝光和过溢电荷转移等操作，行读出阶段进行读出与复位操作，需依次读出PPD信号V_{SIG1}、复位信号V_{RST}与过溢电荷信号V_{SIG2}。读出的像素信号通过列级正负斜率半斜坡DS ADC进行高速量化。

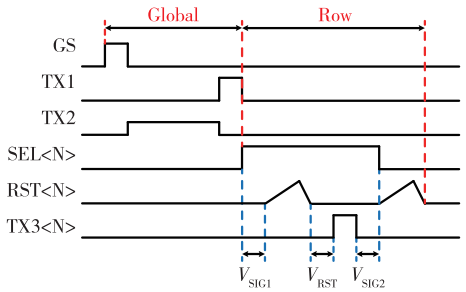


图3 像素整体时序

2 电路设计

像素的复位噪声抑制技术与LOFIC结构，是本文实现高动态范围的两项关键技术；而正负斜率半斜坡DS ADC的设计，则能够有效提升信号读出速度和图像传感器帧率。

2.1 复位噪声抑制

如图4所示为复位噪声抑制电路及其等效环路结构，仅在列级上增加了一个PMOS管和两个选通开关。基本原理如下：在复位阶段，SEL管保持导通并将源极切换到固定电平，作为交流地；SF管漏极切换到PMOS电流源，PMOS作为负载，源随器SF即被复用为共源级放大器；放大器输入输出（即SF栅极与漏极）之间的寄生电容作为反馈电容；复位管RST通过斜坡进行渐进式复位，亦相当于阻值逐渐下降的反馈电阻。即可在像素内实现了对FD节点的负反馈复位，如图4中等效环路所示，从而抑制复位过程中FD节点的噪声波动。

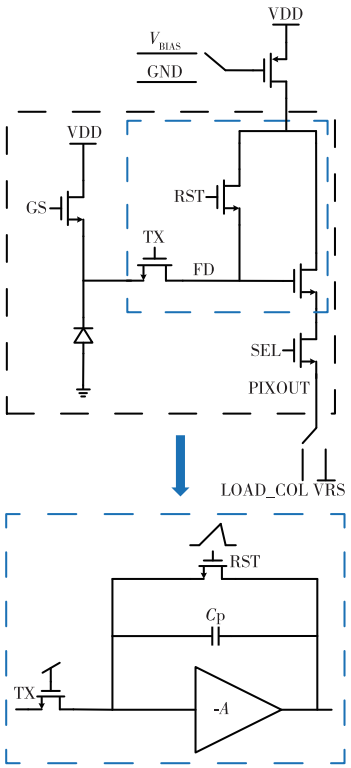


图4 复位噪声抑制电路及其等效环路

通过给复位管一个渐变的斜坡信号，使其阻值缓慢变化，可以实现一种“软复位”的效果，使复位过程平滑过渡，有效减少噪声的突变，并能够使反馈环路更好地稳定[3-4]。

图5为带复位噪声抑制环路的5T像素工作时序。其中GS为全局曝光信号，可跨帧曝光；TX为全局转移信号，曝光结束后将所有像素PPD中积累的电荷转移到FD节点；SEL为行选通控制信号，逐行选通像素进行读出，且只能先读出V_{SIG}再读出V_{RST}，无法进行CDS；因此在逐行读出V_{RST}之前，需先在RST与RSPIX控制下进行渐进式反馈复位，从而抑制复位噪声；RSPIX为列级信号，负责控制电流源与固定电平的切换。

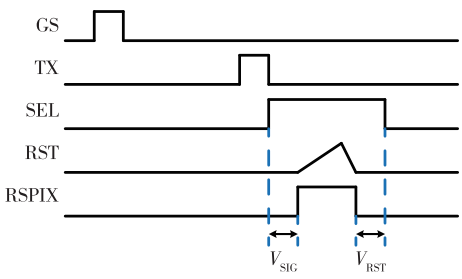


图5 带复位噪声抑制的5T像素工作时序

整个行读出过程所需时间为：

$$T_{ROW_READ} = T_{READ_SIG} + T_{RST} + T_{READ_RST} \quad (1)$$

作为对比，普通5T像素行读出时间为：

$$T'_{ROW_READ}=T'_{READ_SIG}+T'_{RST}+T'_{READ_RST} \quad (2)$$

式中，T_{RST}为本文设计像素的软复位与反馈复位所需时间，T'_{RST}为普通5T像素的硬复位所需时间，T_{RST}仅略大于T'_{RST}，没有明显牺牲行读出时间。

2.2　LOFIC结构

LOFIC结构如图6所示，在5T像素的基础上，增加了两个TX管与一个全局复位管，以及一个用于存储过溢电荷的LOFIC电容，电容采用遮光PPD以确保其势阱深度小于FD点。其基本原理为：在曝光期间，转移晶体管TX2处于弱导通状态，当PPD积累电荷达到满阱后，继续曝光所产生的过溢电荷将通过TX2转移到存储节点LOFIC；在读出阶段，依次读出PPD信号与复位信号后，再打开TX3，将LOFIC上储存的过溢电荷转移到FD并读出。

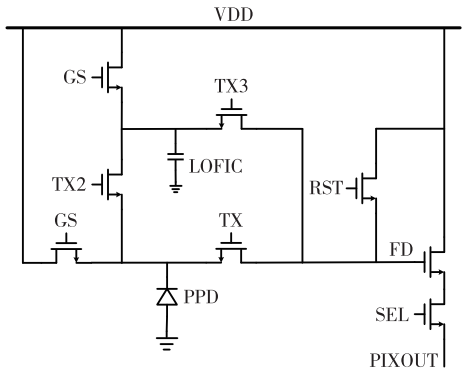


图6　LOFIC像素结构

如公式(3)所示，相比于扩展FD的高动态像素，本设计既不会增大FD电容，避免了降低转换增益，也不需要双增益读出与片外合成等繁琐操作，节省了功耗与时间；而如果直接增加PPD面积，则会存在FD满阱容量小于PPD满阱的问题[6-7]。

$$CVG=\frac{q}{C_{FD}} \quad (3)$$

式中，CVG为转换增益，$q=1.6\times10^{-19}$ C。

通过增加一个独立的存储节点来存储过溢电荷，只需要分别对PPD与LOFIC所储存的信号进行读出并相加即可得到完整的像素信号，既实现了抗光晕，又显著提高了动态范围。该像素动态范围通过如下公式计算：

$$DR=20\lg\left(\frac{FWC}{Noise}\right)=20\lg\left(\frac{FWC1+FWC2}{Noise}\right) \quad (4)$$

式中，$FWC1$与$FWC2$分别为PPD与LOFIC电容满阱容量，另外FD点满阱需略大于两者[8]。

图7为LOFIC工作时序，在全局曝光并转移PPD电荷后，读出阶段共包括四个步骤：导通相应行选开关SEL，读出该行像素信号V_{SIG1}；导通复位开关RST，对FD进行复位，并读出该行复位信号V_{RST}；导通TX3，转移过溢电荷并读出相应V_{SIG2}；最后再次对FD进行复位。

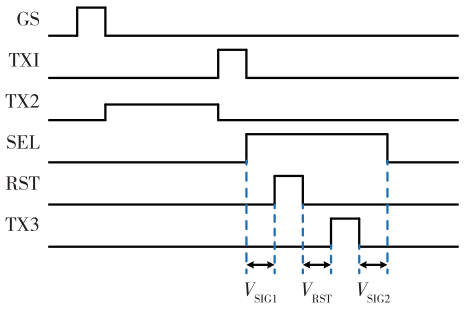


图7　LOFIC工作时序

读出的信号经过ADC量化后，需在数字域将PPD与过溢电荷信号相加，表达式为：

$$V_{PIX}=(V_{SIG1}+V_{SIG2})-2V_{RST} \quad (5)$$

可见，虽然像素信号V_{SIG1}只能做差分双采样，过溢信号V_{SIG2}仍然实现了相关双采样，配合噪声抑制可以实现更低的噪声。

2.3　高速DS ADC

像素信号读出后，通过列级ADC进行量化。设计了一款正负斜率半斜坡相结合的10 bit DS ADC，基本思想为通过预比较操作来缩短量化时间，可看作一种增益自适应斜坡ADC[9]。

DS ADC电路结构如图8所示，基本原理为将一个完整的斜坡拆分为两个斜率相反的半斜坡，在开始量化之前预先判断输入信号大小，根据判断结果返回一个标志位。如果输入信号大于中间值则标志位为0，选择负斜率的半斜坡进行比较；反之标志位为1，与正斜率半斜坡比较。当标志位为0时，计数器计数结果N即为量化结果；当标志位为1时，量化结果则为$1\,024-N$。因此，在没有引入更大面积和功耗的情况下，ADC的量化速度得以翻倍，且10 bit ADC只需要用9 bit计数器进行计数，进一步降低了电路面积和功耗。

如图9所示为DS ADC量化LOFIC模式下像素信号的斜坡波形，量化范围为$V_{min}\sim V_{max}$，为避免预比较时因比较器判别错误等导致采样信号超出斜坡范围的情况，半斜坡在达到中间值V_{md}后会继续上升或下降一小段，因此每个半斜坡所占用时钟

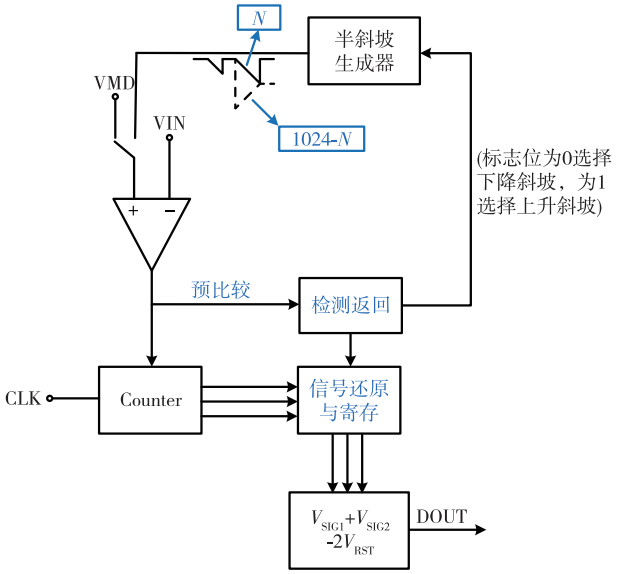


图 8 DS ADC 电路结构

CLK 大于 512 个。实际工作中，依次量化 V_{RST}，V_{SIG1} 和 V_{SIG2} 总共只需要：

$$T_{tot}=[140+(512+m)\times 2+n]\cdot CLK \quad (6)$$

式中，m 为斜坡裕量，n 为斜坡复位等过程所需时间。

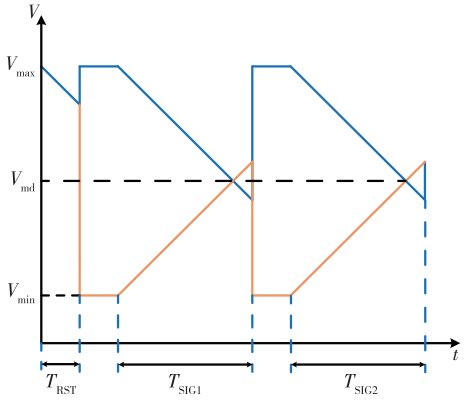


图 9 DS ADC 斜坡波形

DS ADC 中信号还原逻辑电路和比较器分别如图 10 和 11 所示。信号还原逻辑主要由 D 触发器、多路选择器、寄存器和减法器构成。D 触发器在预比较信号 PREN 控制下，用于存储标志位 FLAG，即预比较阶段比较器输出 CMP；级联多路选择器在 FLAG 与信号 RSTN 控制下，可在比较器输出发生翻转时产生一个上升沿，在上升沿的作用下，寄存器将此时的计数器结果 Q<0:9>进行储存；寄存器输出经过减法器与 1 024 作差，在 FLAG 控制下，多路选择器输出还原后的实际信号 DOUT<0:9>。比较器采用了一款差分耦合对管推挽比较器作为静态比较器，其具有更低的回踢噪声，差分耦合对管可以提高精度，推挽输出则可以提高比较速度。

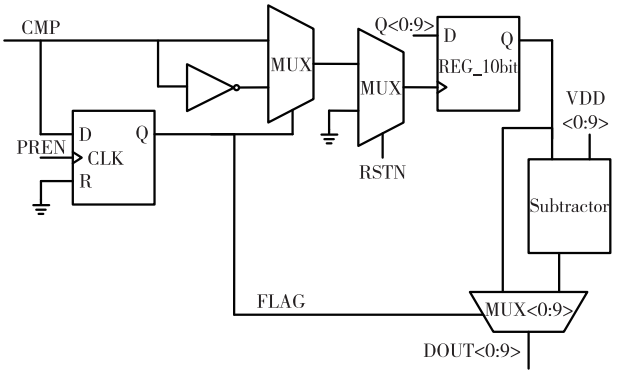


图 10 DS ADC 信号还原逻辑电路

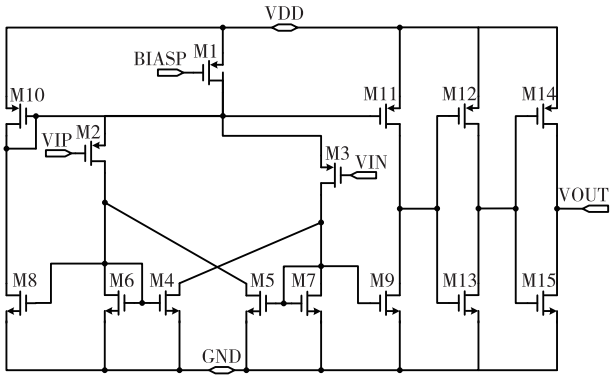


图 11 差分耦合对管推挽比较器

3 仿真结果

采用 180 nm CMOS 工艺，基于 Cadence 软件平台对所设计像素的复位噪声抑制与 LOFIC 技术以及 DS ADC 进行仿真验证。

图 12 和 13 分别为加入复位噪声抑制前后 5T 像素噪声随频率变化曲线。从 1 Hz～1 MHz 积分得到降噪前后噪声电压分别为 219 μ*V* 和 25 μ*V*，换算电子后分别为 6.79 e^- 和 0.78 e^-。

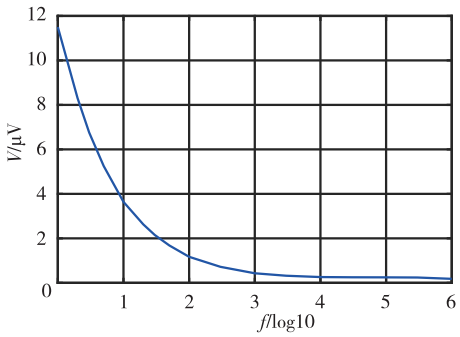


图 12 普通 5T 像素噪声曲线

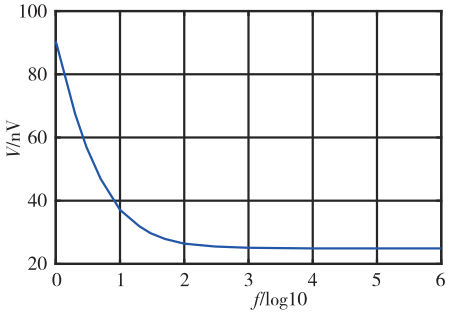


图 13　复位噪声抑制 5T 像素噪声曲线

图 14 为大光强下曝光过程中 PPD 与 LOFIC 电容电压变化波形，可以直观地看到在 PPD 接近满阱后，继续曝光所产生的过溢电荷通过弱开启的 TX3 转移到了 LOFIC 电容，扩展了像素满阱。

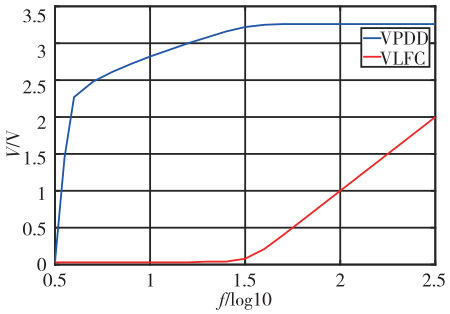


图 14　曝光积分与过溢电荷转移曲线

图 15 为满阱测试曲线，随着测试光强的升高，FD 点电压先是线性上升达到线性满阱，之后逐渐达到饱和满阱，此时 $\Delta V=1.93$ V，可得满阱容量为 59.95 ke$^-$，计算公式如下：

$$FWC_{FD}=\frac{\Delta V\cdot C}{q} \tag{7}$$

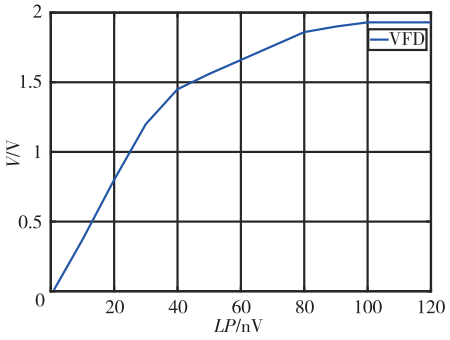


图 15　满阱测试曲线

FWC_{FD} 大于 PPD 与 LOFIC 满阱容量，故实际满阱容量为 $FWC1$ 与 $FWC2$ 之和，等于 109.36 ke$^-$，根据公式(4)可得像素实际动态范围为 103 dB。

图 16 所示为所设计的高动态像素与 DS ADC 联合仿真波形图。依次对于像素一次曝光后的三个信号 V_{RST}，V_{SIG1}，V_{SIG2} 进行量化。其中 CLKS 负责对输入信号的采样保持，PREC 为预比较与计数器复位控制信号，PRE_C 比 CLKS 下降沿略有延迟；VIN 为采样的输入信号，VIP 为根据预比较标志位生成的上升或下降斜坡；CMP 为比较器输出，采样阶段负责产生标志位 FLAG，量化阶段负责产生计数器锁存信号 CLK_R 上升沿。图 17 所示为动态仿真结果，ADC 有效位数为 8.3 bit。

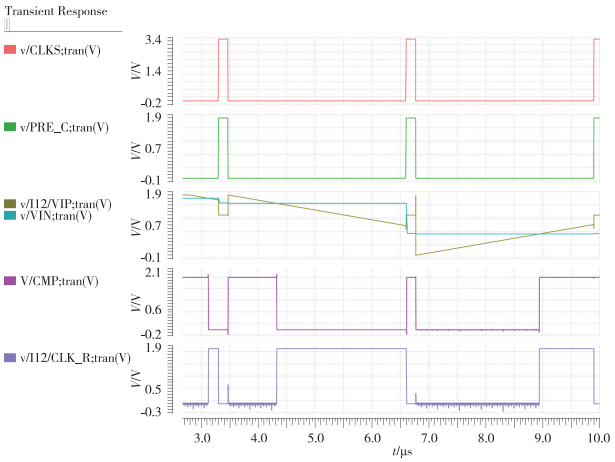


图 16　DS ADC 仿真波形

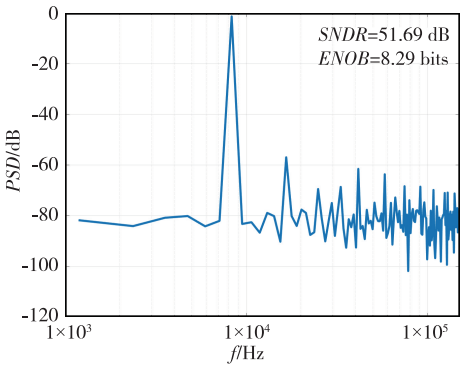


图 17　DS ADC 动态仿真

表 1 为参考文献像素性能参数对比。同样在全局快门模式下，本文噪声较文献[6]减小 3.22 e$^-$，较文献[7]减小 1.92 e$^-$，较文献[8]减小 0.7 e$^-$；动态范围较文献[6]提高 13 dB，较文献[7]提高 11 dB，较文献[8]提高 25 dB。

表 1　像素指标参数对比

指标参数	文献[6]	文献[7]	文献[8]	本文
工艺/nm	65	—	180	180
存储类型	电压域	电荷域	电压域	电荷域
尺寸/μs	4×4	7.5×7.5	12×12	13×13
噪声/e$^-$	4	2.7	1.48	0.78
DR/dB	90	92	78	103

4 总结

本文基于5T像素，设计了一款带有复位噪声抑制与LOFIC功能的高动态全局快门像素，并设计了用于提高CIS帧率的DS ADC。通过渐进式源随器复用反馈复位，仅在列级上引入了几个晶体管，即有效减小了FD点复位噪声，解决了5T像素因无法进行CDS而噪声过大的问题；所设计的LOFIC结构在不牺牲转换增益的基础上，进一步提高了像素动态范围，并实现了抗光晕；设计的DS ADC通过正负斜率半斜坡相结合，使ADC量化速度得以翻倍，在不牺牲较大功耗与面积的前提下，将显著提高图像传感器的帧率。仿真结果表明，像素噪声为0.78 e^-，满阱容量109.36 ke^-，动态范围103 dB，LOFIC模式下，DS ADC量化像素一帧内依次输出的三个信号仅需7.5 μs。

参考文献：

[1] Velichko S. Overview of CMOS global shutter pixels [J]. IEEE Transactions on Electron Devices, 2022, 69(6): 2806-2814.

[2] 马 成. 基于高动态像素及高速低功耗ADC的CMOS图像传感器研究[D]. 长春：吉林大学, 2019.
Ma Cheng. Research on CMOS lmage sensors with high dynamicrange pixel and high speed low power ADC [D]. Changchun: Jilin University, 2019.

[3] Pain B, Cunningham T J, Hancock B, et al. Reset noise suppression in two-dimensional CMOS photodiode pixels through column-based feedback-reset [C]//Digest. International Electron Devices Meeting, 2002: 809-812.

[4] Kozlowski L J, Rossi G, Blanquart L, et al. Pixel noise suppression *via* SoC management of tapered reset in a 1920/spl times/1080 CMOS image sensor [J]. IEEE Journal of Solid-State Circuits, 2005, 40(12): 2766-2776.

[5] Fowler B, Godfrey M D, Mims S. Reset noise reduction in capacitive sensors [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2006, 53(8): 1658-1669.

[6] Miyauchi K, Mori K, Isozaki T, et al. Paper] 4.0 μm stacked voltage mode global shutter pixels with single exposure high dynamic range and phase detection auto focus capability [J]. ITE Transactions on Media Technology and Applications, 2022, 10(4): 234-242.

[7] Yasutomi K, Itoh S, Kawahito S. A 2.7e- temporal noise 99.7% shutter efficiency 92dB dynamic range CMOS image sensor with dual global shutter pixels [C]//2010 IEEE International Solid-State Circuits Conference -(ISSCC), 2010: 398-399.

[8] Cao K, Gu S, Lu P, et al. A 1.48e-rms noise global shutter pixel with 78dB dynamic range used for CMOS image sensor [C]//2024 13th International Conference on Communications, Circuits and Systems (ICCCAS), 2024: 224-228.

[9] Hung L, Matsuura K, Suto H, et al. An 0.08 e^- pJ/step 14-bit gain-adaptive single-slope column ADC with enhanced HDR function for high-quality imagers [C]//2023 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits), 2023: 1-2.

作者简介：

赵守强(1999—)，男，山东省潍坊市人，硕士研究生，研究方向为CMOS图像传感器读出电路；

常玉春(1973—)，男，教授，博士生导师，研究方向包括CMOS图像传感器及图像信号处理电路等。