光电器件

DOI：10.16818/j.issn1001－5868.20250801001

基于FPGA的多通道SNSPD时间抖动测试系统

巫君杰[1],赵明豪[1],张兴雨[2],陈　岱[2],徐光照[2],史经浩[2],蒋燕阳[2],吕超林[2*]

（1. 无锡学院集成电路科学与工程学院，江苏 无锡 214105；2. 赋同量子科技(上海)有限公司，上海 200050）

摘　要： 超导纳米线单光子探测器(SNSPD)因其超低时间抖动,被广泛应用于飞行时间激光测距、光时域反射仪和量子密钥分发等领域。针对多通道SNSPD系统,提出一种以现场可编程门阵列芯片为核心的时间抖动测量方案。该方案结合脉冲计数法和延迟链法,设计了包含“粗”计数模块和“细”计数模块的时间-数字转换器电路,并引入了以码密度校准法为核心的校准模块以降低测量误差。对该方案的分辨率、非线性度和精度进行标定,测试结果表明:3通道平均分辨率为21.26 ps;4条延迟链平均DNL为(－0.15,2.52)LSB,平均INL为(－4.26,5.44)LSB;1 000 ns以内测试精度优于50 ps。将该方案应用于高性能SNSPD系统进行实测,测得系统时间抖动为114.4 ps。

关键词： 超导纳米线单光子探测器；现场可编程门阵列；多通道；时间抖动

中图分类号： TN202　**文章编号：** 1001－5868(2025)05－0855－06

Time Jitter Measurement System for Multi-Channel Superconducting Nanowire Single-Photon Detector Based on FPGA

WU Junjie[1], ZHAO Minghao[1], ZHANG Xingyu[2], CHEN Dai[2], XU Guangzhao[2], SHI Jinghao[2], JIANG Yanyang[2], LV Chaolin[2]

(1. School of Integrated Circuit Science and Engineering, Wuxi University, Wuxi 214105, CHN; 2. Photon Technology (Shanghai) Co., Ltd., Shanghai 200050, CHN)

Abstract: The superconducting nanowire single-photon detector (SNSPD) is widely used in fields such as time-of-flight laser ranging, optical time domain reflectometry, and quantum key distribution owing to its ultra-low timing jitter. For multi-channel SNSPD systems, a timing jitter measurement scheme centered around a field-programmable gate array (FPGA) chip is proposed. This scheme combines pulse counting and delay chain methods to design a time-to-digital converter circuit primarily consisting of a “coarse” counting module and a “fine” counting module. To reduce measurement errors, a calibration module centered around the code density calibration method was designed. The resolution, nonlinearity, and accuracy of this scheme were calibrated separately. The test results are as follows: the average resolution for the three channels is 21.26 ps; the average differential non-linearity (DNL) for the four delay chains is (－0.15, 2.52) LSB, and the average integral non-linearity (INL) is (－4.26, 5.44) LSB. The test accuracy within 1 000 ns is better than that within 50 ps. This scheme was validated in high-performance SNSPD systems, with a measured system timing jitter of 114.4 ps.

Key words: superconducting nanowire single-photon detector; field-programmable gate array; multi-channel; time jitter

收稿日期：2025－07－30.

基金项目：上海市2024年度量子科技领域基金资助项目(25LZ2600500).

* **通信作者：**吕超林

0 引言

超导纳米线单光子探测器(SNSPD)自首次被报道以来,经过多年的发展,其性能得到显著提高,被广泛应用于量子密钥分发、光子量子计算机、量子光学、卫星激光测距和荧光寿命测量等领域[1-4]。低时间抖动是SNSPD在时间相关应用中的一个独特优点。在飞行时间(ToF)激光测距领域,SNSPD的时间抖动决定测距的精度;在量子密钥分发(QKD)领域,量子比特误码率和SNSPD的时间抖动密切相关,抖动越大,误码率越高。示波器和时间相关单光子计数(TCSPC)是测量SNSPD时间抖动最常用的方法且精度极高,但其功能单一、拓展性差,同时存在笨重、难集成等问题。同时,SNSPD也在向集成化、多通道等应用方向迅速发展,因此,研发一款面向多通道SNSPD的功能易拓展、时间精度适中、体积轻便易集成的时间抖动测量设备对阵列化器件的实际应用具有重要意义。

时间抖动测量的核心是将包含时间信息的模拟信号转化为数字信号,即时间数字转换(TDC)电路。相较于商用TDC芯片,在现场可编程门阵列(FPGA)内部构建TDC模块具有时间精度高、设计参数可调以及成本低等显著优势。2016年,Won等提出一种针对抽头延迟链的调谐延迟链TDC设计方法[5],利用该方法能有效降低非线性、均方根量化误差和测量不确定度。2019年,Song等在FPGA中构造一个单延迟链来实现一个具有事件采样体系结构的TDC[6],其分辨率为5.3 ps,吞吐率为350 MHz。

本文设计了一种基于FPGA的多通道SNSPD时间抖动测试系统。该方案在FPGA内部构建基于脉冲计数法和延迟链法的TDC电路,并基于模块化思想,将单通道TDC电路模块化,扩展得到3通道TDC电路。实验测试结果表明,3通道平均分辨率为21.26 ps;4条延迟链平均DNL为(−0.15,2.52)LSB,平均INL为(−4.26,5.44)LSB;1 000 ns以内测试精度35.28 ps。最终,基于该方案的高性能SNSPD时间抖动测试结果为114.4 ps,与商用高性能仪器测试结果相近,能够满足SNSPD系统时间抖动测试需求。

1 方案设计

1.1 基本原理

时间抖动是指理想的周期性响应电压脉冲与真实到达时间的偏差。该参数通常通过测量SNSPD响应信号和同步信号的时差T得到[7]。在FPGA测量方案中,待测时间T的计算式为:

$$T=N\times T_N+T_1-T_2 \tag{1}$$

式中,$N\times T_N$为时钟CLK可完整计数的时间,T_1为同步信号(START通道)存在的测量误差,T_2为SNSPD响应信号(STOP通道)存在的测量误差。本方案采用脉冲计数法测量$N\times T_N$部分时间,即"粗"计数;采用延迟链法测量T_1和T_2部分,即"细"计数。本方案将脉冲计数法和延迟链法相结合,不仅可以保证测量范围,还能保证测量精度。

1.2 总体架构

本方案硬件设计基于Xilinx Artix-7系列FPGA(型号:XC7A35T-2FGG484)实现。TDC电路总体架构图如图1所示,主要由START/STOP通道"细"计数模块、"粗"计数模块、数据处理模块、数据传输UART模块和顶层状态机模块组成。其中,START/STOP通道"细"计数模块结构相似,当需要多通道测量时,如果FPGA资源足够,很容易实现多通道扩展;"粗"计数模块用于测量参考时钟可完整计数的部分;数据处理模块按照公式(1)完成时差计算;数据传输模块用于将采集到的时间信息传输到上位机;顶层状态机模块用于协调各模块之间的工作。

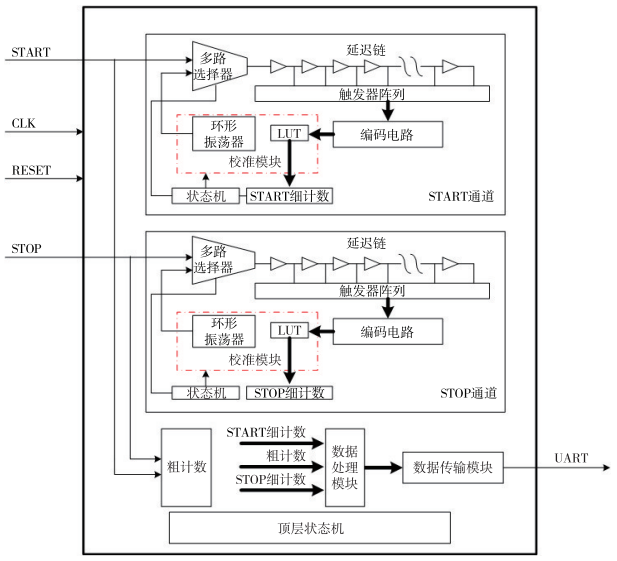


图1 基于FPGA的TDC电路总体架构图

2 "细计数"模块设计

"细"计数模块是实现SNSPD时间抖动测量的关键,"细"计数模块内部结构如图1中START/STOP通道所示,主要由延迟链、触发器阵列、编码

电路、校准模块和状态机构成。下面将详细介绍各模块的设计。

2.1　延迟链电路设计

本方案“细”计数模块的实现方法是延迟链法，该方法的分辨率将由所选延迟单元的自身延迟来定义。在FPGA中可作为延迟单元的资源有缓冲器、DSP和CARRY4等，CARRY4是FPGA实现高性能算数运算和数字信号处理的关键部件，当需要大位宽数据运算时，CARRY4可通过级联构成更大位宽的加/减法器。Xilinx Artix-7（35T）CARRY4的内部主要包含4个多路选择器（MUXCY）和4个异或门（XORCY）。一个CARRY4有10 bit独立的输入和8 bit独立的输出。其中，输入DI的位宽为4 bit，代表数据输入；输入S的位宽为4 bit，代表两个操作数的异或结果；输入CI的位宽为1 bit，代表CARRY4的溢出端口；输入CYINIT的位宽为1 bit，当使用CARRY4构成延迟链时，第一级CARRY4的CYINIT端口值为CI端口的初始化值；输出O的位宽为4 bit，表示运算结果；输出CO的位宽为4 bit，表示进位输出。

本方案将START信号连接到第一级CARRY4的CYINIT端口，DI端口配置为4’b0000，S端口配置为4’b1111，每一级CARRY4的CO3端口连接到上一级CARRY4的CI端口，最后，将各级CARRY4的进位端口CO全部引出到触发器阵列。按照上述方式配置，即可用一个CARRY4构成一个4抽头的延迟链。本方案选用的FPGA，单列最多包含150个CARRY4。故所设计的单列级联100个CARRY4，根据上述分析，即可引出400个抽头。

2.2　触发器阵列电路设计

CARRY4不具备存储功能，因此需要设计存储电路将CARRY4引出的400个抽头存储起来。本方案调用Xilinx原语FDRE设计触发器阵列电路。FDRE是一个D型触发器，该触发器具有数据输入端口D、时钟使能端口CE、复位端口R、时钟端口C、输出端口Q和初始化端口INTN。在本方案中，由于CLK与延迟链电路触发信号不同步，即异步采样，异步采样容易发生亚稳态。因此，本方案设计选择两级存储的结构，即将上一级触发器的输出端口连接到下一级触发器的输入端口，该存储结构可有效降低亚稳态发生的概率。在FPGA中，触发器阵列电路设计和延迟链电路设计结构相似，核心均为循环生成语句。

图2为综合后的两级延迟链与触发器阵列电路RTL简化视图，该部分电路在时钟上升沿采样后，触发器阵列电路输出类似“1111…000”格式或“0000…11111”格式的编码，即温度码。其中，输出为“1”的触发器表示延迟链触发信号传播到了对应的延迟单元，输出为“0”的触发器则表示触发信号没有传播到对应的延迟单元。通过计数输出为“1”的触发器，计总数为“N”，可表征延迟链触发信号具体传播了多少个延迟单元。若能进一步表征出1个延迟单元的具体延迟时间“t”，即可通过“$N\times t$”计算出“细”计数模块的测量结果。

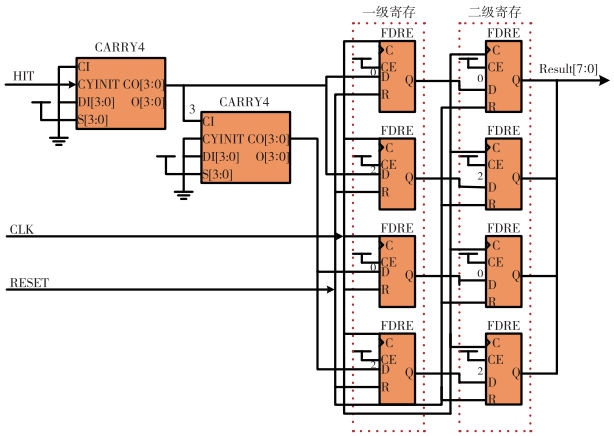


图2　两级延迟链与触发器阵列电路RTL简化视图

2.3　编码电路设计

触发器阵列电路输出的数据需要一个编码电路将输出的温度码转换为可读的二进制码。针对温度码，常见的编码方式有顺序编码法、累加编码法和折半编码法。周磊等在Altera的Cyclone Ⅲ系列FPGA中，从LUT使用个数、最短路径延时、最长路径延时和输出毛刺四个方面比较了上述三种算法，折半编码法较前两者在参与比较的四个方面都有极大的优势[8]。因此，本方案选用折半编码法设计编码电路。

2.4　校准电路设计

在延迟链电路中，用于量化时间的每个延迟单元应该有相等的延迟时间。然而，FPGA内部电压、温度和功率等因素会导致延迟单元的延迟时间不一致。为了克服这些因素的影响，需要对延迟链电路进行校准，码密度校准法是TDC校准的常用方法之一。码密度校准法的基本原理为：以大量的随机信号作为延迟链电路的触发信号，每个延迟单元的具体延迟时间决定了被该随机信号击中的可能性。延迟链电路的触发信号是随机的，因此可以用概率

密度函数来描述每个延迟单元的具体延迟时间[9-11]。

例如，延迟链电路的第i个延迟单元的具体延迟时间t_i可表示为：

$$t_i = \frac{T_{clk} \times N_i}{N_{total}} \tag{2}$$

式中，T_{clk}为“细”计数模块延迟链的长度，由方案设计原理可知，“细”计数模块延迟链的长度应大于等于“粗”计数模块计数时钟的一个时钟周期，即大于等于5 ns；N_i为第i个延迟单元被随机信号命中的次数；N_{total}是随机信号的总数，该值主要与设计误差和T_{clk}有关。

根据上述分析，若在FPGA中实现码密度校准法需要设计随机信号发生模块和查找表电路。本方案在FPGA中设计了一个与时钟异步的环形振荡器作为随机信号发生模块，并加入DONT_TOUCH约束，使得在FPGA综合时更加稳定。查找表电路结构主要由两级RAM和一个计算单元组成，第一级RAM中存储的是各延迟单元被随机信号击中的次数，第二级RAM中存储的是校准后的“细”测量结果，计算单元负责两级RAM之间的数据传递。

3 多通道TDC电路设计

SNSPD逐渐由单像元向多像元阵列化发展，因此多通道测试显得尤为重要。本方案采用模块化设计思想，其中延迟链电路、编码电路和校准电路均采用了模块化设计。当需要多通道扩展时，只需在软件设计的顶层模块中实例化相应模块端口，即可实现多通道TDC。在测量多通道SNSPD的时间抖动时，系统会提供一个同步信号和多路SNSPD响应信号，其中同步信号被用作START信号，SNSPD响应信号则作为STOP信号。基于上述特征，本方案设计了一个START信号“细”计数模块，多个STOP信号“细”计数模块，结构如图3所示。

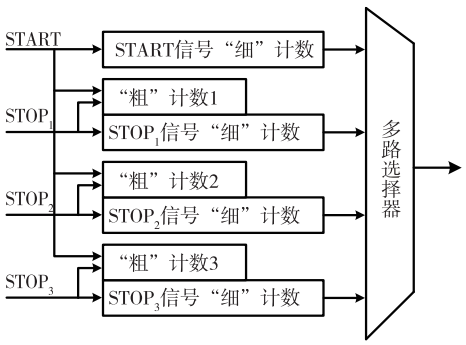


图3 多通道TDC结构示意图

结合选用的Xilinx Artix-7系列FPGA设计资源，本方案在单通道TDC基础上，实例化了两个STOP信号“细”计数模块，实现了3通道TDC电路。3通道TDC电路在FPGA中布局布线应包含4条延迟链，即1条START链和3条STOP链。根据SNSPD应用中所需的实际通道数量，可灵活增减设计中的延迟链数量。在本方案中，3通道TDC电路最终消耗FPGA的LUT资源数6 429，占用率约为30%，消耗FF资源数5 515，占用率约为13%。在不同的SPSPD多通道系统应用中，FPGA硬件选型可根据本方案中的资源消耗数量，大致估算出多通道所需LUT及FF资源数量，从而合理选择FPGA硬件。

4 实验结果分析

本方案的性能标定平台如图4所示，主要包含信号发生器（Tektronix-AFG3252C）、2路数字化单元（TLV3501）、FPGA开发板（Xilinx Artix-7系列）和上位机。接下来，将对本方案的分辨率、非线性度和时间精度进行标定。

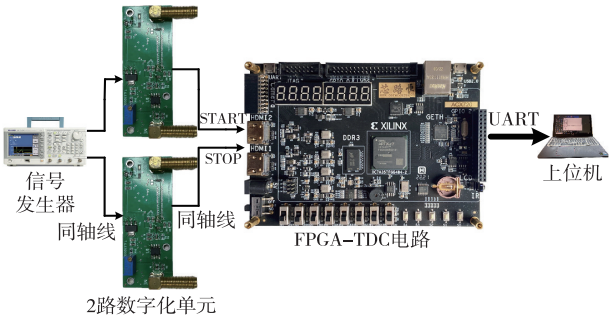


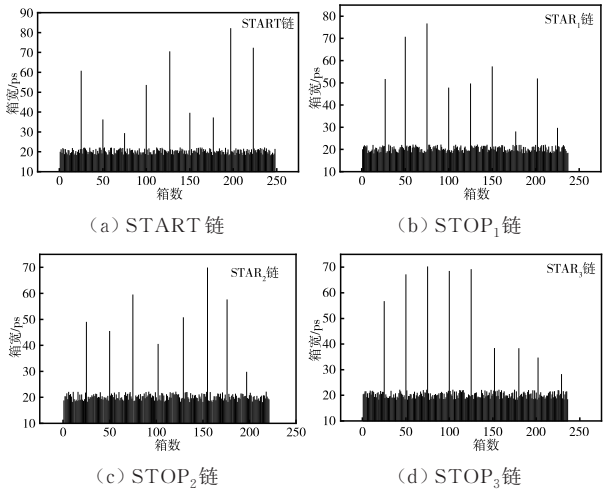
图4 基于FPGA的TDC电路性能标定平台

4.1 分辨率

分辨率通常称为最小有效位（LSB），为可区分的最小时间量。本方案的查找表电路中记录各延迟单元被随机信号击中的次数，将查找表电路中的第一级RAM数据导出到上位机（串口调试助手）。由于FPGA内部电压、温度和功率等因素的影响，延迟单元内插的个数并不能确定。多次启动校准电路，将校准后第一级RAM数据导出，确定4条延迟链查找表电路第一级RAM数据为0的地址为248，237，221和236，RAM地址即为延迟单元在延迟链中的位置，计算的分辨率分别为20.16 ps，21.1 ps，22.62 ps和21.19 ps，平均分辨率为21.26 ps。

4.2　非线性度

电路受温度、电压等因素影响，其 LSB 会产生变化，导致 TDC 产生非线性，常用非线性的度量为 DNL 和 INL。利用公式(2)计算出各延迟单元的具体延迟时间。延迟单元的具体延迟时间也叫作码宽，四条延迟链电路的码宽结果如图 5 所示。由图可知，码宽分布基本一致，大部分分布在 20 ps 左右的范围，但每隔 25 个延迟单元就会出现一个较大的码宽。这种现象主要是由于延迟链的不均匀性和寄存器结构中的时钟分布不均匀，这也和本方案使用的 FPGA 逻辑资源布局位置相符合。



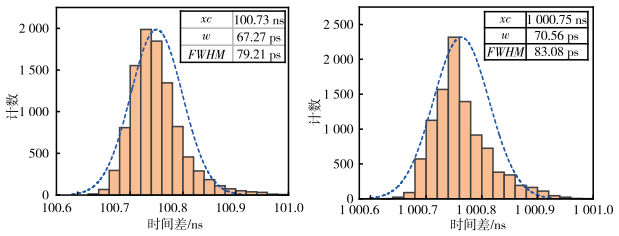
(a) START 链　(b) $STOP_1$ 链　(c) $STOP_2$ 链　(d) $STOP_3$ 链

图 5　各延迟链码宽

根据各延迟单元码宽，计算出 4 条延迟链的 DNL 和 INL。DNL 结果如下：START 链 DNL(−0.1，3.06)LSB；$STOP_1$ 链 DNL(−0.15，2.62)LSB；$STOP_2$ 链 DNL(−0.2，2.08)LSB；$STOP_3$ 链 DNL(−0.15，2.31)LSB，4 条延迟链平均 DNL(−0.15，2.52)LSB。INL 结果如下：START 链 INL(−0.38，13.37)LSB；$STOP_1$ 链 INL(−1.3，4.4)LSB；$STOP_2$ 链 INL(−14.45，−0.18)LSB；$STOP_3$ 链 INL(−0.9，4.16)LSB，4 条延迟链平均 INL(−4.26，5.44)LSB。

4.3　精度

为减少测量误差，对信号发生器发出的两路延迟 100 ns 和 1 000 ns 进行 1 万次测量。图 6 为在固定延迟条件下获得的 TDC 计数直方图。通过对计数分布进行高斯拟合，得到拟合后的半高宽分别为 79.21 ps 和 83.08 ps。对应 100 ns 延迟条件下的测量精度为 33.63 ps，1 000 ns 延迟条件下的测量精度为 35.28 ps。



(a) 100 ns 精度测试　(b) 1 000 ns 精度测试

图 6　精度测试图

4.4　SNSPD 系统验证

SNSPD 系统时间抖动测量平台主要包含上位机、偏置控制器、计数器、衰减器、电源、飞秒激光器、真空泵、分子泵和 SNSPD。启动各设备，待测试平台稳定后，将飞秒激光器的同步信号和 SNSPD 的响应信号连接到本文设计的两种 TDC 电路完成系统时间抖动的表征。图 7 为 SNSPD 系统互联结果，可以看出 TDC 能够将光计数和暗计数明显区分，测得系统的时间抖动为 114.4 ps。

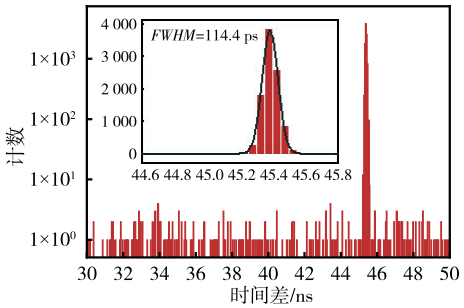


图 7　SNSPD 系统时间抖动测试结果图

Swabian Instruments 公司的 Time Tagger 系列产品在 TCSPC 仪器开发领域占据领导地位。将所研究的时间抖动测试方案与 Time Tagger 进行对比实验，调整触发电平，SNSPD 系统时间抖动，测试结果如图 8 所示。由图可知，不同触发电平系统抖动不

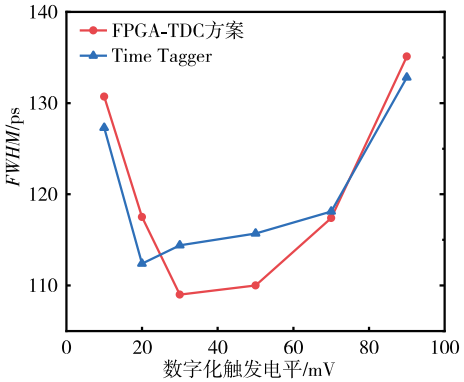


图 8　不同数字化触发电平 SNSPD 系统时间抖动测量结果图

同,30～50 mV范围内系统抖动最小,低于30 mV或高于50 mV抖动逐渐增大。这是由于数字化单元触发电平高低引起触发位置斜率不同造成的,30～50 mV之间斜率最大,噪声引起抖动最小,最终呈现两边抖动大,中间抖动小的分布。所设计的FPGA-TDC与Time Tagger测试结果相近,能够满足SNSPD系统时间抖动测试需求。

5 结论

本文针对多通道SNSPD系统,提出以FPGA芯片为核心设计时间抖动测量方案。采用脉冲计数法和延迟链法为实现原理,设计了主要包含"粗"计数模块和"细"计数模块的TDC电路,为减少测量误差,设计了以码密度校准法为核心的校准模块。测试结果表明,该测试系统具有较好的分辨率、非线性度和精度。所提方案在高性能SNSPD系统中进行测量验证,测得系统时间抖动为114.4 ps,并与商用高性能Time Tagger进行对比,验证了该系统在实际SNSPD系统时间抖动测量的可行性。

参考文献:

[1] Mueller A S, Korzh B, Runyan M, et al. Free-space coupled superconducting nanowire single-photon detector with low dark counts[J]. Optica, 2021, 8(12): 1586-1587.

[2] Deutsch L J. Towards deep space optical communications[J]. Nature Astronomy, 2020, 4(9): 907.

[3] Shibata H, Honjo T, Shimizu K. Quantum key distribution over a 72 dB channel loss using ultralow dark count superconducting single-photon detectors [J]. Optics Letters, 2014, 39(17): 5078-5081.

[4] Oripov B G, Rampini D S, Allmaras J, et al. A superconducting nanowire single-photon camera with 400, 000 pixels [J]. Nature, 2023, 622(7984): 730-734.

[5] Yeon W, Sung L. Time-to-digital converter using a tuned-delay line evaluated in 28-, 40-, and 45-nm FPGAs[J]. IEEE Transactions on Instrumentation and Measurement, 2016, 65(7): 1678-1689.

[6] Song Z, Wang Y, Kuang J. Implementation of 5.3 ps RMS precision and 350 M samples/second throughput time-to-digital converters with event sampling architecture in a Kintex-7 FPGA [J]. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 2019, 944: 162584.

[7] 赵明豪, 张兴雨, 张成俊, 等. 面向SNSPD系统的可拓展时间抖动测量模块[J]. 半导体光电, 2023, 44(3): 376-381.
Zhao Minghao, Zhang Xingyu, Zhang Chengjun, et al. Scalable time jitter measurement module for SNSPD system [J]. Semiconductor Optoelectronics, 2023, 44(3): 376-381.

[8] 周 磊, 王春娥. 基于FPGA的时间数字转换器的编码器[J]. 盐城工学院学报(自然科学版), 2015, 28(2): 15-19.
Zhou Lei, Wang Chune. FPGA- based encoder of time to digital converter [J]. Journal of Yancheng Institute of Technology (Natural Science Edition), 2015, 28(2): 15-19.

[9] 蔡东东, 何在民, 刘正阳, 等. 基于码密度法的FPGA进位链时延标定[J]. 时间频率学报, 2019, 42(3): 240-247.
Cai Dongdong, He Zaimin, Liu Zhengyang, et al. Calibration of FPGA carry chain delay based on code density method[J]. Journal of Time and Frequency, 2019, 42(3): 240-247.

[10] 贾云飞, 钟志鹏, 许孟强, 等. 基于码密度法的时间数字转换器非线性校正方法研究[J]. 测控技术, 2015, 34(1): 142-145.
Jia Yunfei, Zhong Zhipeng, Xu Mengqiang, et al. Research on non-linear calibration for time to digital converter based on code density distribution [J]. Measurement & Control Technology, 2015, 34(1): 142-145.

[11] Grace C R, Denes P, Gnani D, et al. Radiation-tolerant code-density calibration of nyquist-rate analog-to-digital converters[J]. IEEE Transactions on Nuclear Science, 2013, 60(2): 1303-1310.

作者简介:

巫君杰(1991—),男,江苏省无锡市人,博士,讲师,研究方向:超导纳米线单光子探测器、二维材料光电传感器;

吕超林(1990—),男,河南省洛阳市人,博士,高级工程师,研究方向:超导纳米线单光子探测器。