光电器件

DOI：10.16818/j.issn1001－5868.20250812004

基于动态浮动逆变换比较器的10位低功耗SAR ADC

钟佳鑫[1,2]，程正喜[2]，欧阳学龙[2]，袁红辉[1*]

（1. 中国科学院上海技术物理研究所 红外探测全国重点实验室，上海 200083；2. 中国科学院大学，北京 100049）

摘　要： 对于航天级CMOS图像传感器，模数转换器（ADC）是获得清晰红外图像的关键部件。针对国内航天工程的应用需求，设计低功耗、高效率的ADC是大规模CMOS图像传感器的主要指标。文章采用差分式输入结构和动态浮动逆变换前置放大比较器，设计了一种10位低功耗逐次逼近模数转换器。该ADC采用AMS 0.35 μm CMOS工艺，电源电压为3.3 V，采样速率为1 MS/s。设计结果表明，所设计ADC的信噪失真比为61.02 dB，二次谐波失真为73.26 dB，有效位数达到9.84 bits，且功耗仅为260 μW，版图单元面积为240 μm×900 μm。该设计在同等采样速率下具有更低功耗以及更优噪声表现，可应用于后续大规模CMOS图像传感器中。

关键词： 模数转换器；逐次逼近；浮动逆变换比较器；低功耗

中图分类号： TN432　**文章编号：** 1001－5868(2025)06－0968－07

A 10-Bit Low-Power Successive-Approximation ADC with a Dynamic Comparator Based on a Floating-Inverter Amplifier

ZHONG Jiaxin[1,2], CHENG Zhengxi[2], OUYANG Xuelong[2], YUAN Honghui[1]

（1. National Key Laboratory of Infrared Detection Technologies, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, CHN; 2. University of Chinese Academy of Sciences, Beijing 100049, CHN）

Abstract: In aerospace engineering, analog-to-digital converter (ADC) is a crucial component used to obtain clear infrared images with complementary metal-oxide-semiconductor (CMOS) image sensors. Thus, the design of ADC devices with low power consumption and high efficiency is a primary objective to support the development of large-scale CMOS image sensors for practical applications in the domestic aerospace industry. In this study, we propose a 10-bit low-power successive-approximation ADC utilizing a differential input structure and a dynamic comparator based on a floating-inverter amplifier. The device was fabricated using the analog/mixed-signal (AMS) 0.35-μm CMOS process and operates with a supply voltage of 3.3 V and a sampling rate of 1 MS/s. The results of an experimental evaluation demonstrate that the proposed ADC achieved a spurious-free dynamic range (SFDR) of 73.26 dB, a signal-to-noise and distortion ratio (SNDR) of 61.02 dB, and an effective number of bits (ENOB) of 9.84 bits, while consuming only 260 μW of power. The layout unit area measures 240 μm × 900 μm. This design provides lower power consumption and superior noise performance compared to previous state-of-the-art methods at an equivalent sampling rate. Thus, our results show that the proposed ADC is suitable for applications in the development of large-scale CMOS image sensors.

Key words: ADC; successive approximation; floating-inverter amplifier; low-power

收稿日期：2025－08－12.

* **通信作者：**袁红辉

0　引言

随着无线移动通信、物联网与传感器、光传输和光通信、智能传感器等新兴应用领域的飞速发展，以及雷达与精确制导、仪器仪表与医学成像等传统应用领域技术革新的持续推动，模数转换器（ADC）面临着日益增长的性能要求[1]。在众多ADC架构中，逐次逼近型（SAR）ADC因其低功耗、高精度和高集成度等优点，逐渐成为高性能电子系统中的关键组件。特别是在航天级CMOS图像传感器等应用中，SAR ADC的性能直接决定了图像传感器的整体性能和功耗水平。然而，随着应用需求的不断提升，对SAR ADC的性能要求也越来越高，传统的SAR ADC设计在功耗、噪声、速度等方面面临诸多挑战。特别是在低功耗设计中，如何在保证精度的同时降低功耗，成为当前研究的热点和难点。因此，探索新的SAR ADC设计方法和技术，以实现低功耗、高性能的SAR ADC设计，具有重要的理论和实际意义。

2010年，Yoshioka等[2]在1 V电源电压和50 MS/s的采样速率下，设计了一款10位带校准的SAR ADC，整体功耗为802 μW。2012年，Zhang等[3]采用电平移位器结构，有效降低了逻辑控制部分的电压，在1 V的工作电压和0.4 V的逻辑控制电压下，采样率为1 kS/s，芯片整体功耗更低。2014年以后，低功耗SAR ADC领域出现了许多新型节能型开关时序，如$V_{cm\text{-}based}$开关时序、混合型节能时序[4]等，得益于这些时序电路的设计，差分型电容阵列的开关功耗得到了极大的降低，整个SAR ADC获得了更低的功耗和更优的性能。近年来，动态比较器作为SAR ADC中的关键电路模块，其性能对SAR ADC的整体性能具有重要影响。虽然传统的动态比较器设计在一定程度上满足了低功耗的需求，但在噪声抑制、线性度等方面仍存在不足。因此，如何改进动态比较器的设计，以进一步提高SAR ADC的性能，成为当前研究的重点之一。

针对这一挑战，本文提出一种基于动态浮动逆变换比较器的10位低功耗SAR ADC设计。该设计通过引入动态浮动逆变换前置放大比较器，实现了低功耗和高效率的设计目标。动态浮动逆变换比较器利用差分式输入结构和动态浮动逆变换技术，有效降低了功耗和噪声。同时，结合自举开关、二进制加权电容数模转换器（DAC）以及开关控制逻辑等关键电路模块的优化设计，进一步提升了SAR ADC的整体性能。

本研究旨在解决低功耗SAR ADC设计中的关键问题，为航天级CMOS图像传感器等高性能电子系统提供一种新的、低功耗、高性能的SAR ADC设计方案。通过深入的理论分析和实验验证，本研究将揭示动态浮动逆变换比较器在SAR ADC设计中的优越性和实用性，并基于AMS 0.35 μm 3.3 V标准工艺进行仿真和流片，为相关领域的研究和发展提供新的思路和参考。

1　整体SAR ADC结构

所提出的SAR ADC结构如图1所示，由自举开关、基于动态浮动逆变换动态比较器、二进制加权电容数模转换器（DAC）、开关控制逻辑组成，采用差分输入模式。

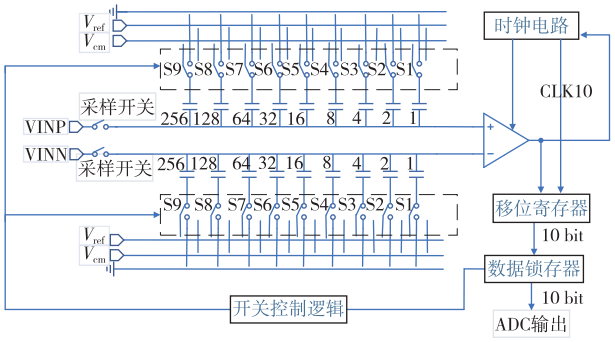


图1　SAR ADC结构图

在该设计中，比较器采用动态浮动逆变换前置放大结构，相较于两级动态比较器，具备更佳的能耗表现。以$V_{cm\text{-}based}$分裂式电荷DAC[5]的切换时序作为逐次逼近流程基础，在N位差分SAR ADC架构中，仅需2^{N-1}个单位电容即可实现其功能。采样期间，全部电容下极板均与V_{cm}电位相连，利用上极板对输入信号进行采样获取。采样完成后，采样开关切断，比较器即刻启动首次比较操作。在首次比较中，若输入信号V_{INP}大于V_{INN}，最高有效位（MSB）判定为1，此时比较器正输入端所连接的最大电容阵列下极板接地，而比较器负输入端的最大电容下极板接至参考电压V_{ref}；若V_{INP}小于V_{INN}，则MSB判定为0，同时比较器正输入端的最大电容阵列下极板接V_{ref}，比较器负输入端的最大电容阵列下极板接地。随后，开展第二次比较，以确定MSB-1位数字码，此过程持续迭代直至最低有效位（LSB）得以明确。SAR ADC

依靠SAR控制逻辑来精确地实施逐次逼近流程，从而达成模数转换任务的有序推进与精准执行。本文采用Andersen[6]提出的同步SAR逻辑控制，通过产生的控制信号来切换电容阵列的开关。

2 关键电路模块的设计

2.1 栅压自举开关

采用AMS 0.35 μm工艺，但常规传输门无法满足性能要求，因此选择栅压自举开关来对电路进行采样保持。采样保持电路结构如图2所示，其工作原理是当时钟信号CLK为低时，电容C通过M1和M2充电至VDD，同时M9和M5把开关管M10隔离；当CLK为高时，M5和M9导通，把M10的VGS钳制在接近VDD的范围内。在栅压自举开关的设计过程中，需注重电容的取值和MOS管的尺寸选择。通过精确计算和优化设计，确保了自举电容的电荷泵效应能够充分发挥，同时避免了过大的电容和MOS管尺寸带来的功耗和面积开销。具体而言，电容C的取值要足够大，远大于寄生电容，本设计中选用了555 fF的电容值。此外，为了降低功耗和减少寄生电容，所有MOS管的尺寸都尽可能保持在较小值。尽管栅压自举开关能够避免导通电阻与输入信号相关，从而提高线性度，但仍然会受到电荷注入、时钟馈通等非理想因素的影响。为此，本设计采用全差分输入结构，以有效抑制部分非理想因素的干扰，从而提高整体性能。

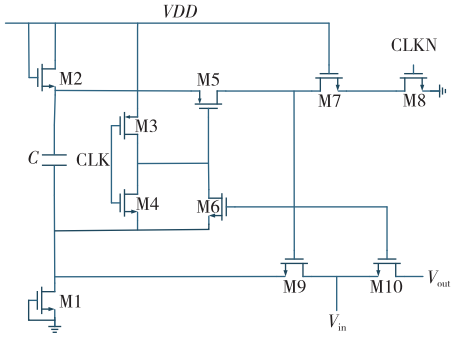


图2 采样保持电路图

2.2 动态浮动逆变换前置比较器

目前的低功耗比较器主要采用基于动态积分器比较器，以代替传统的静态前置的放大器。这种设计通过消除静态电流，实现低功耗的目标。如图3展示了应用广泛的两级全动态比较器（5OTA+LATCH）结构，当CLK=0时，比较器为比较状态；当CLK=1时，为复位状态。

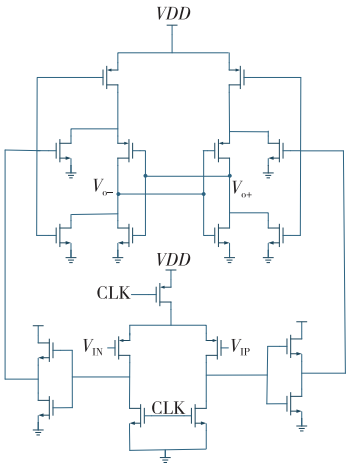
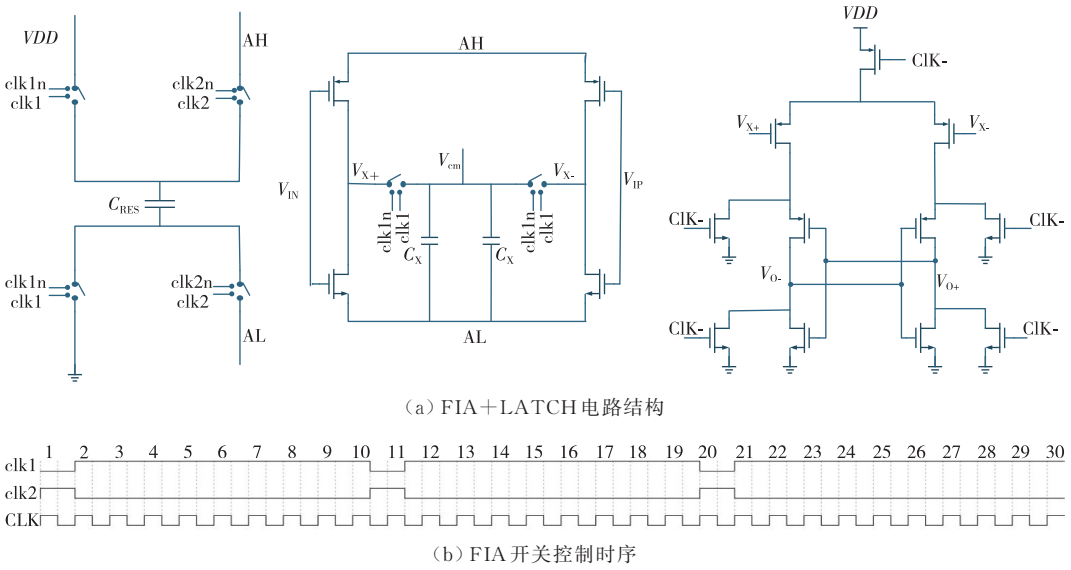


图3 50TA+LATCH电路结构

为进一步降低功耗，使用动态浮动逆变换比较器[7]（FIA+LATCH），如图4(a)所示。该比较器通过反相器的输入级实现电流的复用，并利用浮动储能电容C_{RES}供电，提供一个隔离的电源域，从而使放大过程独立于输入共模电压。动态浮动逆变换前置放大器的输出共模电压保持恒定，从而延长了积分时间并增加了增益。此外，储能电容通过提供动态源退化，增加了跨导/漏极电流（G_m/I_D）的比值，防止了积分电容的完全放电。

如图4(b)展示了开关时序控制，在clk1信号为低电平（clk1=0）且clk2信号为高电平（clk2=1）的时序条件下，V_{cm}节点所关联的开关闭合导通，同时大电容C_{RES}的开关切换至与VDD和GND相连接的通路状态。在此情形下，积分电路的积分操作停止，V_{cm}作为驱动电源开始对两个积分电容C_X进行充电，积分电容两端的电位迅速上升并稳定于V_{cm}电位值，而大电容C_{RES}则由外部电源进行电能补充，以完成其自身的充电过程。当clk1信号转变为高电平（clk1=1）且clk2信号降为低电平（clk2=0）时，V_{cm}处的开关断开，大电容C_{RES}的开关则重新定向连接至主电路路径，此时电路顺利过渡至预放大电路的积分工作阶段。

通过这种精确的时序控制与开关切换逻辑，成功实现了积分电路电源与V_{DD}主电源在电气连接上的有效分离，避免了V_{DD}电源可能带来的噪声干扰、电压波动等不利影响，极大提升了积分电路工作的稳定性与可靠性。这一设计确保了各功能模块之间能够按照设计预期进行精准协同工作，维持电路系统整体性能的一致性与可重复性。



（a）FIA＋LATCH电路结构

（b）FIA开关控制时序

图4　FIA型前置动态比较器架构

在优化设计过程中，充分考虑了功耗、噪声和速度之间的权衡。通过优化反相器的尺寸和参数，实现了电流的有效复用和噪声的降低。同时，引入浮动储能电容，不仅使得比较器保持低功耗，还能提供足够的增益和带宽。在本设计中，C_{RES}取2 pF，两个C_X均取300 fF。

2.2.1　增益分析

当比较开始时，输入晶体管M1～M4的偏置位于弱反型区。随着栅源电压V_{GS}的减小，晶体管进一步被推入深亚阈值区。为简化分析，假设输入晶体管始终工作在弱反型区。跨导可以表示为：

$$G_m(t)\approx 2\cdot\frac{I_D(t)}{n\cdot U_T}=\frac{I_{AMP}(t)}{n\cdot U_T} \tag{1}$$

式中，$I_D(t)\approx(1/2)\cdot I_{AMP}(t)$表示晶体管在具有微小差分输入电压时的瞬时电流，$n$是弱反型斜率因子，热电压$U_T=kT/q$。忽略输入晶体管的输出阻抗，差分前置放大器的输出电压可以近似为：

$$\Delta V_{X,DM}(t)=\frac{\int_0^t \Delta V_{I,DM}\cdot G_m(\tau)\,d\tau}{C_X}\approx\frac{\Delta V_{I,DM}\int_0^t I_{AMP}(\tau)\,d\tau}{n\cdot U_T\cdot C_X} \tag{2}$$

尾电流可以表示为：

$$I_{AMP}(t)=\frac{I_{AMP}(0^+)}{1+\dfrac{I_{AMP}(0^+)}{n\cdot U_T\cdot C_{TAIL}}t} \tag{3}$$

式中，$I_{AMP}(0^+)$表示比较器开始工作时的的尾电流，电压的变化$\Delta V_S(t)$可以表示为：

$$\Delta V_S(t)=\frac{\int_0^t I_{AMP}(\tau)\,d\tau}{2\cdot C_{RES}}=n\cdot U_T\cdot\ln\left(1+\frac{I_{AMP}(0^+)}{2\cdot n\cdot U_T\cdot C_{RES}}t\right) \tag{4}$$

可得增益为：

$$A_V(T_{NT})=\frac{\Delta V_{X,DM}(T_{INT})}{\Delta V_{I,DM}}=\frac{2\cdot C_{RES}\cdot\Delta V_S(T_{INT})}{n\cdot C_X\cdot U_T} \tag{5}$$

2.2.2　噪声分析

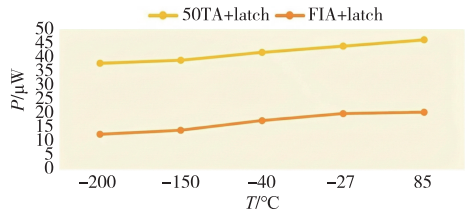
在动态浮动逆变换前置放大条件下，输出端产生的均方噪声电压可表示为：

$$\sigma^2_{o,FIA}(t)=\frac{4q\cdot C_{RES}}{C_X^2}\Delta V_S(t) \tag{6}$$

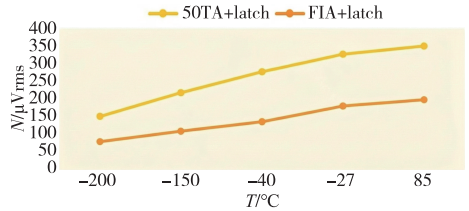
当预放大时间T_{INT}结束时，输入参考噪声可表示为：

$$\sigma^2_{in,FIA}(T_{INT})=\frac{2nkT}{C_{RES}\cdot\Delta V_S(T_{INT})}\cdot\frac{I_D}{G_m} \tag{7}$$

因此，动态浮动前置放大器的输入参考噪声与G_m/I_D成反比。此外，C_{RES}和$\Delta V_S(T_{INT})$越大，积分增益也越大，输入参考噪声越小。图5(a)和(b)分别为两级全动态比较器(50TA＋LATCH)和动态浮动逆变换比较器(FIA)的功耗和输入噪声对比图，可以看到在不同温度条件下，动态浮动逆变换比较器的功耗和噪声均下降40%以上。



（a）两种比较器功耗对比



（b）两种比较器噪声对比

图5 FIA型前置动态比较器与传统比较器的性能对比图

2.3 同步SAR逻辑

SAR ADC通过SAR逻辑来实现逐次逼近过程。该过程由SAR逻辑控制，根据比较器的输出结果来逐步确定每一位的数字输出，并产生控制信号切换以电容阵列。本设计采用同步SAR逻辑，如图6(a)所示。对于10位的ADC，需要10个时钟信号周期来完成一次转换。CLK_c是比较器的控制信号，CLK1～CLK10则用于对比较器的输出进行采样，并将这些作为控制信号来用于DAC开关阵列，以执行单调切换过程，如图6(b)所示。

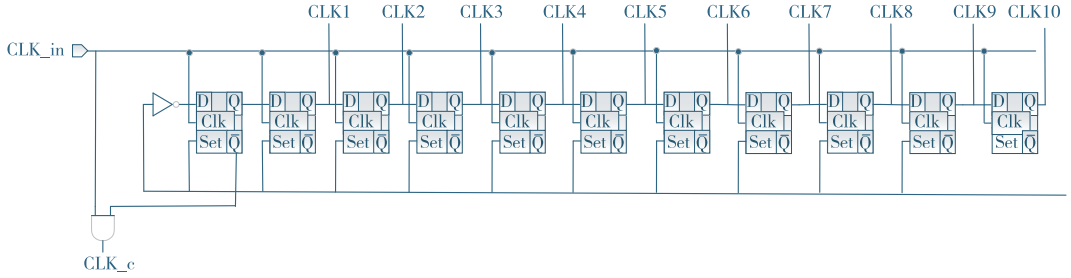
3 版图设计以及仿真结果

在ADC电路的版图设计中，基于其采用的差分对称结构特性，整体版图规划为对称布局架构。其中，电容阵列以对称形式分布于版图的上下两侧区域，以确保差分电容阵列上下极板的走线具备等长性，从布线层面最大程度降低因走线长度差异导致的信号传输不一致性。

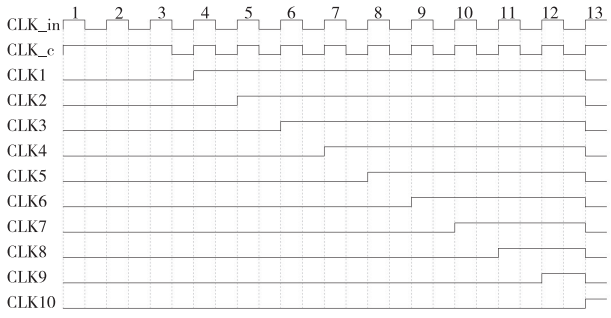
在版图布局与布线实施过程中，通过优化设计规则与工艺参数，极力减少金属线之间的层间交叠现象，从而有效控制并降低寄生电容的产生量，避免因寄生电容的存在而对ADC电路的性能指标，如转换速度、精度等产生负面影响。

对于CDAC部分，针对不同权重的电容单元，采用交叉共质心匹配的布局策略。这种布局方法依据共质心原理，将不同权重的电容进行特定的排列组合，使得每个单位电容在版图中所处的物理环境、电气环境尽可能保持一致，包括但不限于与周边金属连线、其他电容单元以及衬底等的耦合关系均趋于相同。

通过这种精细的布局设计，能够有效减少不同权重电容之间因工艺制造偏差、环境因素等导致的失配现象，显著提升电容阵列的匹配精度，进而提高ADC电路整体的线性度、单调性等关键性能指标，确保ADC电路在高速、高精度模数转换应用场



（a）同步SAR逻辑原理图



（b）SAR逻辑产生的时序控制

图6 FIA型前置动态比较器架构

景中能够稳定可靠地运行，满足系统对信号转换的精确性与一致性要求。

在数字电源和模拟电源的设计中，模拟电路版图对噪声和寄生参数等因素非常敏感，基于二者对噪声的包容度不同，将数字电源线用包地的形式隔离，远离模拟电路模块，可有效降低噪声的干扰。其次，对寄生电阻而言，金属走线越宽，寄生电阻越小，且金属层数的增加能够进一步降低寄生电阻[8]。最终，ADC电路的版图单元面积为240 μm×900 μm，如图7所示。

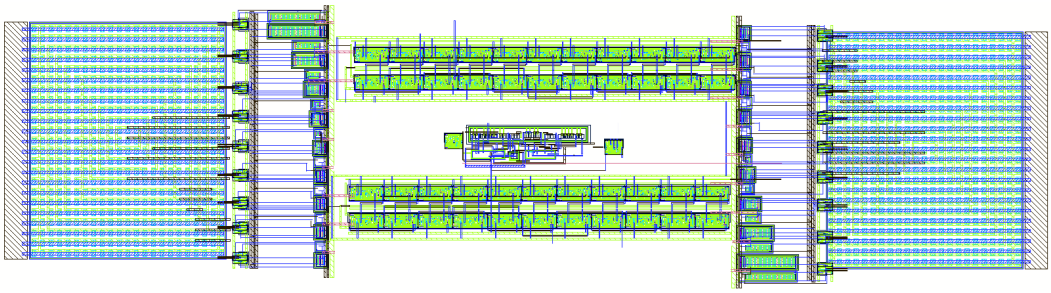


图7　SAR ADC版图

本设计电路基于AMS 0.35 μm 3.3 V工艺，在电源电压为3.3 V、采样频率为1 MS/s的条件下，取1 024个点进行FFT仿真分析。结果如图8所示，有效位数（ENOB）为9.84 bits，信噪失真比（SNDR）为61.02 dB，二次谐波失真（SFDR）为73.26 dB，整体功耗仅为0.26 mW。

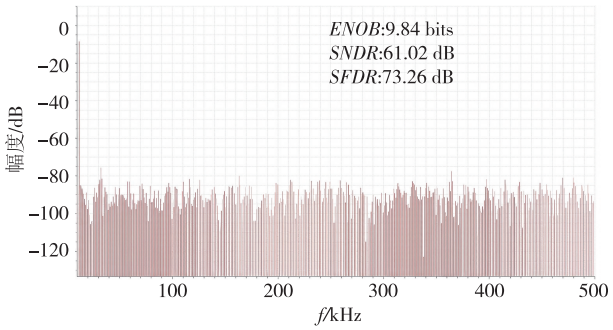


图8　频谱分析图

表1展示了本工作与其他单位所设计的SAR ADC的参数对比，以下数据均为仿真结果。尽管本文采用的AMS 0.35 μm CMOS工艺相较于的55 nm[9]，130 nm[10]和180 nm[11]工艺节点较为陈旧，但在该工艺下实现的SAR ADC功耗却极低，仅为0.26 mW。该低功耗特性得益于本文采用的动态浮动逆变换比较器（FIA+Latch），这是降低功耗和噪声的关键创新技术。与其他研究工作普遍采用的两级动态比较器（50TA+Latch）相比，FIA+Latch在功耗和噪声方面均表现出显著的优势。即便在较为老旧的工艺节点下，也能实现出色的低功耗性能。通过创新的电路设计和优化，仍然可以实现高性能的SAR ADC。这一设计为在资源有限或需要利用现有成熟工艺的应用场景提供了有价值的参考，特别是在对功耗有严格要求的场景中，如航天级CMOS图像传感器，具有广泛的应用前景。

表1　ADC参数对比

参数	[9]	[10]	[11]	本文
尺寸	55 nm	130 nm	180 nm	350 nm
比较器	50TA+Latch	50TA+Latch	50TA+Latch	FIA+Latch
开关时序	单调电容开关	$V_{cm\text{-}based}$	$V_{cm\text{-}based}$	$V_{cm\text{-}based}$
SNDR/dB	71.33	72.42	53.91	61.02
SFDR/dB	71.04	88.40	53.62	73.26
ENOB/bits	11.56	11.73	8.61	9.84
采样率/MHz	0.5	20	20	1
功耗/mW	2	1.29	3.3	0.26

4　总结

本文主要研究了应用于航天级CMOS图像传感器的低功耗SAR ADC，重点从降低功耗和噪声的角度进行设计。基于AMS 0.35 μm工艺，采用了基于动态浮动逆变换前置放大的比较器结构，有效降低了比较器的功耗和噪声。相较于传统的两级动态比较器，功耗和噪声均下降50%以上，最终设计出一种10位低功耗逐次逼近模数转换器，实现了低功耗和高效率的设计目标。

仿真结果表明，所设计的SAR ADC在功耗和噪声方面均有显著优势。然而，本设计仍存在一些不足之处，随着半导体工艺的不断发展，未来可以考虑采用更先进的工艺节点（如90 nm，65 nm等）来进一步降低功耗并提高性能。此外，为了满足航天级CMOS图像传感器等应用领域的需求，未来的SAR ADC设计将更加注重集成度和多功能性的提

升，通过集成更多的功能模块，进一步提高系统的整体性能和可靠性。

参考文献：

[1] 朱樟明，刘术彬. 高性能模数转换器技术挑战与发展趋势[J]. 中国科学：信息科学，2024，54(1)：48-57.
Zhu Zhangming，Liu Shubin. Challenge and trend of high-performance analog-to-digital converters[J]. Scientia Sinica (Informationis)，2024，54(1)：48-57.

[2] Yoshioka M，Ishikawa K，Takayama T，et al. A 10-b 50-MS/s 820 mW SAR ADC with on-chip digital calibration[J]. IEEE Transactions on Biomedical Circuits and Systems，2010，4(6)：410-416.

[3] Zhang D，Bhide A，Alvandpour A. A 53-nW 9.1-ENOB 1-kS/s SAR ADC in 0.13 μm CMOS for medical implant devices[J]. IEEE Journal of Solid-State Circuits，2012，47(7)：1585-1593.

[4] Sanyal A，Sun N. SAR ADC architecture with 98% reduction in switching energy over conventional scheme[J]. Electronics Letters，2013，49(4)：248-250.

[5] Zhu Y，Chan C H，Chio U F，et al. A 10-bit 100-MS/s reference-free SAR ADC in 90 nm CMOS[J]. IEEE Journal of Solid-State Circuits，2010，45(6)：1111-1121.

[6] Anderson T O. Optimum control logic for successive approximation analog-to-digital converters[J]. Deep Space Network Progress Report，1972，13：168-176.

[7] Tang X，Shen L，Kasap B，et al. An energy-efficient comparator with dynamic floating inverter amplifier[J]. IEEE Journal of Solid-State Circuits，2020，55(4)：1011-1022.

[8] 王成刚，刘泽巍，袁 媛，等. 多谱段线列红外探测器读出电路设计优化[J]. 激光与红外，2017，47(6)：736-739.
Wang Chenggang，Liu Zewei，Yuan Yuan，et al. Optimization and design of ROIC for multispectral linear infrared detector array[J]. Laser & Infrared，2017，47(6)：736-739.

[9] 郑喜鹏，陈 磊，伍振环，等. 应用于5.8 GHz雷达中的12 bit SAR ADC[J]. 电子设计工程，2024，32(13)：93-98.
Zheng Xipeng，Chen Lei，Wu Zhenhuan，et al. A 12 bit SAR ADC for 5.8 GHz radar applications[J]. Electronic Design Engineering，2024，32(13)：93-98.

[10] 都文和，韩 波，宋昊洋，等. 一种基于冗余位结构CDAC的12 bit SAR ADC[J]. 北华大学学报(自然科学版)，2024，25(6)：825-832.
Du Wenhe，Han Bo，Song Haoyang，et al. 12 bit SAR ADC based on redundant bit structure CDAC[J]. Journal of Beihua University (Natural Science)，2024，25(6)：825-832.

[11] 孙志坤，千 奕，杨鸣宇，等. 用于GEM-TPC探测器读出芯片的10 bit 20 MSPS SAR ADC设计[J]. 电子科技大学学报，2024，53(4)：481-486.
Sun Zhikun，Qian Yi，Yang Mingyu，et al. The Design of a 10 bit 20 MSPs SAR ADC of the readout chip for gem-tpc detector[J]. Journal of University of Electronic Science and Technology of China，2024，53(4)：481-486.

作者简介：

钟佳鑫(2000—)，男，四川省内江市人，硕士研究生，主要从事模数转换器方向研究；

袁红辉(1972—)，男，研究员，博士，主要研究方向为专用CMOS集成电路设计。