光电器件

DOI: 10.16818/j.issn1001－5868.20250916002

适用于长波红外探测器的高频电荷泵锁相环设计

陈奕璇*,张露漩,李敬国
(中电科光电科技有限公司,北京 100015)

摘 要: 长波红外探测器对微弱红外信号的精准捕捉,依赖高精度时钟信号实现采样与处理过程的精准控制。电荷泵锁相环作为具备相位同步与频率跟踪功能的核心电路,能够为探测器提供稳定且精准的时钟源,进而提升探测器的整体性能与检测精度。针对高频信号场景,设计了一款基于数字像元读出架构的电荷泵锁相环,适配320×256规格的焦平面探测器读出电路。在1.2 V工作电压下,该锁相环可实现10 ns快速起振,并在约50 μs进入稳定锁定状态。锁定时控制电压V_{ctrl}为0.57 V,最终输出640 MHz高频信号,且其相位噪声性能优异,可达到－72.7 dBc/Hz@1MHz。此高频锁相环设计有效实现了探测器阵列读出时钟的同步,确保每个像素信号在准确时序下完成读取与处理。

关键词: 电荷泵锁相环;高信号频率;低相位噪声;长波红外探测器
中图分类号: TN215;TN792 **文章编号:** 1001－5868(2026)01－0040－10

Design of High-Frequency Charge-Pump Phase-Locked Loop for Long-Wave Infrared Detectors

CHEN Yixuan, ZHANG Luxuan, LI Jingguo
(China Electronics Technology Group Corporation Electro-Optics Technology Co., Ltd., Beijing 100015, CHN)

Abstract: Long-wave infrared detectors require highly precise clock signals to accurately control sampling and processing procedures, thereby enabling the reliable acquisition of weak infrared signals. The Charge Pump Phase-Locked Loop (CP-PLL), as a core circuit featuring phase synchronization and frequency tracking capabilities, provides a stable and precise clock source for such detectors, ultimately enhancing overall system performance and detection accuracy. In this work, a CP-PLL tailored for high-frequency applications is designed based on a digital pixel readout architecture and adapted to a 320×256 focal-plane detector readout circuit. Operating at a supply voltage of 1.2 V, the PLL initiates oscillation within 10 ns and achieves a stable locked state in approximately 50 μs. At lock, the control voltage V_{ctrl} is 0.57 V, and the circuit delivers a 640 MHz high-frequency output with excellent phase-noise performance of －72.7 dBc/Hz a 1 MHz. The proposed high-frequency PLL design effectively synchronizes the detector array's readout clock, ensuring that each pixel's signal is sampled and processed with accurate timing.

Key words: charge pump phase-locked loop; high-frequency signal; low phase noise; long-wave infrared detector

0 引言

在当前科技快速发展的背景下,高频信号处理已成为通信、雷达、航空航天及工业控制等多个领域的关键技术支撑,其应用场景持续拓展[1]。高频信号的精准生成、传输与处理,直接决定了系统整体性能的高低。锁相环(PLL)作为电子电路领域的核心技术,凭借其出色的频率稳定性、噪声抑制

收稿日期:2025－09－16.
*通信作者:陈奕璇

能力及广泛适用性，成为高频信号处理领域的重要组成部分[2]。

锁相环的工作机制是通过对比输入信号与压控振荡器（VCO）输出信号的相位差，经环路滤波器处理后生成控制电压，以此调节VCO输出频率，最终实现相位同步与频率跟踪[3]。在高频信号处理场景中，锁相环的优势尤为突出：其一，它可提供极高的频率精度，确保输出信号与参考信号频率高度的一致，避免频率偏差引发的信号失真与误码率上升；其二，锁相环具备良好的噪声抑制能力，能通过环路滤波器有效滤除外部干扰与噪声，保障输出信号质量；其三，锁相环拥有快速锁定时间与宽频率覆盖范围，可灵活适配不同工作条件与应用需求。

在长波红外探测器领域[4]，为实现对微弱信号的精准探测，需借助高精度、低噪声的时钟信号控制采样与处理流程[5]。锁相环设计能够为长波红外探测器提供稳定可靠的时钟源，确保探测器在长时间监测过程中保持性能稳定，进而提升检测精度与可靠性。

尽管锁相环在高频信号处理及长波红外探测器领域的应用优势显著，但随着技术革新与应用需求升级，对其性能提出了更高要求，例如在更高工作频率下实现更低相位噪声、更快锁定速度及更小电路面积等[6]。因此，深入研究锁相环设计优化，探索新型架构与技术，已成为当前该领域的重要研究方向。

基于锁相环各模块对整体性能的影响，本文设计了一款适用于高频信号的电荷泵锁相环电路，确保其在全工作电压输出范围内具备良好相位噪声特性。采用GF0.11 μm工艺完成320×256规格数字像元读出电路设计，重点围绕频率精度、相位噪声、锁定时间等关键性能指标展开优化。通过仿真与数据分析，验证了设计方案的有效性与可行性，为高频信号处理领域发展提供参考。

1　电荷泵锁相环的理论分析

随着集成电路技术的快速发展，高稳定性、高分辨率、低相位噪声的频率信号在天文观测、军事、医疗及工业无损检测等领域得到了广泛应用[7]。目前常见的频率生成方法包括直接模拟频率合成（DAS）、直接数字频率合成（DDS）及PLL技术[8]。其中，DAS通过直接合成连续波形实现频率输出，具有较高频率稳定性与相位噪声性能；DDS利用数字信号处理技术完成频率合成，可实现高精度频率与相位调制；而PLL技术基于振荡器负反馈控制机制实现频率合成，相较于前两种方法，具备低相位噪声、高分辨率、宽频段、小抖动等优势，被广泛应用于时钟数据恢复电路[9]、无线收发机[10]及时钟产生电路[11]等场景。

本节首先阐述电荷泵锁相环的基本原理、各模块结构功能与性能指标，随后针对适配320×256电路架构的锁相环设计展开仿真与验证。

1.1　电荷泵锁相环的基本原理

电荷泵锁相环（CP-PLL）是一个闭环负反馈系统，其基本结构如图1所示，包含鉴频鉴相器（PFD）、电荷泵（CP）、环路滤波器（LPF）、VCO及分频器（DIV）等核心单元。

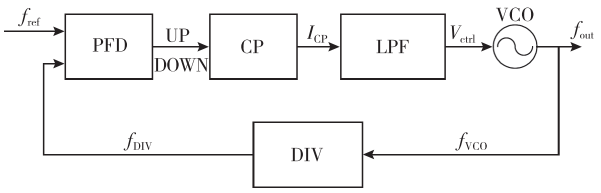


图1　锁相环系统结构图

该系统的工作原理如下：首先，鉴频鉴相器对输入参考时钟信号f_{ref}与分频器输出时钟信号f_{DIV}进行相位与频率对比，输出两路包含相位差与频率差的控制信号；接着，这些控制信号驱动电荷泵中充放电电流源的开关，使上下电流路径受控通断，进而在电荷泵输出端产生时域上不同极性的电流ICP；随后，电流ICP流经环路滤波器，滤除高频分量并保留低频分量，同时将电流信号转化为实时电压信号，该电压信号用于调节压控振荡器的输出频率；最后，分频器对压控振荡器输出信号f_{VCO}进行分频处理，得到低频信号f_{DIV}，再次与输入参考时钟信号f_{ref}对比，形成闭环循环，实现输出信号的频率与相位跟踪。

在负反馈机制作用下，当f_{ref}与f_{DIV}存在相位差时，环路滤波器中的电容会持续充放电，进而调整压控振荡器输出频率；当锁相环进入锁定状态时，f_{ref}与f_{DIV}相位一致，输入与输出信号相位同步。

在所设计的锁相环电路中，当输入参考频率为10 MHz时，锁相环模块先将其处理为2 MHz参考时钟，经320倍锁相倍频后得到640 MHz高频信号，

再通过多种分频比处理并选择输出，以适配不同工作模式与输出速率需求。

1.2 电荷泵锁相环的基本模块

1.2.1 鉴频鉴相器

鉴频鉴相器是锁相环系统中对比参考信号与压控振荡器分频后信号相位差、检测频率差异的关键模块，同时还将相位差转化为控制电荷泵充放电开关的信号。本设计采用数字型鉴频鉴相器，具备抗干扰能力强、鉴相范围广、工作频率高、结构简单且功耗低等优势[12]。

鉴频鉴相器的输出特性曲线如图2所示。在跟踪过程中，当输入时钟与VCO分频输出时钟相位差小于2π时，系统能够实现鉴相功能并锁定VCO频率；在捕获过程中，当相位差大于2π时，系统启动鉴频功能，根据VCO分频时钟频率与输入时钟频率的高低关系，控制电荷泵与环路滤波器充放电，最终完成频率捕获。

在理想状态下，当两个输入时钟信号相位对齐时，鉴频鉴相器输出为零。但在实际电路中，模块连接处的寄生电容会导致“死区”现象——当输入信号相位差极小时，鉴频鉴相器无法准确检测相位差，输出信号脉冲宽度随机化，进而引发VCO控制电压小幅随机波动，恶化锁相环输出信号的噪声性能。

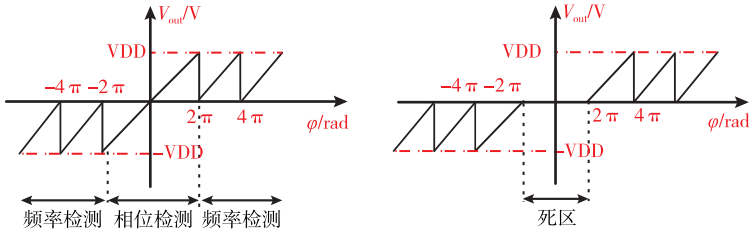


图2 鉴频鉴相器的传输特性

1.2.2 电荷泵

电荷泵电路是影响锁相环整体性能的重要环节，位于鉴频鉴相器之后，负责将相位差信号转化为电流输出，再通过环路滤波器将电流转化为压控振荡器的控制电压。其工作原理图如图3所示。

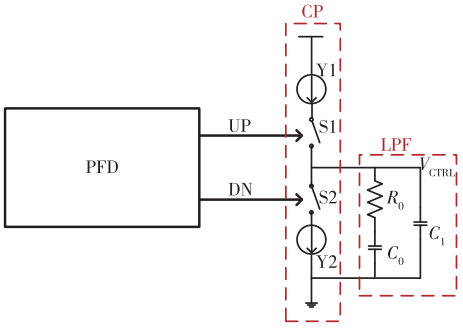


图3 电荷泵工作原理图

在实际应用中，电荷泵存在诸多非理想特性，例如开关导通存在延迟、充放电电流无法完全关断、充放电电流不均衡、开关信号电流串扰至输出端口、输出电流随输出电压变化等。这些因素使得电荷泵设计的核心难点在于降低输出端口充放电电流失配、减小输出电流随电压变化的速率及提升工作频率。

为优化电荷泵的性能，本设计采取以下措施：首先，采用长沟道器件以提高镜像电流精度；其次，考虑电荷共享问题，设计轨到轨结构运放构成单位增益负反馈，如图4所示，钳制输出节点与镜像节点，避免输出通路关断时上下电流源漏端被拉至电源或接地，从而减少电荷共享影响；最后，针对工艺、电压、温度变化导致的环路带宽波动问题，将电荷泵输出电流设计为可调控模式，保障环路稳定性与输出相噪性能。

1.2.3 压控振荡器

VCO作为锁相环系统的核心单元，能够自主生成频率稳定的周期性时钟信号，其性能直接决定锁相环的输出频率范围、噪声及功耗[13]。在集成锁相环电路中，VCO主要分为电容电感压控振荡器（LC-VCO）与环形压控振荡器（Ring-VCO）[14-15]两类。本设计采用环形压控振荡器，其结构如图5所示。通过控制电压调节电路延时，实现不同频率振荡信号输出，具备结构简单、频率调谐范围宽、抗电源干扰与衬底噪声能力强等优势。

图6展示了VCO的输出频率与输入电压间的工作特性曲线，由图可知VCO的输出频率随着控制电压V_{ctrl}的增加而增大，关系表达式为：

$$\omega_{out}=\omega_0+K_{vco}V_{ctrl} \tag{1}$$

式中，K_{vco}为VCO的调谐增益，ω_0为当V_{ctrl}=0时输出信号的角频率。

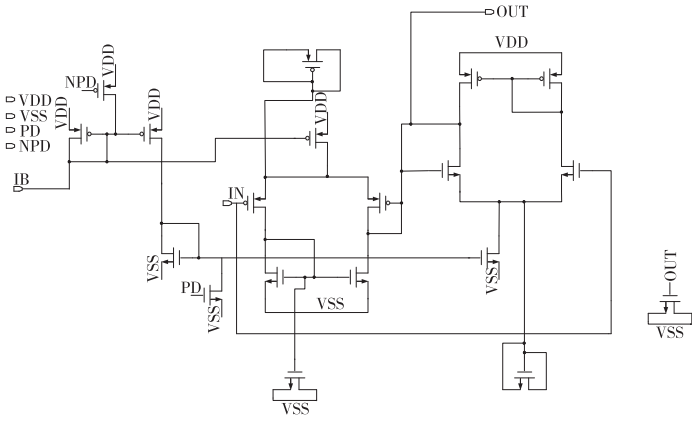


图4　R2R运放设计原理图

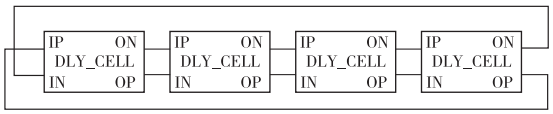


图5　Ring-VCO原理结构

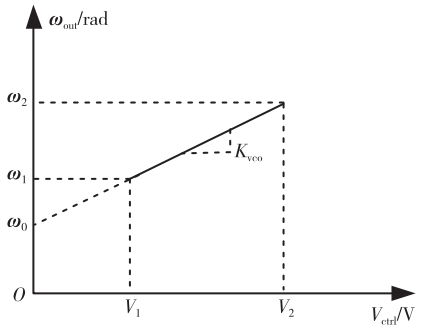


图6　VCO工作特性曲线

1.2.4　分频器

分频器作为锁相环系统的末端模块，负责对压控振荡器输出信号进行分频处理，将处理后的信号输入鉴频鉴相器与参考信号对比。通常，压控振荡器输出的高频信号需先经预分频器处理，再通过数字分频器进一步分频，以确保输出频率与参考信号频率相匹配。

分频器主要由D触发器与逻辑门构成，根据分频比的不同可分为整数型与小数型两类。其中，N个D触发器级联可实现$2N$分频。本设计采用整数型分频器。

1.3　性能指标

1.3.1　相位噪声与抖动

相位噪声是指信号相位随时间的不稳定性，锁相环中各类噪声源引发的VCO输出相位抖动，这种相位抖动最终表现为电荷泵锁相环的相位噪声特性。

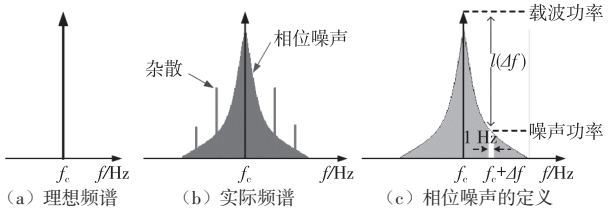
锁相环频谱特性如图7所示，理想的锁相环输出频谱为一个单独的频谱脉冲，其时域表达式为：

$$V(t)=A_0\sin(2\pi f_c t) \tag{2}$$

式中，A_0为信号的振幅值，f_c为信号频率，二者均为常数。但在实际应用中，噪声源会导致输出信号相位与幅值变化，频谱中出现频率杂散，且主频谱脉冲附近伴随连续频谱边带。此时信号的时域表达式为：

$$V(t)=A_0[1+A(t)]\sin\left[2\pi f_c t+\Phi(t)\right] \tag{3}$$

式中，$A(t)$和$\Phi(t)$分别为幅度扰动项和相位扰动项。通常幅值的扰动可以通过限幅机制滤除，对系统性能影响较小。但$\Phi(t)$的存在会改变信号过零点的相位，且难以消除，因此减小$\Phi(t)$成为设计难点，也是决定频率合成器性能的关键。相位扰动项$\Phi(t)$中包含周期性和随机性的两种分量，如图7(b)所示：周期性扰动在频谱中表现为离散的频谱脉冲，而随机性扰动在频谱中表现为载波频谱脉冲附近扩展出连续的频率边带，即相位噪声。



（a）理想频谱　（b）实际频谱　（c）相位噪声的定义

图7　锁相环频谱特性

为定量描述锁相环输出信号的相位噪声值，引入单边带(SSB)相位噪声函数$\mathcal{L}(\Delta f)$。该函数定义为距离载波频率f_c一定频偏Δf处，单位带宽内的噪声功率与载波信号功率的比值，单位为dBc/Hz，其计算公式为：

$$\mathcal{L}(\Delta f)=10\log\left[\frac{P_{\text{noise}}(f_c+\Delta f)}{P_{\text{carrier}}(f_c)}\right] \tag{4}$$

时钟抖动与相位噪声本质上描述的是同一现象，但二者在表现形式上有所不同：相位噪声从频域反映信号不确定性，时钟抖动从时域体现信号偏差——即时钟周期边沿与理想值的偏离，这种偏差可以是正值也可以是负值。

时钟抖动分为确定性抖动与随机性抖动：确定性抖动由规律、可预测的干扰引起，与频域杂散相关；随机性抖动由半导体材料中载流子随机变化等不可预测因素导致，通常服从高斯分布。对于时钟抖动的量化，常用峰峰值抖动（PP jitter）与均方根抖动（RMS jitter）来衡量，其中RMS jitter为主要评价指标。如图8所示为时钟抖动示意图。

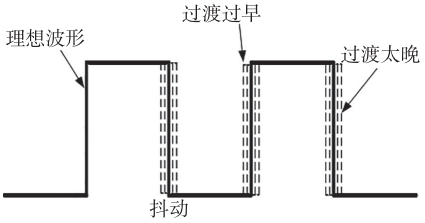


图8 时钟抖动

1.3.2 杂散

杂散是锁相环的重要性能指标，表现为频谱中距离载波一定频偏处的离散频谱尖峰，主要源于子电路模块非理想性或周期性频率信号耦合至输出端。例如，当电荷泵开关以参考时钟频率周期性通断时，由于充放电电流不均衡、电荷共享等非理想因素，VCO会出现周期性波动，包含参考时钟频率及其整数倍频率分量。这些波动电压进一步调制VCO输出频率，从而导致频谱中出现分布于参考时钟整数倍频处的杂散。

1.3.3 频率调谐范围与锁定时间

频率调谐范围是指锁相环频率合成器输出频率的覆盖范围，主要由VCO的输出范围决定，表征系统调谐宽度。在设计过程中，需考虑工艺、电源电压、温度等非理想因素对性能的影响，并预留一定余量以确保系统的可靠性。

锁定时间，也称捕获时间，是指频率合成器从上电到环路锁定，或从一个稳定频率点跳转到另一个频率点并稳定所需的时间。在锁相环设计中，需在满足频率范围、相位噪声等核心指标的前提下，尽可能缩短锁定时间。

2 电荷泵锁相环的系统建模

电荷泵锁相环本质上是一个离散负反馈相位系统，其内部部分信号以离散时间形式传递，且信号形式持续变化。与连续系统相比，离散系统因存在延迟可能产生不确定性与不稳定性——特别是当环路延迟与环路带宽接近时，系统可能失去稳定。因此，若采用连续线性系统分析电荷泵锁相环，需确保环路带宽比输入参考信号f_{ref}频率低一个量级以上。图9为电荷泵锁相环的线性反馈系统模型。图10为环路滤波器电路图。

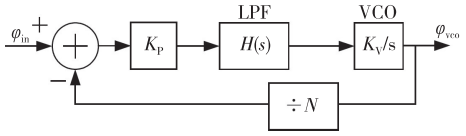


图9 锁相倍频环路线性反馈系统模型

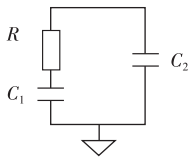


图10 环路滤波器电路图

通过各模块的线性模型可以表示CP-PLL系统的环路增益传递函数为：

$$H(s)=\frac{K_P K_V}{N}\frac{H(s)}{S}=\frac{K_P K_V}{N(C_1+C_2)}\frac{1+S/\omega_Z}{S^2\left(1+\frac{S}{\omega_P}\right)} \tag{5}$$

式中，K_P表示PFD的相位增益，单位为A/rad；K_V表示VCO的调谐增益，单位为rad/(s·V^{-1})。

闭环传输函数为：

$$H(s)=\frac{\varphi_{out}}{\varphi_{in}}=\frac{NH(s)}{1+H(s)} \tag{6}$$

为抑制控制电压上的纹波，环路滤波器设计为二阶：

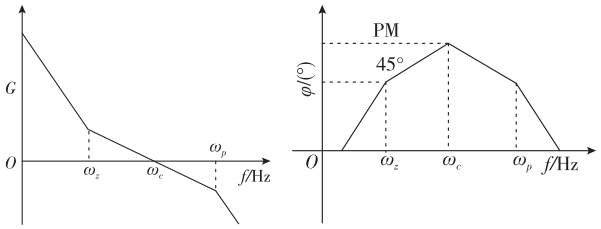
$$\omega_z=\frac{1}{RC_1} \tag{7}$$

$$\omega_p=\frac{C_1+C_2}{RC_1C_2}\approx\frac{1}{RC_2} \tag{8}$$

由环路传递函数可知，系统在零点存在两个极点，在ω_p处有一个极点，在ω_z处有一个零点。为了保持环路稳定，ω_p需在带外，而ω_z需在带内，使得带内有两个极点和一个零点，可实现大于零的相位裕度。因此，单位增益带宽ω_c设计为ω_z和ω_p之间。此外，为实现最大相位裕度，需满足：

$$\omega_c=\sqrt{\omega_z\omega_p} \tag{9}$$

对应的环路传递函数的 Bode 图如图 11 所示。



（a）幅度特性　　（b）相位特性

图 11　开环传输函数的 Bode 图

3　电荷泵锁相环的电路仿真

本节将呈现各模块电路的仿真结果，以验证设计性能。

图 12 为当鉴频鉴相器两输入信号 FREF、DIV 均为 10 MHz 且相位一致时的瞬态仿真波形，从仿真结果观察到鉴频鉴相器的鉴相功能正常。在局部放大图中，UP 和 DN 输出 140 ps 的窄脉冲，可确保后续电路形成稳定的电压。

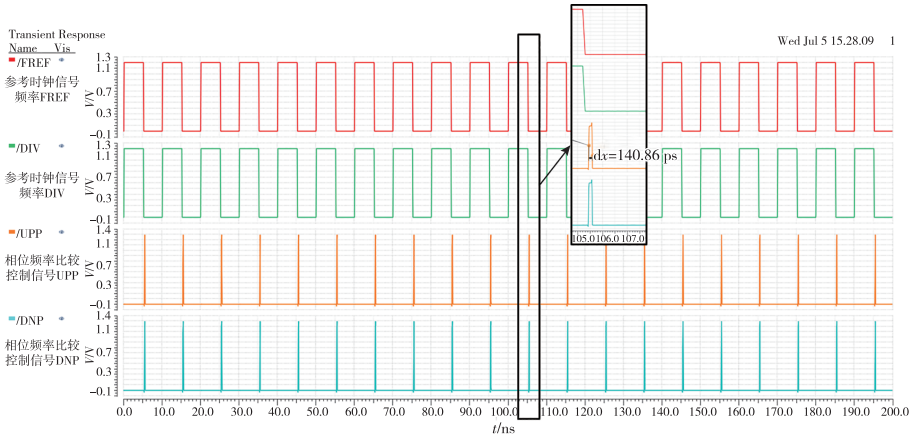


图 12　参考信号与分频信号同频同相的仿真图

图 13 和 14 分别展示了将 PFD 和 CP 进行联合仿真时电荷泵的充、放电过程。可以看出，CP 能很好地将 PFD 输出的脉冲信号转化为电流脉冲信号，并使输出电压呈现阶梯式上升或下降趋势。当 FREF 的相位超前 DIV 时，电荷泵充电；当 FREF 的相位滞后 DIV 时，电荷泵放电。

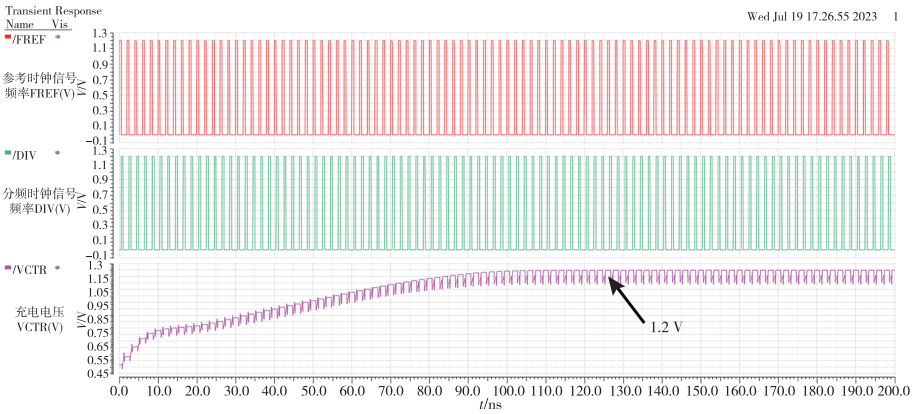


图 13　电荷泵充电仿真图

对压控振荡器进行瞬态仿真，仿真结果如图 15 所示。结果显示，VCO 约在 10 ns 就可以正常起振，并维持稳定的等幅振荡。

设置 VCTR 扫描范围为 0.4～1 V，对 VCO 的瞬态特性进行仿真。当控制电压为 0.5 V 时，经缓冲电路整形后压控振荡器输出波形如图 16 所示。从图中可以看出，输出信号摆幅较大，达到了满摆幅信号的范围 0～1.2 V，这一信号可有效驱动下一级电路。

图 17 为 VCO 输出频率随控制电压的变化曲线。当控制电压 V_{ctrl} 在 0.5～1.2 V 范围内变化时，VCO 的输出频率调谐范围为 564 MHz～1.28 GHz，在此范围内，VCO 调谐线性度较好，中心频率处调谐增益 K_{vco} 约为 1 025 MHz/V。

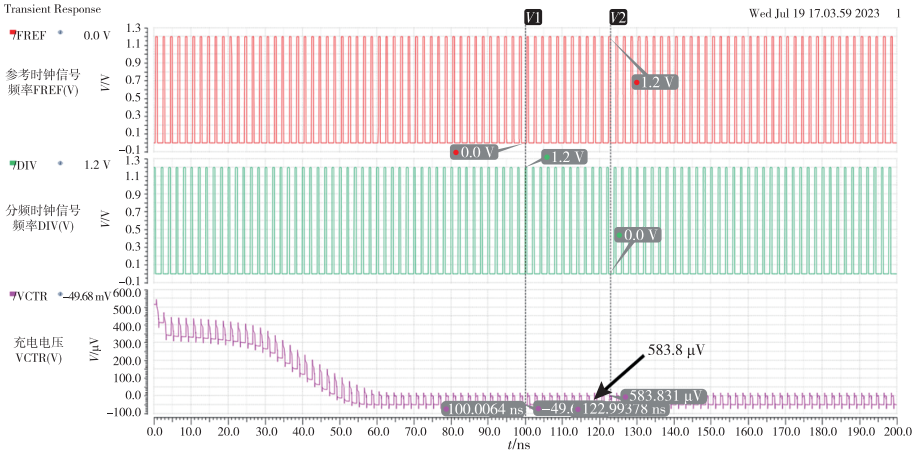


图 14 电荷泵放电仿真图

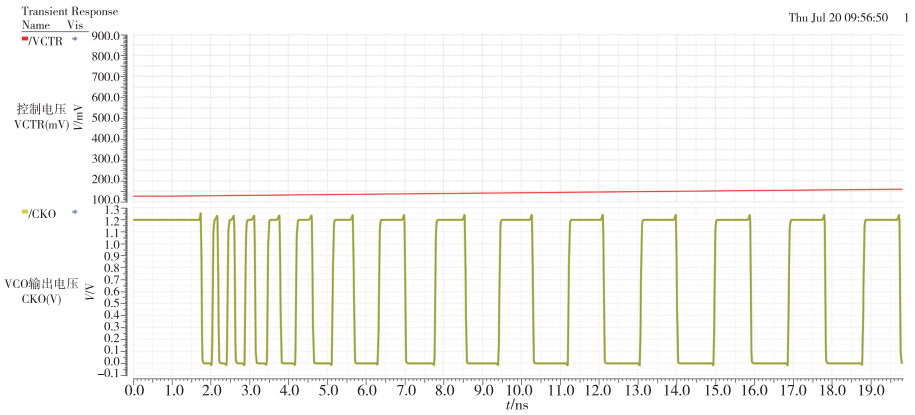


图 15 压控振荡器瞬态仿真波形

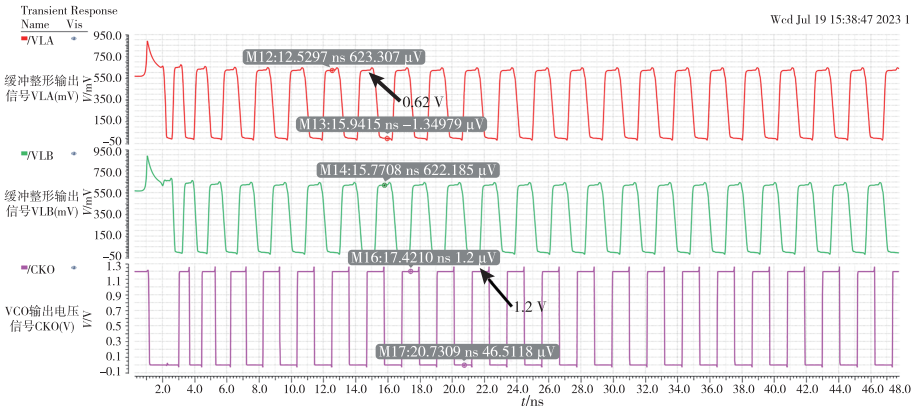


图 16 VCO经过缓冲电路整形后输出波形

在PLL中，噪声在频域上表现为相位噪声，在时域上表现为抖动，一般用相位噪声表征PLL的信噪比水平。如图18为VCO的相位噪声仿真结果，可以看到，在10 MHz的频偏处，VCO的相位噪声为72.09 dBc/Hz，而在100 MHz时，相位噪声降至71.39 dBc/Hz。

通过公式(10)可计算相位抖动(RMS phase jitter)：

$$\sigma_{\mathrm{rms}}=\frac{\sqrt{2\int_{f_1}^{f_2}L(f)\mathrm{d}f}}{2\pi f_0(f_2-f_1)} \tag{10}$$

式中，f_1，f_2为积分频率范围，设定为1 kHz~1 GHz；f_0为信号的频率；$L(f)$为数域相位噪声。

在10 MHz频偏处：

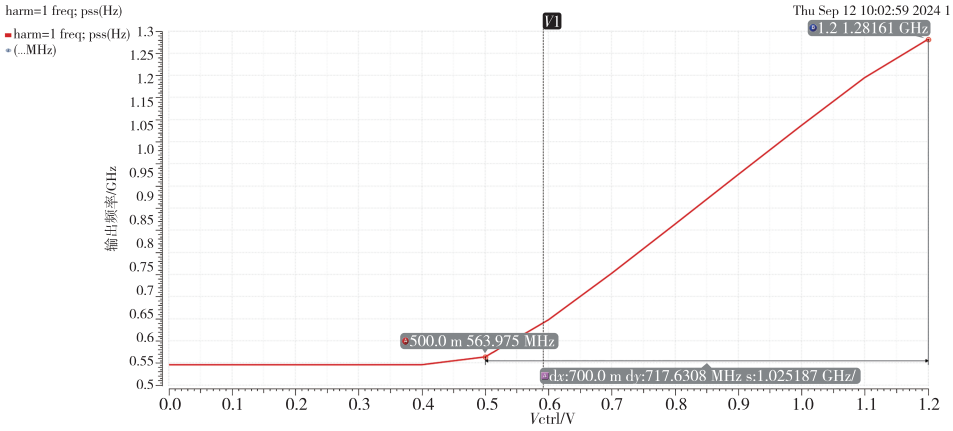


图 17　压控振荡器的调谐曲线

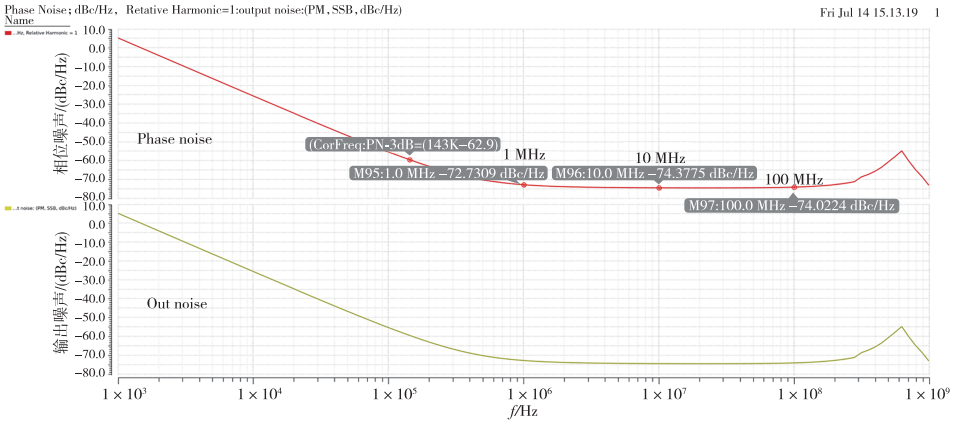


图 18　压控振荡器的相位噪声曲线

$$\sigma_{rms}=\frac{\sqrt{2\int_{1\,kHz}^{1\,GHz}72.09df}}{2\pi\times 10\,MHz(1\,GHz-1\,kHz)}=6.04\ ps \quad (11)$$

在 100 MHz 频偏处：

$$\sigma_{rms}=\frac{\sqrt{2\int_{1\,kHz}^{1\,GHz}71.39df}}{2\pi\times 100\,MHz(1\,GHz-1\,kHz)}=0.601\ ps \quad (12)$$

经计算，VCO 在 10 MHz 时相位噪声抖动为 6.04 ps，在 100 MHz 时为 0.601 ps，说明本设计的 VCO 性能稳定。

对整体锁相环进行时域仿真，当输入参考频率为 10 MHz 时，经各模块处理后参考时钟变为 2 MHz。随后，经 320 倍锁相倍频，最终输出约 640 MHz 的高频信号。图 19 展示了控制电压波形及环路锁定后输出波形，图 20 为图 19 在 85～86 μs 内的放大图。

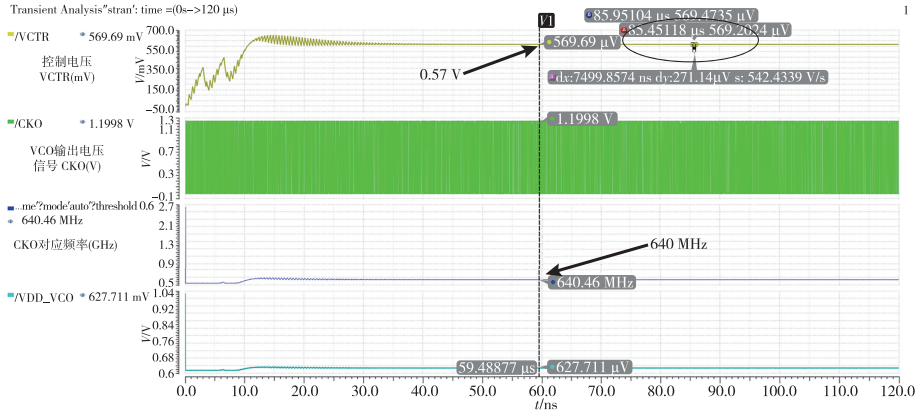


图 19　PLL 控制电压波形和环路锁定后输出时钟信号图

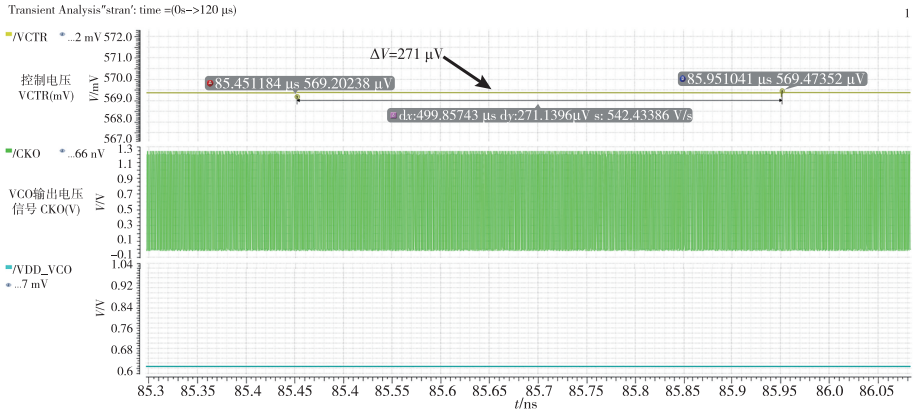


图20 锁相环锁定后控制电压变化情况放大图

综上可知，整体锁相环约在50 μs之后进入锁定状态，锁定时的控制电压V_{ctrl}为0.57 V，在锁相环锁定后，锁相环最终输出信号频率为640 MHz。

4 电荷泵锁相环的性能比较与分析

为验证所设计的电荷泵锁相环（CP-PLL）在高频性能及低噪声特性方面的优势，将其与同领域已有研究成果进行性能对比。表1列出了典型PLL设计的关键指标，包括工作频率范围、相位噪声、锁定时间及功耗。

由表1可见，所设计的CP-PLL在工作频率范围、相位噪声和锁定时间等关键性能指标上均表现优异。具体而言，在高频化优势方面，其输出频率最高可达1.28 GHz，相比同类设计提升约30%，适配更高速的像元读出电路；在低噪声特性方面，其相位噪声达−72.7 dBc/Hz@1MHz，这得益于轨到轨电荷泵结构与优化环路滤波器设计，显著降低电荷注入与电源耦合噪声；在快速锁定性能方面，通过可调环路带宽和PFD结构，实现50 μs内稳定锁定，较传统设计缩短约20%；在低功耗与工艺优化方面，采用GF0.11 μm CMOS工艺及高线性环形VCO，有效降低了功耗并提高调谐线性度。

表1 各PLL设计性能对比

文献	工艺	工作频率范围	相位噪声(@1MHz)	锁定时间	功耗
Kim等[10]	0.18 μm	100 MHz～800 MHz	−65 dBc/Hz	120 μs	8.3 mW
Kim等[11]	0.13 μm	200 MHz～1 GHz	−68 dBc/Hz	90 μs	6.7 mW
Abolhasani等[12]	0.13 μm	50 MHz～600 MHz	−70 dBc/Hz	60 μs	5.5 mW
本文	0.11 μm	564 MHz～1.28 MHz	−72.7 dBc/Hz	约50 μs	5 mW

综上，本设计在“高频化、低噪声、快速锁定”三方面均较现有研究有显著改进，适用于高分辨率长波红外探测器的高精度时钟生成。

5 结论

本文设计的高频信号锁相环为长波红外探测器提供了稳定时钟信号，通过CP-PLL技术有效降低时钟抖动与相位噪声，提升探测器分辨率与灵敏度，使其能够捕捉更微弱的红外信号。此外，该设计实现了宽频率范围合成，可快速平滑地切换频率，解决了传统设计频率范围有限、切换速度慢等问题，增强了应用灵活性与适应性。

与同领域PLL设计相比，本文在1.2 V低电压条件下实现了更高输出频率和更低相位噪声，兼顾功耗与锁定速度，体现出高频化与低噪声方向的设计突破，对高分辨率红外焦平面阵列的时钟生成具有参考意义。

本研究目前处于设计与仿真验证阶段，尚未完成流片实测。设计已基于GF0.11 μm CMOS工艺进行全定制版图实现，并通过寄生提取与PVT工艺角仿真验证，结果表明设计性能满足预期目标，具备实际流片实现的可行性。经仿真验证，在1.2 V电源电压下，锁相环输出频率范围为564 MHz～1.28 GHz；当输出频率为640 MHz时，锁定时间约为50 μs，锁定控制电压V_{ctrl}为0.57 V，相位噪声达−72.7 dBc/Hz@1MHz，噪声性能良好，可满足长波红外探测器的高精度应用需求。

参考文献：

[1] 于　艳，李敬国，刘泽巍．红外焦平面像素级数字化技术最新进展[J]．激光与红外，2018，48(8)：951-957.
Yu Yan，Li Jingguo，Liu Zewei. Recent development of IRFPA pixel-level digitization technique[J]. Laser & Infrared，2018，48(8)：951-957.

[2] 冯　景，张　繁．一种降低时钟锁相环抖动的技术研究[J]．通信技术，2020，53(12)：3116-3121.
Feng Jing，Zhang Fan. Technique research for reducing PLL jitter[J]. Communications Technology，2020，53(12)：3116-3121.

[3] 彭　艺．锁相环技术的应用和发展[J]．电子技术与软件工程，2019(10)：30.

[4] 张济清，钟昇佑，李正芬，等．高帧频384×288长波数字红外焦平面探测器[J]．光学学报，2021，41(20)：2036001.
Zhang Jiqing，Zhong Shengyou，Li Zhengfen，et al. High frame rate 384 × 288 long-wave digital infrared focal plane array detector [J]. Acta Optica Sinica，2021，41 (20)：2036001.

[5] 白丕绩，姚立斌，陈　楠，等．像素级数字长波制冷红外焦平面探测器研究进展[J]．红外技术，2018，40(4)：301-308.
Bai Piji，Yao Libin，Chen Nan，et al. Progress of pixel-ADC level digital long wave cooled infrared focal plane array detector [J]. Infrared Technology，2018，40(4)：301-308.

[6] 周　滔．应用于图像传感器中的低功耗全数字锁相环的设计[D]．大连：大连理工大学，2022.
Zhou Tao. The design of low-power all digital phase-locked loop used in CMOS image Sensor [D]. Dalian：Dalian University of Technology，2022.

[7] 余黎静，唐利斌，杨文运，等．非制冷红外探测器研究进展[J]．红外与激光工程，2021，50(1)：63-77.
Yu Lijing，Tang Libin，Yang Wenyun，et al. Research progress of uncooled infrared detectors (Invited) [J]. Infrared and Laser Engineering，2021，50(1)：63-77.

[8] Ryabov I V，Tolmachev S V，Yuriev P M. Direct digital synthesizer with fast frequency tuning [C]//2018 Systems of Signal Synchronization，Generating and Processing in Telecommunications (SYNCHROINFO)，2018：1-3.

[9] Liu H E，Su C J，Cheng C K，et al. Design and modeling of PLL-based clock and data recovery circuits with periodically embedded clock encoding for intra-panel interfaces [C]//2016 IEEE International Symposium on Circuits and Systems (ISCAS)，2016：2234-2237.

[10] Kim S J，Lee S H，Ahn K H，et al. Design of phase locked loop for W-band detection transceiver [J]. Journal of the Institute of Electronics and Information Engineers，2020，57(1)：28-35.

[11] Kim W，Park J，Park H，et al. Layout synthesis and loop parameter optimization of a low-jitter all-digital pixel clock generator [J]. IEEE Journal of Solid-State Circuits，2014，49(3)：657-672.

[12] Abolhasani A，Mousazadeh M，Khoei A. Fast-locking PLL based on a novel PFD-CP structure and reconfigurable loop filter [J]. IET Circuits，Devices & Systems，2020，14(8)：1235-1242.

[13] Souliotis G，Keramida E，Plessas F，et al. Temperature compensated ring oscillator based VCO [J]. AEU - International Journal of Electronics and Communications，2022，149：154195.

[14] Li K，Meng F，Thomson D J，et al. Analysis and implementation of an ultra-wide tuning range CMOS ring-VCO with inductor peaking [J]. IEEE Microwave and Wireless Components Letters，2017，27(1)：49-51.

[15] 朱斌超．基于环形振荡器的电荷泵锁相环研究与设计[D]．南京：东南大学，2018.
Zhu Binchao. Research and design of charge pump phase locked loop based on ring oscillator[D]. Nanjing：Southeast University，2018.

作者简介：

陈奕璇(1996—)，女，河北省唐山市人，模拟工程师，主要专注于红外读出电路方向研究，主导参与多款高帧频、低噪声ROIC芯片研发。