光电器件

DOI: 10.16818/j.issn1001－5868.20250925001

2 000 V单P阱高阈值VDMOS器件设计与特性仿真

李 尧*,陈文舒,苟恒璐,谌利欢,白开亮,龙 仪
(兰州交通大学 电子与信息工程学院,兰州 730070)

摘 要: 文章设计了一种单P阱结构的2 000 V垂直双扩散金属氧化物半导体场效应晶体管(VDMOS)。利用Silvaco仿真软件分析了P阱宽度、结深、掺杂浓度、P-body区掺杂浓度及漂移区掺杂浓度对VDMOS击穿电压的影响。研究结果表明,在有效长度为26 μm的器件终端上,当P阱宽度为2.8 μm,P阱结深为4.4 μm,P阱掺杂浓度为2.0×10^{18} cm^{-3},P-body区掺杂浓度为3.0×10^{17} cm^{-3},漂移区掺杂浓度为4.0×10^{14} cm^{-3}时,器件阈值电压为5.6 V,击穿电压为2 000 V。与传统VDMOS相比,优化后的器件击穿电压从640 V提升至2 000 V,增幅达213%;阈值电压从3 V提升至5.6 V,增幅为87%。该单P阱结构在显著提升器件耐压与阈值特性的同时,保持了终端结构的紧凑性,并未引入额外的工艺复杂度,展现出良好的性能优势与应用潜力。

关键词: VDMOS; P阱; 阈值电压; 击穿电压
中图分类号: TN386.2 **文章编号:** 1001－5868(2026)01－0050－07

Design and Simulation of a 2 000-V Single P-Well High-Threshold VDMOS Device

LI Yao, CHEN Wenshu, GOU Henglu, CHEN Lihuan, BAI Kailiang, LONG Yi
(School of Electronic and Information Engineering, Lanzhou Jiaotong University, Lanzhou 730070, CHN)

Abstract: This paper presents the design of a 2 000 V vertical double-diffused metal - oxide - semiconductor field-effect transistor (VDMOS) with a single P-well structure featuring a high breakdown voltage and elevated threshold voltage characteristics. Using Silvaco TCAD simulations, the effects of the P-well width, junction depth, P-well doping concentration, P-body doping concentration, and drift-region doping concentration on the breakdown voltage of the VDMOS device were analyzed. The results show that for a device with an effective terminal length of 26 μm and P-well width of 2.8 μm, the P-well junction depth is 4.4 μm, while the P-well, P-body, and drift-region doping concentrations are 2.0×10^{18}, 3.0×10^{17}, and 4.0×10^{14} cm^{-3}, respectively. Under these conditions, the device achieves threshold and breakdown voltages of 5.6 V and 2 000 V, respectively. Compared with conventional VDMOS devices, the optimized design enhances the breakdown and threshold voltages by 213% (from 640 V to 2 000 V) and 87% (from 3 V to 5.6 V), respectively.

Key words: VDMOS; P-well; threshold voltage; breakdown voltage

0 引言

垂直双扩散金属氧化物半导体场效应晶体管(Vertical Double-diffused Metal Oxide Semiconductor Field Effect Transistor,VDMOS)具有频率特性好、噪声容限出色和驱动电路简单等优势,并具备负温度系数,无二次击穿效应,在电力电子技术领域应

收稿日期:2025－09－25.
基金项目:国家自然科学基金(61905102,62264008);甘肃省高校青年博士支持项目(2024QB-050);兰州市青年科技人才创新项目(2023-QN-119).
*通信作者:李 尧

用日益广泛[1-2]。VDMOS 的设计包括器件的单元图形、终端耐压技术以及比导通电阻和击穿电压的优化设计等[3]。击穿电压是 VDMOS 器件一个重要的参数。一般的 VDMOS 主要由元胞和终端两部分组成，终端设计旨在改善元胞区边缘的局部电场，提高表面击穿电压和可靠性[4-6]。器件的击穿点通常设计在终端区域，因此其决定了整个器件的击穿电压[7-9]。

为提高 VDMOS 击穿电压，研究者提出许多优化 VDMOS 击穿电压的结构设计。例如，石存明等[10]借鉴 JTE 的方法，引入缓变结耐压，提出一种终端有效长度为 130.2 μm、击穿电压为 992.0 V 的 VDMOS 终端结构。刘铭等[11]采用场限环与场板相结合的方式，在场限环上添加多晶硅场板与金属场板来调整终端结构，在 135 μm 的有效终端长度上实现了 848 V 的击穿电压。赵磊等[12]通过横向变掺杂技术设计了一款长度为 118 μm、击穿电压为 700 V 的终端结构。以上研究中所提出的 VDMOS 器件的击穿电压仍有待提升，且器件终端的长度过长会减慢开关速度，并增加设计与加工复杂性。

对此，本文在传统平面栅 VDMOS 中引入单 P 阱结构，仿真研究了 P 阱宽度、结深、掺杂浓度、P-body 区掺杂浓度以及漂移区掺杂浓度对器件击穿特性的影响。结果表明，在有效终端长度为 26 μm 的条件下，该器件实现了 2 000 V 的耐压和 5.6 V 的阈值电压。此外，器件的电场分布均匀，可靠性高，占用芯片面积小。

1　器件结构与优化目标

图 1 为传统 VDMOS（C-VDMOS）器件结构，图 2 为所提出的单 P 阱 VDMOS（SP-VDMOS）器件结构。选取击穿电压为 730 V 的 C-VDMOS 作为仿真分析的初始模型，表 1 详细列出了 C-VDMOS 的关键结构和相关参数。

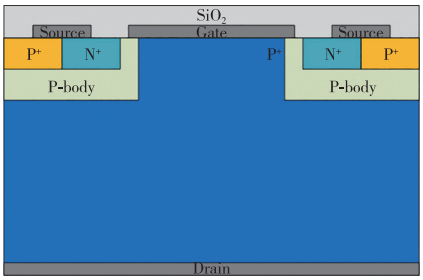


图 1　传统 VDMOS 结构

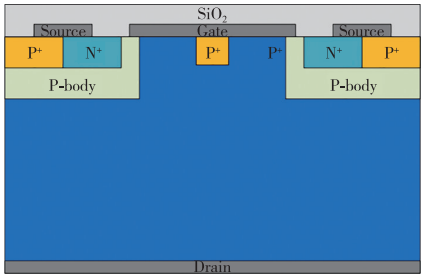


图 2　单 P 阱 VDMOS 结构

表 1　器件结构参数

器件参数	C-VDMOS	SP-VDMOS
漂移区长度 L_D/μm	26	26
漂移区长度 T_D/μm	50	50
氧化层厚度 L_{OX}/μm	0.2	0.2
漂移区掺杂浓度 N_D/cm^{-3}	2×10^{14}	待优化
P 阱数量 n_P/个	—	1
P 阱宽度 W_P/μm	—	待优化
P 阱结深 P_j/μm	—	待优化
P 阱掺杂浓度 N_P/cm^{-3}	—	待优化
P-body 区掺杂浓度	1×10^{17}	待优化

利用仿真软件 Silvaco 对 SP-VDMOS 器件特性进行系统的仿真分析。在数值仿真过程中，综合考虑温度效应、掺杂浓度分布及横向电场分布等多重物理因素对器件电学特性的耦合影响，并采用 IMPACTSELB 碰撞电离模型，对 VDMOS 器件的击穿行为进行分析。IMPACTSELB 模型能够准确描述高电场下载流子的碰撞电离过程，从而有效预测器件在高电场条件下的击穿特性。此外，考虑到掺杂浓度和电场强度对载流子迁移率的影响，研究引入 CVT 迁移率模型。该模型特别适用于高掺杂浓度条件下的载流子运动，并能够精确捕捉高电场下的迁移率变化。在模拟 VDMOS 器件的载流子特性时，CVT 模型展现了较高的精度，能够有效预测器件的电导特性。在复合机制方面，本研究同时考虑了 SRH 复合和 AUGER 复合两种主要机制。SRH 复合在低电场条件下占主导地位，而 AUGER 复合则在高载流子浓度和高电场下变得更加显著。两者的结合使得仿真能够更加准确地描述器件在不同工作条件下的载流子复合特性。IMPACTSELB 碰撞电离模型、CVT 迁移率模型以及 SRH 与 AUGER 复合机制的组合在多个 VDMOS 器件研究中得到了验证，相关文献中的仿真结果与实验数据表明，这些模型能够准确预测 VDMOS 器件的击穿特性、载流子行为和电场分布，从而验证了该组合在硅基功率器件中的有效性。

在数值求解方面，采用Gummel与Newton迭代算法的混合方案，实现了对泊松方程、连续性方程和漂移-扩散方程组的稳定高效求解。

对C-VDMOS器件的转移特性和击穿特性进行仿真，设定C-VDMOS目标击穿电压为730 V。根据功率器件设计理论，漂移区的最优掺杂浓度N_D和漂移区厚度T_D可通过以下公式估算：

$$N_D = 2.0 \times 10^{18} V_B^{-1.4} \quad (1)$$

$$T_D = 0.0183 V_B^{1.2} \quad (2)$$

通过公式(1)和(2)的理论分析，确定730 V击穿电压的VDMOS器件设计参数：漂移区掺杂浓度为2.0×10^{14} cm^{-3}，漂移区厚度为50 μm。其中，V_B，N_D，T_D分别代表击穿电压(V)、漂移区掺杂浓度(cm^{-3})和漂移区厚度(μm)。初步设定其他参数：P-body区掺杂浓度为1.0×10^{17} cm^{-3}，结深为4.5 μm，n$^+$源区和p$^+$源区掺杂浓度均为1.0×10^{20} cm^{-3}，结深均为2 μm。基于上述参数，得到C-VDMOS的转移特性曲线(图3)和击穿特性曲线(图4)。

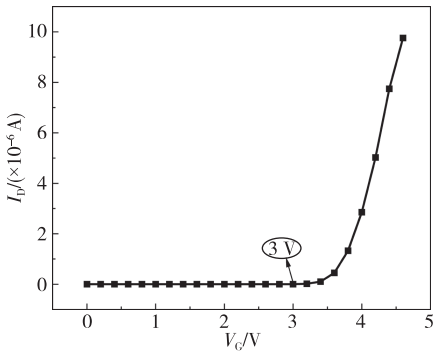


图3 C-VDMOS的转移特性曲线

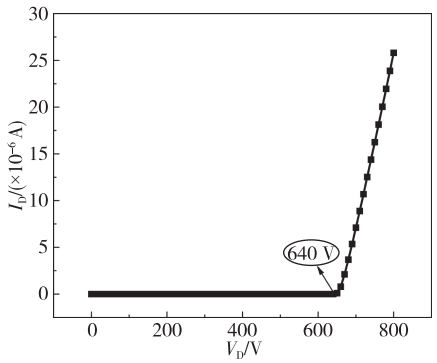


图4 C-VDMOS的击穿特性曲线

如图3展示了器件的转移特性曲线，以正向偏置电压V_G为横坐标，漏极电流I_D为纵坐标。当栅极电压超过3 V的阈值时，电子在P-body区内被生成并逐渐聚集，这些电子与n$^+$区及n$^-$漂移区共同构成导电n沟道，实现源漏极间的电流输送。如图4反映了器件的击穿特性，横坐标为漏极电压V_D，纵坐标为漏源电流I_D。在较低的漏极电压范围内，漏源电流维持在较小数值，当漏极电压升至约640 V时，器件发生雪崩击穿现象。此时漏源电流呈现急剧上升趋势，标志着器件已进入击穿工作区域。所得C-VDMOS的阈值电压为3 V，实际击穿电压为640 V，实际击穿电压明显低于理论击穿电压。为解决这一问题，本文提出单P阱VDMOS结构，优化其漂移区掺杂浓度、P-body区掺杂浓度、P阱深度、P阱宽度以及P阱掺杂浓度，以实现更高的击穿电压和更优的器件性能。

2 器件结构与优化目标

为提高器件击穿电压和阈值电压，对P阱宽度、结深、掺杂浓度、P-body区掺杂浓度及漂移区掺杂浓度进行了优化设计。

2.1 P阱宽度优化

在漂移区表面引入P阱结构时，P阱宽度是影响VDMOS击穿特性的关键参数之一。P阱宽度的增大会促使VDMOS器件在反向偏压下P阱区域的耗尽层更充分地扩展，从而使得器件的耗尽层边界的曲率半径增大[13]。这种变化有助于减少表面电场集中现象，可以有效提升器件击穿电压。

通过数值模拟方法，设定仿真条件：P阱深度为3.0 μm，P阱掺杂浓度为2.0×10^{18} cm^{-3}，漂移区掺杂浓度为2.0×10^{14} cm^{-3}，P-body区掺杂浓度定为1.0×10^{17} cm^{-3}。在保持其他参数不变的条件下，将P阱的宽度W_P从1.2 μm逐步增大到2.8 μm。图5展示了不同P阱宽度下器件的击穿特性曲线，可以看出击穿电压随着W_P的增大逐渐增大。由图5内插图可知，当W_P=2.8 μm时击穿电压达到最大值1 700 V，相较于C-VDMOS的640 V提升了166%。

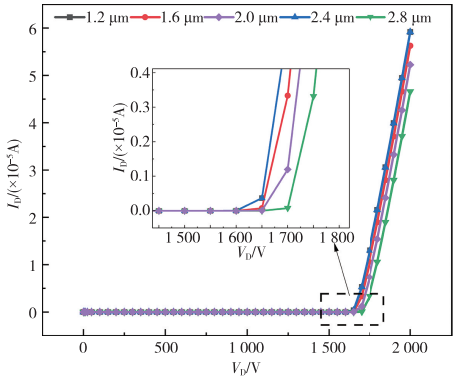


图5 不同P阱宽度下的击穿特性曲线

为分析 W_P 对击穿电压的影响机制，研究获取了不同 W_P 的 SP-VDMOS 的表面电场分布特征。图 6 展现了器件在反向击穿状态下的电场分布结果，图中横坐标 d_X 代表器件的横向距离，纵坐标 E 表示电场强度。结果表明，当 P 阱宽度较小（如 W_P=1.2 μm）时，源极和漏极附近区域出现较强的电场集中，并且电场的衰减较快。这是由于较小的 P 阱宽度限制了电荷的分布区域，使得电场在距离较近时表现出较强的强度。随着 P 阱宽度增大，电场分布趋于平缓，强度变化更加均匀，表明载流子分布的均匀性得到改善，电场集中效应显著减弱[14]。研究结果表明，P 阱宽度为 2.8 μm 的 SP-VDMOS 能在更高电压下维持较低的电场强度，从而获得更高的击穿电压。基于上述分析，将 P 阱宽度优化为 2.8 μm。

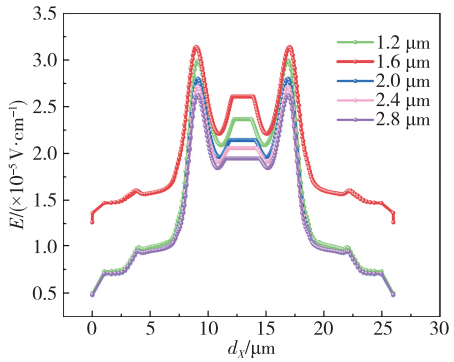


图 6　不同 P 阱宽度下的表面电场分布

2.2　漂移区掺杂浓度对 SP-VDMOS 击穿特性的影响

漂移区的掺杂浓度对 VDMOS 器件的耐压特性具有关键性影响。在保持 P 阱深度为 3.0 μm、宽度为 2.8 μm，以及 P 阱掺杂浓度为 2.0×10^{18} cm^{-3} 与 P-body 区掺杂浓度为 1.0×10^{17} cm^{-3} 恒定的条件下，对漂移区掺杂浓度 N_D 进行调控。当 N_D 由 1.0×10^{14} cm^{-3} 逐步提升至 4.5×10^{14} cm^{-3} 时，器件的击穿特性表现出明显差异。图 7 给出了不同漂移区掺杂水平下 SP-VDMOS 击穿特性的变化趋势。

由图可知，随着 N_D 的增加，器件的击穿电压呈上升趋势，但其提升幅度逐渐趋于饱和。当掺杂浓度达到 4.0×10^{14} cm^{-3} 时，击穿电压达到峰值，为 1 750 V，较 C-VDMOS 的击穿电压提升了 173%。由图 7 内插图可见，掺杂浓度为 4.0×10^{14} cm^{-3} 和 4.5×10^{14} cm^{-3} 的击穿点相同，表明此时击穿电压不再随漂移区掺杂浓度的增加而增大。

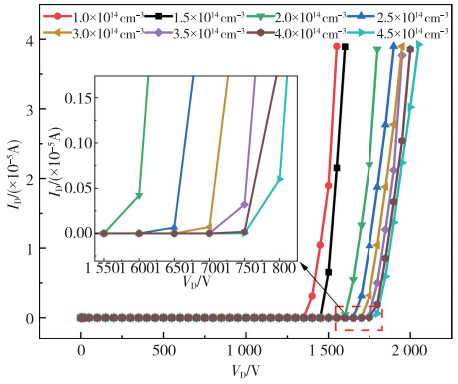


图 7　不同漂移区浓度下的击穿特性曲线

为研究漂移区掺杂浓度 N_D 对器件击穿电压的作用机制，对 SP-VDMOS 在不同 N_D 条件下的反向击穿特性进行分析。设定掺杂浓度范围为 1.0×10^{14} cm^{-3}～4.5×10^{14} cm^{-3}。在击穿状态下提取对应的表面电场分布，结果如图 8 所示。由图可知，当 N_D=4.5×10^{14} cm^{-3} 时，漂移区的电场强度达到最大值，表面峰值电场为 3.3×10^{5} V/cm，这一电场强度已超过硅材料的临界击穿电场（3×10^{5} V/cm），从而引发雪崩击穿[15]，导致器件损坏。相比之下，浓度为 4.0×10^{14} cm^{-3} 的电场分布相对均匀，峰值电场未超过临界值，且击穿电压为最高。因此，将漂移区掺杂浓度优化为 4.0×10^{14} cm^{-3}。

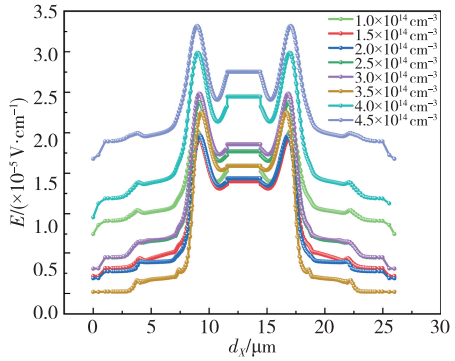


图 8　不同漂移区浓度下的表面电场分布

2.3　P-body 区掺杂浓度对 SP-VDMOS 击穿特性的影响

P-body 区的掺杂浓度直接决定器件的导电特性、开关性能、稳定性以及在高电压条件下的耐压能力。设定 P 阱深度为 3.0 μm，宽度为 2.8 μm，P 阱掺杂浓度为 2×10^{18} cm^{-3}，漂移区掺杂浓度为 4.0×10^{14} cm^{-3}。在保持其他结构参数不变的条件下，将 P-body 区掺杂浓度在 1.5×10^{17} cm^{-3}～3.5×10^{17} cm^{-3} 范围内进行参数扫描，得到不同掺杂浓度下的击穿电压结果如图 9 所示。由图可知，SP-

VDMOS击穿电压随P-body区掺杂浓度的增加呈现先升高后饱和的变化趋势。这是因为过高的掺杂浓度会导致P-body区中载流子的散射效应增强，进而抑制电场的增强。掺杂浓度为3.0×10^{17} cm^{-3}和3.5×10^{17} cm^{-3}的两条曲线几乎重合，表明击穿电压已达到饱和值为1 900 V，此时的耐压值相较于C-VDMOS提升了197%。

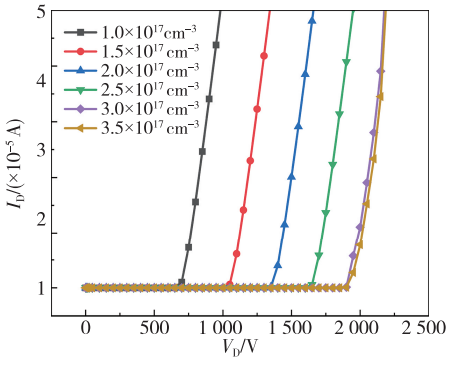


图9 不同P-body区掺杂浓度下的击穿特性曲线

相同条件下，进一步仿真得到了P-body区掺杂浓度从1.5×10^{17} cm^{-3}～4.0×10^{17} cm^{-3}的器件转移特性曲线，如图10所示。由图可见，SP-VDMOS的阈值电压与P-body区掺杂浓度呈正相关关系，当P-body区掺杂浓度达到3.0×10^{17} cm^{-3}时，SP-VDMOS的阈值电压达到5.6 V且不再随掺杂浓度增大而变化。

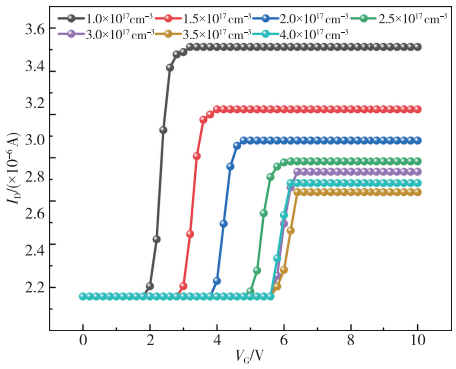


图10 不同P-body区掺杂浓度下的转移特性曲线

这是由于P-body区掺杂浓度的提高会增强体效应[16]，进而导致阈值电压升高。然而，当掺杂浓度达到某一临界值后，耗尽层宽度压缩至纳米级，电子可通过量子隧穿穿越势垒，大幅提升隧穿电流。在隧穿电流主导下，增长斜率趋缓，体效应趋于饱和，阈值电压不再变化。因此，确定P-body区的最优掺杂浓度为3.0×10^{17} cm^{-3}，该浓度既能保证器件获得较高的击穿电压(1 900 V)，又能得到较高的阈值电压(5.6 V)。

2.4 P阱深度对SP-VDMOS击穿特性的影响

当SP-VDMOS漂移区表面引入P阱时，结深对器件击穿电压的影响也应予以考虑。设定P阱宽度为2.8 μm，P阱掺杂浓度为2.0×10^{18} cm^{-3}，P-body区掺杂浓度为3.0×10^{14} cm^{-3}，漂移区掺杂浓度为4.0×10^{14} cm^{-3}。其他参数固定不变，将P阱深度P_j从2.2 μm增大到5.0 μm，得到的击穿特性曲线如图11所示。当P_j从2.2 μm增大到4.4 μm时，随着P阱深度的增大，SP-VDMOS的击穿电压V_B呈现增大的趋势。

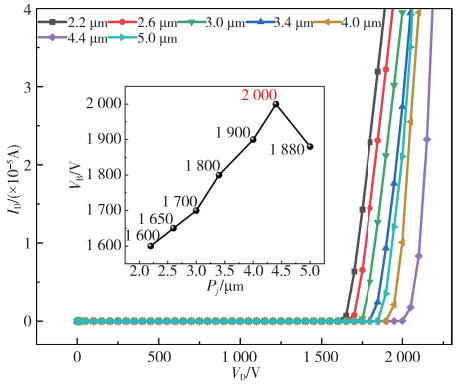


图11 不同P阱深度下的击穿特性曲线

这是因为当P_j较小时，PN结耗尽区有限，电场控制作用占主导，击穿电压随P_j增大而提高。而当P_j增大到5 μm时击穿电压又出现下降的趋势，这是因为当P阱深度过大时，电场集中效应加剧，导致击穿电压反而下降。结合图11插图可知，当P_j=4.4 μm时器件击穿电压V_B达到最大2 000 V，较理论击穿电压提高了174%，与C-VDMOS相比，击穿电压提升了213%。经优化，P阱深度取4.4 μm时器件性能最佳。

2.5 P阱掺杂浓度对SP-VDMOS击穿特性的影响

为探究P阱掺杂浓度的影响，保持P阱宽度为2.8 μm，深度为4.4 μm，P-body区掺杂浓度为3.0×10^{14} cm^{-3}，漂移区掺杂浓度为4.0×10^{14} cm^{-3}。其他参数固定不变，将P阱的掺杂浓度从1.8×10^{18} cm^{-3}变化到3.0×10^{18} cm^{-3}，得到仿真结果如图12所示。由图可见，不同浓度对应的击穿特性曲线完全重合，击穿电压均为2 000 V。这说明在一定范围内，P阱掺杂浓度对SP-VDMOS击穿电压的影响可以忽略，为工艺制造提供了较大的容差窗口。

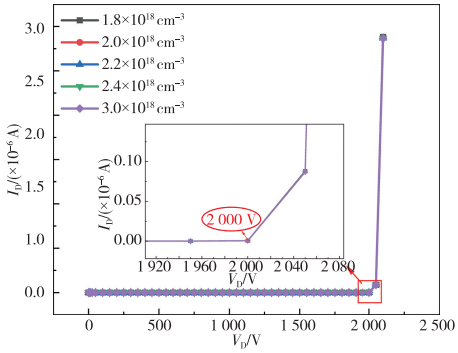


图 12　不同 P 阱浓度下的击穿特性曲线

3　性能对比

经仿真研究，最终确定优化后的 SP-VDMOS 器件参数如表 2 所示。

表 2　优化后器件参数

器件参数	C-VDMOS	SP-VDMOS
漂移区长度 L_D/μm	26	26
漂移区长度 T_D/μm	50	50
氧化层厚度 L_{OX}/μm	0.2	0.2
漂移区掺杂浓度 N_D/cm^{-3}	2×10^{14}	4×10^{14}
P 阱数量 n_P/个	—	1
P 阱宽度 W_P/μm	—	2.8
P 阱结深 P_j/μm	—	4.4
P 阱掺杂浓度 N_P/cm^{-3}	—	2×10^{18}
P-body 区掺杂浓度 $N_{P\text{-}body}$/cm^{-3}	1×10^{17}	3×10^{17}
击穿电压 V_B/V	640	2 000
阈值电压 V_{TH}/V	3	5.6

图 13 为优化后的 SP-VDMOS 与 C-VDMOS 的击穿特性曲线。由图可见，优化后 SP-VDMOS 的击穿电压达到 2 000 V，相比于 C-VDMOS 的 640 V 提升了 213%。图 14 为优化后的 SP-VDMOS 与 C-VDMOS 的转移特性曲线图。由图可知，优化后 SP-VDMOS 的阈值电压达到 5.6 V，相比于 C-VDMOS 的 3 V 提升了 87%。

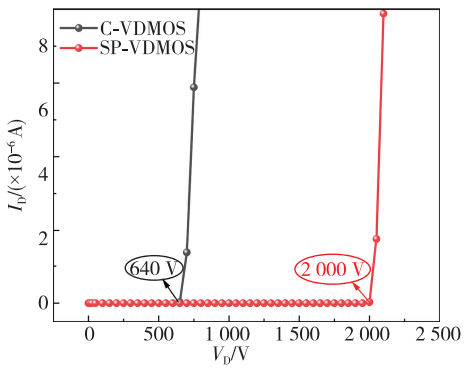


图 13　优化后 SP-VDMOS 与 C-VDMOS 的击穿特性对比

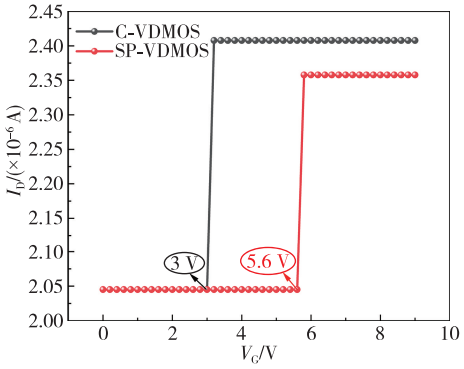


图 14　优化后 SP-VDMOS 与 C-VDMOS 的转移特性对比

相比其他相关文献，本文提出的 SP-VDMOS 结构具有显著优势。如文献[10]采用 JTE，引入缓变结耐压，终端有效长度为 130.2 μm，但需要使用高精度的离子注入技术、光刻技术以及先进的掺杂控制工艺，使得该结构的制造成本较高，期间尺寸大，击穿电压仅为 992.0 V。文献[11]采用场限环与场板相结合的设计，在场限环上加入多晶硅场板和金属场板，并通过调整终端结构，击穿电压达到 848 V，但器件厚度达到 135 μm，且在设计中，场限环和场板的组合需要精确的掺杂工艺和结构控制，导致生产成本上升。文献[12]通过横向变掺杂技术，改变掺杂浓度在横向方向上的分布来优化电场，提升器件的击穿电压，但击穿电压只有 700 V，且终端结构的长度为 118 μm。相比之下，本文提出的单 P 阱 VDMOS，在仅为 26 μm 的紧凑终端结构中，通过引入单一 P 型掺杂区域，达到了 2 000 V 的击穿电压和 5.6 V 的阈值电压。高阈值电压赋予器件更好的热稳定性和抗干扰能力，且该设计没有增加额外的掩膜或工艺步骤，确保了良好的工艺兼容性，易于实现。

3　结论

本文系统研究了单 P 阱 VDMOS 的击穿特性，深入分析了 P 阱宽度、结深、掺杂浓度、P-body 区掺杂浓度及漂移区掺杂浓度对器件性能的影响规律。通过表面电场分布和峰值电场分析，揭示了各参数对器件击穿特性的影响机理。仿真结果表明，当优化参数为：N_D=4.0×10^{14} cm^{-3}，N_P=2.0×10^{18} cm^{-3}，P_j=4.4 μm，W_P=2.8 μm，$N_{P\text{-}body}$=3.0×10^{17} cm^{-3}时，单 P 阱 VDMOS 的击穿电压取得最大值为 2 000 V，阈值电压达 5.6 V。与传统平面栅型 VDMOS 相比，单 P 阱 VDMOS 的击穿电压和阈值

电压分别提升了近213%和87%,且终端长度仅为26 μm,展现出优异的综合性能。

参考文献:

[1] 李 潇,崔江维,郑齐文,等. 硅基N沟道VDMOS不同偏置下总剂量效应研究[J]. 固体电子学研究与进展,2023,43(5):450-455.
Li Xiao, Cui Jiangwei, Zheng Qiwen, et al. Study on the total dose effect of silicon-based N-channel VDMOS with different bias [J]. Research & Progress of Solid State Electronics, 2023, 43(5): 450-455.

[2] 单长玲,习 毓,丁文华. 高压VDMOS结终端技术研究[J]. 机电元件,2023,43(1):20-23.
Shan Changling, Xi Yu, Ding Wenhua. Research on high voltage VDMOS junction terminal technology [J]. Electromechanical Components, 2023, 43(1): 20-23.

[3] 种一宁,李 珏,乔 明. 1500 V超结功率MOS器件优化与电容特性研究[J]. 电子学报,2024,52(7):2271-2278.
Chong Yining, Li Jue, Qiao Ming. Optimization and capacitance characteristics of 1500 V super junction power MOS devices[J]. Acta Electronica Sinica, 2024, 52(7): 2271-2278.

[4] Prasad M, Sahu S K, Parmar O. Enhanced VDMOS design with reduced parasitic effect [J]. International Journal of Modern Physics B, 2025, 39(19): 2550167.

[5] Veljković S, Mitrović N, Jovanović I, et al. Self-heating of stressed VDMOS devices under specific operating conditions [J]. Microelectronics Reliability, 2023, 150: 115213.

[6] Rong S. Study on single event failure mechanism and hardening methods of VDMOS power devices [J]. Journal of Physics: Conference Series, 2024, 2917(1): 012020.

[7] Veljković S, Mitrović N, Davidović V, et al. Response of commercial P-channel power VDMOS transistors to ionizing irradiation and bias temperature stress[J]. Journal of Circuits, Systems and Computers, 2022, 31(18): 2240003.

[8] Chen Z, Zhang C, Wu M, et al. Analysis and mitigation of single-event gate rupture in VDMOS with termination structure [J]. IEEE Transactions on Nuclear Science, 2021, 68(6): 1272-1278.

[9] 何 怡. 低压功率VDMOS的设计研究[J]. 新技术新工艺,2015(2):37-40.
He Yi. Research on design of low-voltage power VDMOS[J]. New Technology & New Process, 2015(2): 37-40.

[10] 石存明,冯全源,陈晓培. 一种900 V JTE结构VDMOS终端设计[J]. 微电子学与计算机,2016,33(4):129-132.
Shi Cunming, Feng Quanyuan, Chen Xiaopei. Design of 900 V JTE structure VDMOS termination [J]. Microelectronics & Computer, 2016, 33(4): 129-132.

[11] 刘 铭,冯全源,陈晓培,等. 一款800V VDMOS终端结构的设计[J]. 电子元件与材料,2015,34(6):66-69.
Liu Ming, Feng Quanyuan, Chen Xiaopei, et al. Design of 800 V VDMOS termination structure [J]. Electronic Components & Materials, 2015, 34(6): 66-69.

[12] 赵 磊,冯全源. VDMOS横向变掺杂终端的优化与设计[J]. 电子元件与材料,2018,37(9):53-56.
Zhao Lei, Feng Quanyuan. Optimization and design of variable lateral doping termination for VDMOS [J]. Electronic Components & Materials, 2018, 37(9): 53-56.

[13] 苏 乐,王彩琳,谭在超,等. 功率金属-氧化物半导体场效应晶体管静电放电栅源电容解析模型的建立[J]. 物理学报,2024,73(11):346-359.
Su Le, Wang Cailin, Tan Zaichao, et al. Establishment of analytical model for electrostatic discharge gate-to-source capacitance of power metal-oxide-semiconductor field-effect transistor[J]. Acta Physica Sinica, 2024, 73(11): 346-359.

[14] 李秀军,刘斯扬,李 胜,等. 基于表面势的碳化硅基VDMOS器件模型[J]. 东南大学学报(自然科学版),2018,48(1):13-18.
Li Xiujun, Liu Siyang, Li Sheng, et al. Surface-potential-based SiC VDMOS device model [J]. Journal of Southeast University (Natural Science Edition), 2018, 48(1): 13-18.

[15] 问 磊,范文天,徐 申. 部分埋氧的超结Trench VDMOS的设计与研究[J]. 电子器件,2019,42(3):541-544.
Wen Lei, Fan Wentian, Xu Shen. Design and research of partially buried oxygen superjunction trench VDMOS [J]. Chinese Journal of Electron Devices, 2019, 42(3): 541-544.

[16] 蒲 石,杜 林,张得玺. 一种新型P沟道VDMOS复合耐压终端[J]. 西安电子科技大学学报(自然科学版),2015,42(6):70-74.
Pu Shi, Du Lin, Zhang Dexi. Novel combined edge termination for P-channel VDMOS [J]. Journal of Xidian University (Natural Science), 2015, 42(6): 70-74.

作者简介:

李 尧(1987—),男,甘肃省武威市人,博士,副教授,主要研究方向为功率半导体器件、有机半导体器件和光电子器件。