光电器件

DOI：10.16818/j.issn1001－5868.20260301001

宽动态范围CMOS图像传感器

陈加欣[1]，蒋祥倩[2,3]*，刘昌举[1,3]，华　勇[1,3]

（1. 中国电科芯片技术研究院，重庆 400060；2. 中国电子科技集团公司第二十四研究所，重庆 400060；
3. 重庆光电技术研究所，重庆 400060）

摘　要： 针对工业检测、科学成像及安防监控等领域对宽动态成像的应用需求，提出一种基于双增益列并行读出架构的宽动态范围CMOS图像传感器设计方法。该器件采用4T像素结构，通过优化光电二极管掺杂分布提升像素满阱容量。在读出方式上，设计了两路不同增益的列并行读出电路，对同一像素输出的感光信号电压同时进行采样、放大、模数转换与读出，并在片外融合生成高动态范围图像。电路基于180 nm CMOS图像传感器工艺设计并进行流片验证，有效像素阵列为1 024×1 024，像元尺寸为15 μm×15 μm，两路增益分别为1倍和8倍。测试结果表明，该传感器动态范围可达74.7 dB，验证了所提方法在提升成像动态范围方面的有效性。

关键词： 大满阱CMOS图像传感器；读出电路；相关双采样；可编程增益放大器

中图分类号： TN379　**文章编号：** 1001－5868(2026)02－0299－08

Wide Dynamic Range CMOS Image Sensor

CHEN Jiaxin[1], JIANG Xiangqian[2,3], LIU Changju[1,3], HUA Yong[1,3]

(1. China Electronics Technology Group Corporation Chip Technology Research Institute, Chongqing 400060, CHN;
2. The 24th Research Institute of China Electronics Technology Corporation, Chongqing 400060, CHN;
3. Chongqing Optoelectronics Research Institute, Chongqing 400060, CHN)

Abstract: To meet the application requirements for wide dynamic range imaging in fields such as industrial inspection, scientific imaging, and security surveillance, a wide dynamic range CMOS image sensor based on a dual-gain column-parallel readout architecture is proposed. The device utilizes a 4T pixel structure and enhances the pixel's full well capacity by optimizing the doping profile of the photodiode. For the readout scheme, two column-parallel readout circuits with different gains are designed to simultaneously sample, amplify, perform analog-to-digital conversion, and read out the photosensitive signal voltage from the same pixel. The two signal paths with different gains are then fused off-chip to generate a high dynamic range image. The circuit was designed and validated through a tape-out using a 180 nm CMOS image sensor process. The effective pixel array is 1 024 × 1 024 with a pixel pitch of 15 μm × 15 μm. The gains of the two readout paths are 1× and 8×, respectively. Test results demonstrate that the dynamic range of the sensor can reach 74.7 dB, validating the effectiveness of the proposed method in improving the imaging dynamic range.

Key words: wide dynamic range CMOS image sensor; readout circuit; correlated double sample; programmable gain amplifier

收稿日期：2026－03－01.

*通信作者：蒋祥倩

0 引言

CMOS图像传感器(CIS)是基于CMOS工艺制作的一种可见光成像器件,广泛应用于手机、消费电子、智能汽车、智能制造、机器人及航空航天等领域[1-3]。其关键技术指标包括量子效率、读出噪声、满阱电荷、动态范围等,其中动态范围是指器件能够捕捉到的最亮信号与最暗信号的比值,比值越大则表明成像时对明暗细节的保留度越高。对于线性响应的CIS器件来说,最大可探测光强即对应满阱容量,最小可探测光强对应噪声。因此,提高器件满阱容量、降低器件噪声可有效扩展动态范围。CMOS图像传感器的动态范围通常在60~70 dB,但是人眼的动态范围在100 dB以上,所以传感器所拍摄的内容很难准确还原人眼所观察到的场景。在汽车电子、安防监控等应用领域,为满足系统整体需求,需采用宽动态设计。宽动态CMOS图像传感器设计已成为学界与产业界的研究热点之一。

为扩展CMOS图像传感器的动态范围,学界与产业界提出了多种研究方法。例如,Cheng与Kavadias等通过在线性图像传感器像素中增加一个工作在亚阈值的晶体管来实现对数响应,从而将感应光强通过对数形式压缩,在相同的电压摆幅条件下,可以探测到更大的光强,从而扩展动态范围[4-5]。但对数响应方式依赖于亚阈值晶体管,工艺失配会引起较大的固定模式噪声。因此,Vatteroni与Chou等提出一种线性与对数结合的器件,在暗光时采用线性模式,可在一定程度上降低固定模式噪声[6-7]。Mase等在一帧曝光时间内插入多个不同的短曝光时间,按照先长曝光再短曝光的顺序依次进行曝光与读出实现多次曝光,长短曝光输出的数据在片内或片外合成宽动态图片[8-9]。该方法无需大幅修改器件结构,但是需要相对复杂的时序设计。在标准像素结构的基础上,Ma与Solhusvik等通过开关控制并联在FD两端的电容,控制实现了像素两档电荷电压转换增益(DCG)技术,也可扩展动态范围[10-11]。Sakai与Shigetoshi等通过在FD一侧增加一个横向溢出的晶体管,连接比FD更大的电容,可显著提升满阱电荷,从而扩展动态范围,该技术称为横向溢出积分电容(LOFIC)[12-13]。Asatsuma等通过设计不同尺寸的光电二极管(PD),并结合不同厚度的微透镜,实现了PD灵敏度的差异化,再经后端电路处理,进而实现宽动态范围[14],但该技术对工艺控制要求较高。目前,DCG,LOFIC与多次曝光技术均为目前产业界应用较多的宽动态技术。以上技术均与像素工艺深度绑定,需从像素仿真、工艺调控等方面与流片厂商协同开展工艺开发,时间周期与成本均难以预估。

本文针对机器视觉、机器人及低空经济等领域的应用需求,提出一种感光像素阵列双增益的列并行读出的宽动态范围CIS设计方法。该设计仅采用传统4T像素结构,在无需复杂像素设计、不降低帧率且数字控制时序简单的条件下,即可大幅提高图像传感器的动态范围。

1 芯片整体架构

宽动态范围CMOS图像传感器整体架构示意图如图1所示。该架构包含1 024×1 024像素单元、行控制电路模块、数字逻辑控制模块、列选模块、相关双采样(CDS)电路、列运放模块、输出选择模块、输出缓冲器、偏置电路及控制模块等。其中像素单元负责将入射光转换成光生电流,并在一定的曝光时间内积累成光生电荷。行控制电路模块用于控制选择某一行像素单元。列选模块、CDS电路、列运放模块、输出选择模块及输出缓冲器等模块均为基于列结构的处理电路。一般来说,像素阵列的每一列对应一套相关双采样及放大电路,首先分别对光强信号和复位信号进行采样,然后将二者之差放大到预定的电压范围内,作为模数转换的输入。而本文在感光像素阵列读出方式上,设计不同增益倍数的列并行读出电路,对同一个像素输出的感光信号电压同时进行采样、放大、模数转换与信号读出,输出的两路不同增益信号在片外融合为高动态范围(HDR)图像。偏置电路为其他电路模块提供合适的静态工作点,确保电路进入正常工作状态。数字逻辑控制模块用于提供CMOS图像传感器所需的各项控制信号,如曝光控制时序、模拟电路控制时序、ADC转换时序及数字量读出时序等。

当读出电路正常工作时,通过向控制寄存器中写入控制命令,以控制图像传感器下一帧的工作模式。读出电路正常工作过程如下:像素单元产生的光生电流传递至列选模块,通过控制寄存器被选中的像素单元依次将每一行的采样值送入对应的列级运算放大器进行放大,最后通过输出选择模块和输出选择器控制像素单元各列的读出顺序。在此芯片中,相关双采

样电路、可编程增益放大器(PGA)以及模数转换器(ADC)均为列级设计。即像素阵列中每一列像素共用一组 CDS 放大器、PGA 放大器及 ADC 组成的模拟信号读出链路，最后采用移位寄存器和低压差分信号传输器(LVDS)将图像传感器采集到的图像数据传输为片外的 FPGA。本芯片输出链路示意图如图 2 所示，经过 CDS 采样的光生电流信号在相应数字模块控制下被送至列级 PGA 运算放大器放大，之后经过总线驱动的单位缓冲之后，在输出选择控制下信号被送至输出缓冲器，进行缓冲输出。

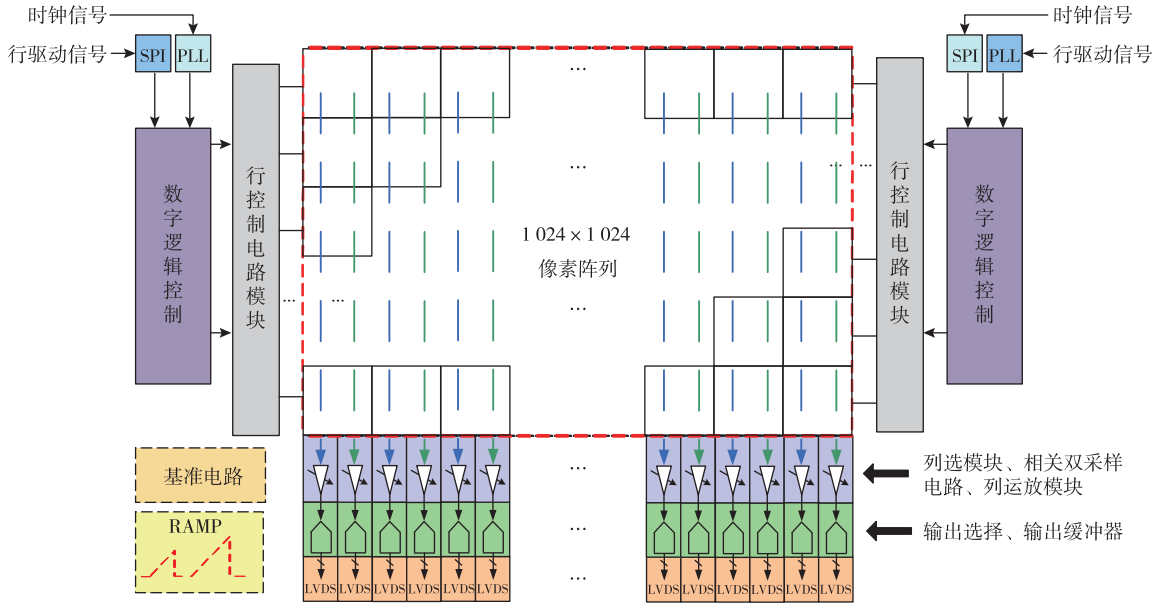


图 1　芯片整体架构示意图

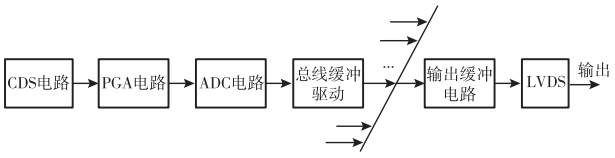


图 2　芯片输出链路示意图

2　片上电路设计

2.1　行/列译码控制电路设计

所设计的 CMOS 图像传感器像素阵列规模为 1 024×1 024，但是列读出电路架构设计采用单边模拟信号读出，两路列电路分别同时处理 1 024×1 024 像素单元。因此，行译码控制电路的片外地址设置为 A_0～A_{10}，通过片外地址和时序信号可以控制行译码电路选通任意行地址所对应的 CMOS 图像传感器像元，使该像元有效。行译码控制电路原理图如图 3 所示，其由能够产生两个相反信号 CJ_X_T 和 CJ_X_NT 的反相器 inv_1 和七个行选控制锁存电路 inv_2 组成。其中，inv_2 电路由非门首尾相接组成，如图 4 所示。10 个行选控制锁存电路 inv_2 的输入为 CJ_X_T，CJ_X_NT 以及片外地址 A_0～A_{10}，在 CJ_X_T 和 CJ_X_NT 两个相反信号的控制下，最终输出地址信号 X<0>，XN<0>～X<10>及 XN<10>。

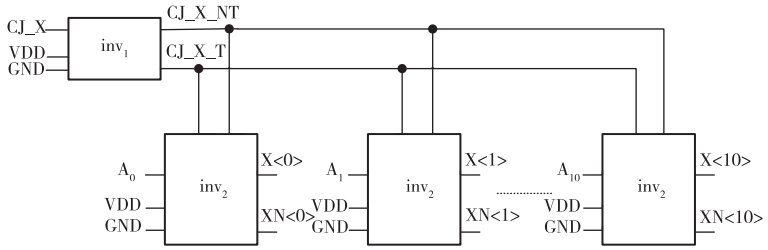


图 3　行译码控制电路原理图

由图 4 分析可得，行译码控制电路输出真值表，如表 1 所示。其中，1 代表高电平，0 代表低电平。在非门首尾相接组成的锁存器作用下，X<0>，XN<0>输出为上一次 X<0>，XN<0>的信号，并且锁存其信号。在行地址信号 CJ_X 的控制下，输出芯片所需的行地址信号 X<0>，XN<0>～X<10>，XN<10>。

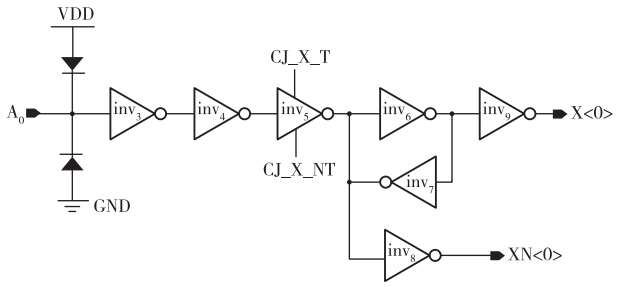


图4 inv_2模块电路原理图

表1 行译码控制电路输出真值表

CJ_X	CJ_X_T CJ_X_NT	A_0	X<0> XN<0>
0	0,1	0	1,0
1	1,0	0	锁存
0	0,1	1	0,1
1	1,0	1	锁存

2.2 行地址译码器电路设计

行地址译码器是将输入的二进制地址转换成对应的控制信号,选择像素阵列中的一行,通常由门电路组成。本宽动态范围CMOS图像传感器的行选译码器包括1 024个子行选译码器电路原理图,每一个子行选译码器电路如图5所示。

当设置输入信号RST,SEL及TX均为高电平3.3 V,且输入地址信号A_{10}~A_0按表2设置时,仿真结果如图6所示。当输入信号A_{10}~A_0设置码值为00000000000时,像素阵列的第一行被选中,即输入信号RST,SEL及TX被传输进像素阵列的第一行。R_1<0>,R_2<0>,R_3<0>与RST,SEL,TX一致为高电平3.3 V,其他行的输入信号因为未被选中,所以为低电平。同理,当输入信号A_6~A_0设置码值为00000000011时,像素阵列的第四行被选中,即输入信号RST,SEL及TX被传输进像素阵列的第四行。R_1<3>,R_2<3>,R_3<3>与RST,SEL,TX一致为高电平3.3 V,其他行的输入信号因为未被选中,所以为低电平。RST,SEL及TX三个信号的作用是控制像素单元的复位、选择和传输控制。

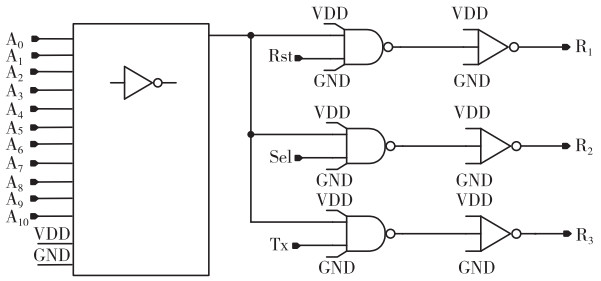


图5 子行选译码器电路原理图

表2 行译码控制电路输入输出真值表

输入信号	真值码	输出信号	真值码
A_{10},A_9,A_8,A_7,A_6, A_5,A_4,A_3,A_2,A_1,A_0	00000000000	R_1<0>,R_2<0>, R_3<0>	111
	00000000001	R_1<1>,R_2<1>, R_3<1>	111
	00000000010	R_1<2>,R_2<2>, R_3<2>	111
	00000000011	R_1<3>,R_2<3>, R_3<3>	111

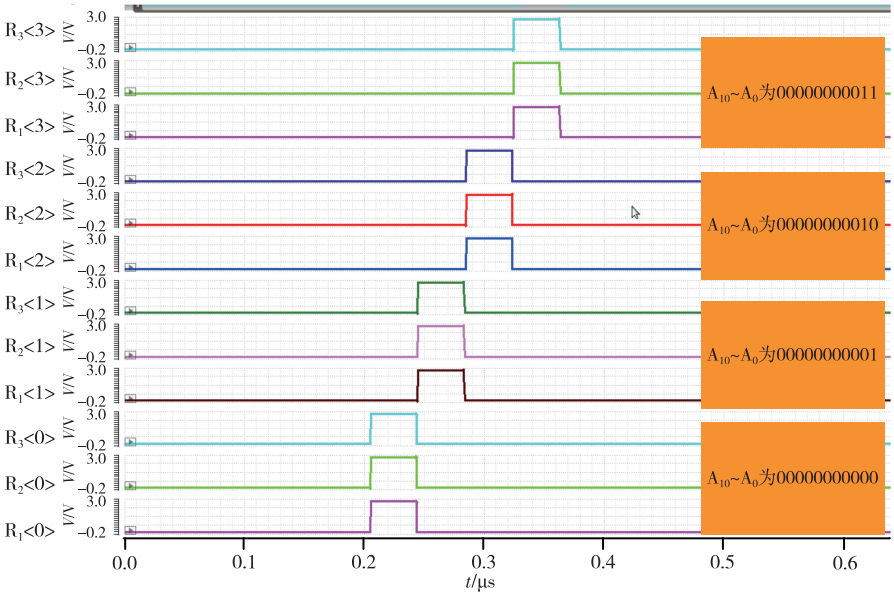


图6 行地址译码器第1行~第4行的仿真图

2.3 相关双采样电路设计

相关双采样电路是区分像素复位信号和积分信号的关键模块。实际上,在行选电路运行之前,像素控制电路已经将复位信号与采样信号分别传输到对

应的采样电容中。为了匹配大满阱像素的输出，电容值需要根据仿真结果进行适当的调整。本文设计的相关双采样电路如图 7 所示，图中 COL 信号是像元经过行选后的输出信号，$BIAS_1$ 和 $BIAS_2$ 分别是放大器偏置信号，S_P 和 R_P 分别是像素复位和像素积分的采样控制信号。电容 C_1 用来存储像素积分信号，电容 C_2 用于存储像素开关信号 t_3，t_4 及 t_5 用于控制复位和积分信号的输出；其余部分晶体管组成一个单位增益放大器，CDS_1 和 CDS_2 为经相关双采样后输出的信号。

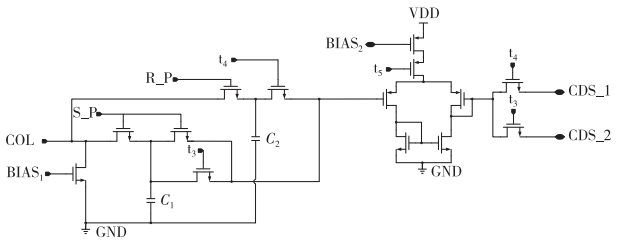


图 7　CDS 电路原理图

具体工作过程如下：

采样阶段：当像元中复位信号到来时，R_P 信号设置为高电平，S_P 信号设置为低电平，控制 MOS 开关 M_3 导通；M_1，M_2 截止，像元复位信号采样到电容 C_2 上。当像元中积分信号到来时，R_P 信号设置为低电平，S_P 信号设置为高电平，控制 MOS 开关 M_1，M_2 导通；M_3 截止，积分信号采样到电容 C_1 上。

读出阶段：完成采样阶段后在 t_3～t_5 信号的控制下分别输出采样在电容 C_1 和 C_2 上的积分和复位信号。当 t_4，t_5 信号设置为高电平，t_3 信号设置为低电平时，开关 M_4，M_6，M_7 导通，M_5，M_8 截止；电容 C_2 上的复位信号经过单位增益放大器输出到 CDS_1 上。当 t_3，t_5 信号设置为高电平，t_4 信号设置为低电平时，开关 M_5，M_6，M_8 导通，M_4，M_7 截止；电容 C_1 上的积分信号经过单位增益放大器输出到 CDS_2 上。

相关双采样电路输出的复位信号和积分信号通过后级的电压跟随器增大驱动能力后输入到差分放大器中进行相减，有利于消除失配和噪声，最终输出像素有效信号。图 8 为本文设计的相关双采样电路仿真结果，像素复位信号设置为 1.5 V，像素积分信号设置为 1 V。在 t_3～t_5 信号的控制下，像素复位信号 CDS_1 输出为 1.48 V，像素积分信号 CDS_2 的输出为 1.06 V，产生偏差的原因是电容在充放电过程中存在的电荷注入和时钟溃通问题。该问题可以通过调整电路结构进一步优化。

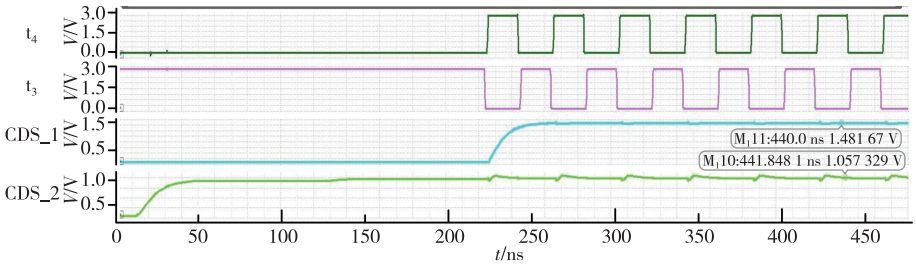


图 8　CDS 电路仿真结果

2.4　可编程增益放大器电路设计

可编程增益运算放大器即 PGA，该模块能通过调节反馈系数来实现较高精度的增益调节。本文 PGA 电路主要起到将像素信号放大的作用，通过调节输入电容和反馈电容值，能够控制像素信号放大的倍数。同时，PGA 电路自身失调也可以通过失调存储电容进行削减，降低列固定模式噪声。所设计的 PGA 电路结构框图如图 9 所示，环路输出的可变增益由反馈电容 C_f 和运算放大器反向输入端对地电容 C_{in} 的比决定。PGA 电路输入与输出增益对应关系如表 3 所示。

当设置 A_0，A_1 及 A_2 为 000 时，设置像素复位信号与积分信号差值为 0.1 V，PGA 电路瞬态仿真结果如图 10 所示，PGA 输出信号处理的功能工作正常，实现对像素输出信号的 8 倍放大。

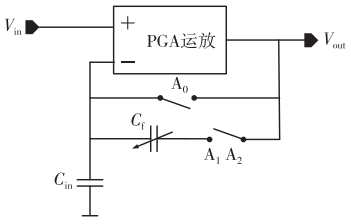


图 9　PGA 电路结构框图

表 3　PGA 电路输入与输出增益对应关系

开关(A_0，A_1，A_2)	增益
111	1×
011	2×
010	4×
000	8×

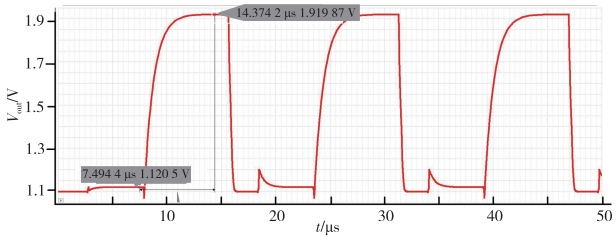


图 10 PGA 电路仿真结果

2.5 电路整体仿真

仿真时间设置为 2 μs，PGA 的放大倍数设置为 1；Pixel<0:7>的复位信号设置为 1.5 V，积分信号为 1 V；Pixel<8:15>的复位信号设置为 2 V，积分信号为 1 V；Pixel<16:23>的复位信号设置为 1.2 V，积分信号为 1 V；输出参考电平设置为 1 V。仿真结果显示：Pixel<0:7>列输出为 1.45 V，Pixel<8:15>输出为 1.87 V，Pixel<16:23>输出为 1.2 V。电路整体仿真结果如图 11 所示。

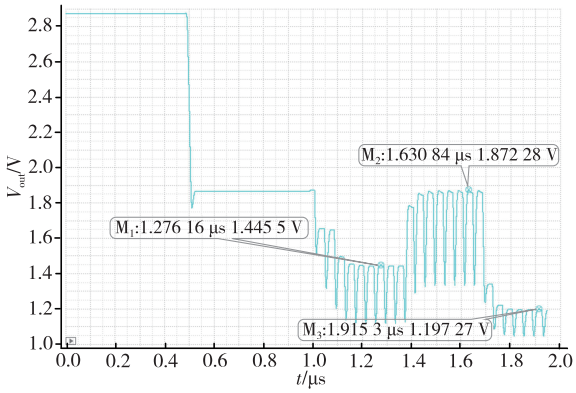


图 11 电路整体仿真结果

3 像素设计

本文像素采用经典 4T 像素结构，如图 12 所示，无需复杂结构与时序设计，主要由钳位光电二极管（PPD）、浮空节点（FD）、转移栅 TG、复位管 RST、源跟随器 SF 以及行选择管 Sel 组成。工作时，PPD 首先在时序控制下被完全耗尽，然后开始曝光；入射光照射 PPD 产生信号电子，曝光结束后，信号电子被转移至 FD；随后通过源极跟随器 SF，在行选择管 Sel 的控制下以电压信号的形式读出。

PPD 采用两次离子注入方式，自表面向硅衬底内部形成 N^+>N^- 的梯度掺杂，用以形成电势梯度，提高满阱容量。同时表面采用 p^+ 层注入隔离 Si 与 SiO_2 的界面态，降低 SiO_2-Si 界面陷阱电荷产生的噪声的影响。TG 栅下采用 P>P^- 的梯度掺杂，用以形成自 PPD 到 FD 的电荷转移电势梯度，降低电荷传输噪声，减小图像拖尾。

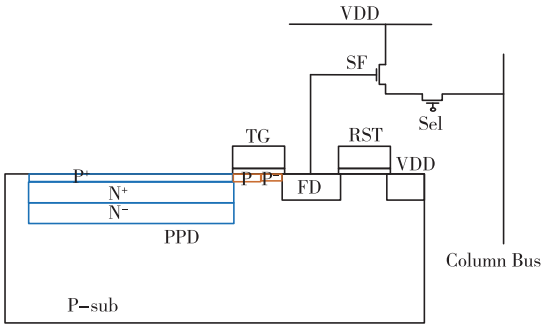
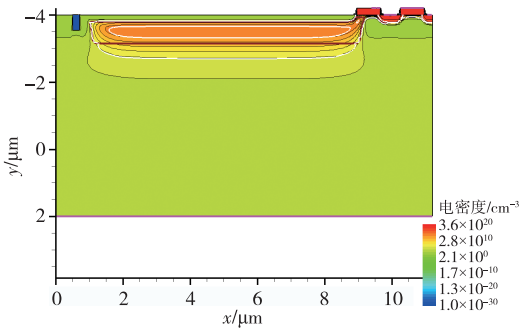
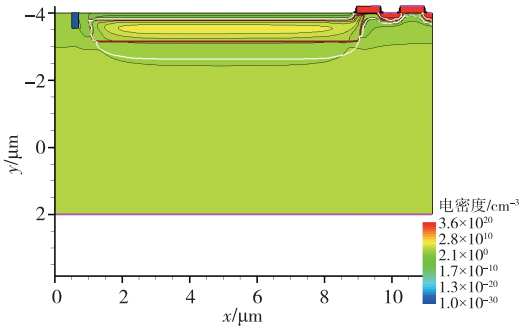


图 12 像素结构示意图

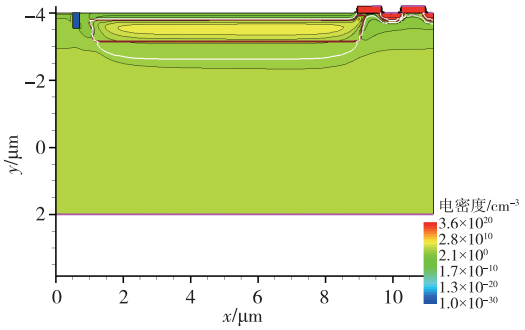
采用 TCAD 软件对像素电荷转移进行器件仿真，如图 13 为曝光完成后电荷转移前、电荷由 PPD 向 FD 转移过程中、电荷由 PPD 向 FD 转移完成后三个阶段 PPD 与 FD 的电子浓度仿真示意图。



（a）曝光完成后，电荷转移前



（b）电荷由 PPD 向 FD 转移的过程中



（c）电荷由 PPD 向 FD 转移完成后

图 13 像素电荷转移仿真

由图可看出，电荷转移后电子浓度大幅下降。截取其中 PPD 中心位置 X 方向电子浓度，如图 14 所示，可看出转移前 PPD 内部电子浓度约 10^{15} 量级，电荷转移完成后电子浓度约 10^{7} 量级，降低 10^{7} 数量级以上，即信号电子均转移至 FD，无拖尾。

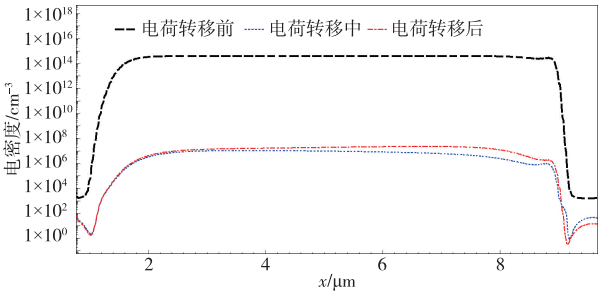
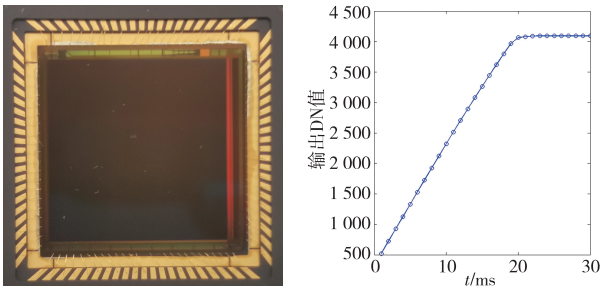


图 14　信号电子转移前后 PPD 内部电子浓度对比示意图

4　器件流片与测试结果

本文基于 130 nm CMOS 图像传感器工艺设计流片了一款阵列规模为 1 024×1 024，像素尺寸为 15 μm×15 μm 的 CMOS 图像传感器器件。器件实物图及光响应曲线如图 15 所示，其主要参数测试结果如表 4 所示。从图 15(b)可以看出，器件输出线性度良好，表 4 为本文 CIS 指标及与其他文献中的 CIS 指标的横向对比。通过对比可知，所设计的 CIS 具有大满阱电荷以及较低的噪声，其动态范围高，可有效生成图片信息，适用于低亮度、高亮度环境的正常拍摄。



(a) 器件照片　　(b) 器件光响应曲线

图 15　器件实物及光电响应曲线

表 4　器件主要参数测试结果及横向对比

指标名称	本文	[15]	[16]
输出位宽	12 bit		
帧频	13 fps		
单倍增益满阱电荷	132 ke⁻	33.4 ke⁻	
8 倍增益读出噪声	24.3 e⁻	2.33 e⁻	
动态范围	74.7 dB	66.3 dB	67 dB
光响应非均匀性	2.1%		
功耗	486 mW		

5　结论

本文设计了一种结构简单的宽动态 CMOS 图像传感器，详细介绍了该器件的整体架构、读出电路及像素设计，并基于 130 nm CMOS 图像传感器工艺完成了设计仿真与流片制作。流片测试结果显示，通过采用所述宽动态方法，可有效提高器件动态范围。该研究成果可供相关人员的对 CMOS 图像传感器的设计研究提供参考。

参考文献：

[1] Hirayama T. The evolution of CMOS image sensors [C]// 2013 IEEE Asian Solid-State Circuits Conference, 2013: 5-8.

[2] Fossum E R, Teranishi N, Theuwissen A J P. Digital image sensor evolution and new frontiers [J]. Annual Review of Vision Science, 2024, 10(1): 171-198.

[3] 刘昌举，张　靖，李毅强，等. 全局快门 CMOS 图像传感器研究进展[J]. 半导体光电，2016，37(3)：303-308.
Liu Changju, Zhang Jing, Li Yiqiang, et al. Progress in global shutter CMOS image sensor[J]. Semiconductor Optoelectronics, 2016, 37(3): 303-308.

[4] Cheng H Y, Choubey B, Collins S. An integrating wide dynamic-range image sensor with a logarithmic response [J]. IEEE Transactions on Electron Devices, 2009, 56(11): 2423-2428.

[5] Kavadias S, Dierickx B, Scheffer D, et al. A logarithmic response CMOS image sensor with on-chip calibration [J]. IEEE Journal of Solid-State Circuits, 2000, 35(8): 1146-1152.

[6] Vatteroni M, Valdastri P, Sartori A, et al. Linear - logarithmic CMOS pixel with tunable dynamic range[J]. IEEE Transactions on Electron Devices, 2011, 58(4): 1108-1115.

[7] Chou W F, Yeh S F, Chiu C F, et al. A linear-logarithmic CMOS image sensor with pixel-FPN reduction and tunable response curve [J]. IEEE Sensors Journal, 2014, 14(5): 1625-1632.

[8] Park J H, Mase M, Kawahito S, et al. A 142dB dynamic range CMOS image sensor with multiple exposure time signals [C]//2005 IEEE Asian Solid-State Circuits Conference, 2006: 85-88.

[9] Mase M, Kawahito S, Sasaki M, et al. A wide dynamic range CMOS image sensor with multiple exposure-time signal outputs and 12-bit column-parallel cyclic A/D converters [J]. IEEE Journal of Solid-State Circuits, 2005, 40(12): 2787-2795.

[10] Ma C, Liu Y, Li Y, et al. A 4-M pixel high dynamic range, low-noise CMOS image sensor with low-power counting ADC [J]. IEEE Transactions on Electron Devices, 2017, 64(8): 3199-3205.

[11] Solhusvik J, Hu S , Johansson R, et al. A 1 392×9 762.8 μm 120 dB CIS with per-pixel controlled conversion gain [J]. IISW, 2017: 174772147.

[12] Sakai S, Tashiro Y, Akahane N, et al. A pixel-shared CMOS image sensor using lateral overflow gate [C]//2009 Proceedings of ESSCIRC, 2009: 240-243.

[13] Shigetoshi S, Nana A, Satoru A, et al. A 100 dB dynamic range CMOS image sensor using a lateral overflow integration capacitor[J]. Ite Technical Report, 2005, 1: 352-603.

[14] Asatsuma T, Sakano Y, Iida S, et al. Sub-pixel architecture of CMOS image sensor achieving over 120 dB dynamic range with less motion artifact characteristics[J]. IISW, 2019, 43 (31): 9-12.

[15] Janbu O, Johansson R, Martinussen T, et al. A 1.17-megapixel CMOS image sensor with 1.5 A/D conversions per digital CDS pixel readout and four in-pixel gain steps [J]. IEEE Journal of Solid-State Circuits, 2019, 54(9): 2568-2578.

[16] Park I, Jo W, Park C, et al. A 640 × 640 fully dynamic CMOS image sensor for always-on object recognition [C]// 2019 Symposium on VLSI Circuits, 2019: C214-C215.

作者简介：

陈加欣(2000—)，女，重庆市人，硕士研究生，研究方向为CMOS图像传感器；

蒋祥倩(1993—)，女，黑龙江省鹤岗市人，博士，高级工程师，研究领域为CMOS图像传感器。