光电器件

DOI: 10.16818/j.issn1001－5868.20260127002

基于时间放大器的高速低功耗SS ADC设计

朱 童,周宏宇,王唯丞,李春燕,常玉春*

(大连理工大学 集成电路学院,辽宁 大连 116024)

摘 要: 针对CMOS图像传感器稳步增长的高帧率和低功耗需求,提出一种基于时间放大器的12位高速低功耗单斜坡型模数转换器(SS ADC)。该设计复用列级比较器作为时间放大器,通过将斜坡比较过程后的时间残差放大16倍,获得4位额外精度,并显著提升转换速度。在功耗优化方面,该ADC利用时间放大形成的窗口进行存储、计数,通过断开全局总线降低动态功耗;同时利用数字相关双采样(CDS)抵消窗口偏差,保证良好PVT特性。此外,为改善微分非线性性能,利用时钟同步全局计数的不同位,使列存储器在计数信号稳定期进行锁存;并设计了类格雷码计数器,无需额外的校正电路即可实现数字CDS。基于180 nm CMOS工艺的仿真结果表明,该ADC在60 MHz时钟下,转换周期为4 μs,有效位数为10.6 bit,平均功率为39.2 μW,其中数字部分功率仅占7.66 μW。

关键词: 图像传感器;单斜坡ADC;时间放大器;低功耗计数;格雷码计数器;相关双采样

中图分类号: TN792 **文章编号:** 1001－5868(2026)02－0326－09

Design of High-Speed Low-Power SS ADC Based on Time Amplifier

ZHU Tong, ZHOU Hongyu, WANG Weicheng, LI Chunyan, CHANG Yuchun

(**School of Integrated Circuits, Dalian University of Technology, Dalian 116024, CHN**)

Abstract: To address the increasing demand for high frame rates and low power consumption in CMOS image sensors, this paper presents a 12-bit high-speed, low-power single-slope ADC based on a time amplifier (TA). The proposed design reuses the column-level comparator as a time amplifier to amplify the time residue after ramp comparison by a factor of 16, thus achieving four additional bits of precision and significantly enhancing the conversion speed. In terms of power optimization, the ADC utilizes the time window generated by the TA for data storage and counting, thus reducing dynamic power by disconnecting the global data bus. Meanwhile, digital correlated double sampling (CDS) is employed to cancel window deviations, thus ensuring robust performance across PVT variations. Furthermore, to improve differential nonlinearity performance, this paper proposes synchronizing different bits of the global counter with the clock to enable column memory latching during the stable period of the counter signal. Additionally, a pseudo-Gray code counter supporting digital CDS is designed, thus eliminating the necessity for additional calibration circuits. Simulation results based on a 180 nm CMOS process show that, at a clock frequency of 60 MHz, the ADC achieves a conversion period of 4 μs, an effective number of bits of 10.6, and an average power consumption of 39.2 μW, with the digital portion consuming only 7.66 μW.

Key words: image sensor; single-slope ADC; time amplifier; low-power counting; gray code counter; correlated double sampling

收稿日期:2026－01－27.

*通信作者:常玉春

0　引言

近年来，图像传感器持续向高分辨率、大动态范围及高帧频方向演进，且不断渗透到各类产业链中，这对前端量化模数转换器（ADC）性能要求日益严苛。列级 ADC 凭借低功耗、小面积以及并行量化带来的相对高转换速率的核心优势，逐渐成为高分辨率、高帧率图像传感器中的理想读出方案，其中尤以单斜坡 ADC 最为主流[1]。但单斜坡 ADC 存在转换速度偏慢的短板，对于 N 位单斜坡 ADC，其量化过程需占用 2^N 个时钟周期，导致转换时间随分辨率的提升呈指数级增加，进而使其难以适配高帧频 CMOS 图像传感器的应用需求[2]。同时，随着分辨率的提高，数字部分用于计数的功耗也会呈指数级增加，从而可能缩短设备续航，甚至降低成像质量。

针对上述问题，研究者提出新型单斜坡 ADC 架构，其中有将单斜坡 ADC 与其他类型架构相结合，以此突破单斜坡 ADC 的速度瓶颈。例如，文献[1]提出“5＋6”结构双斜坡 ADC（含 1 bit 冗余位），通过增加存储电容平移细量化斜坡，在保障精度的同时提升速度，但需存储的电容远大于寄生电容，且负载较大；文献[3]提出“3＋8”的两步式 SAR/SS ADC 结构，其中 3 bit 的单斜坡 ADC 将 PGA 增益提高到 8 倍，仅需 8 bit 的 SAR ADC 即可实现 11 bit 量化；文献[4]在 8 位单斜坡 ADC 中引入 4 位时间-数字转换器（TDC）用于残差信息量化，实现 12 位读出精度下 3 μs 的运行时间。

针对单斜坡 ADC 在速度和功耗方面的问题，本文提出一种基于时间放大器（TA）的 12 位单斜坡 ADC 结构。该结构复用单斜坡 ADC 中比较器实现时间放大功能，放大单斜量化阶段的时间残差以形成窗口，在时间窗口期间进行存储和计数，在提高转化速度、降低功耗的同时，减小电路面积的消耗。文章主要介绍基于此 TA-SS ADC 整体电路架构、原理和优势，详细说明了关键电路的设计，包括时间放大器、存储单元、类格雷码计数器，展示了电路的仿真结果，并验证了该设计的有效性。

1　整体架构设计

1.1　电路结构及工作原理

所提出的 TA-SS ADC 结构如图 1 所示。其中，列级 ADC 中主要包含比较器、时间放大模块、时间窗口生成及模式切换控制模块、6 位 LSB 双向计数器（含 1 位符号位和 1 位冗余位），以及 18 位 MSB 存储单元（负责存储复位值和信号值量化结果中的高 8 位，各含一位冗余位）五大模块。

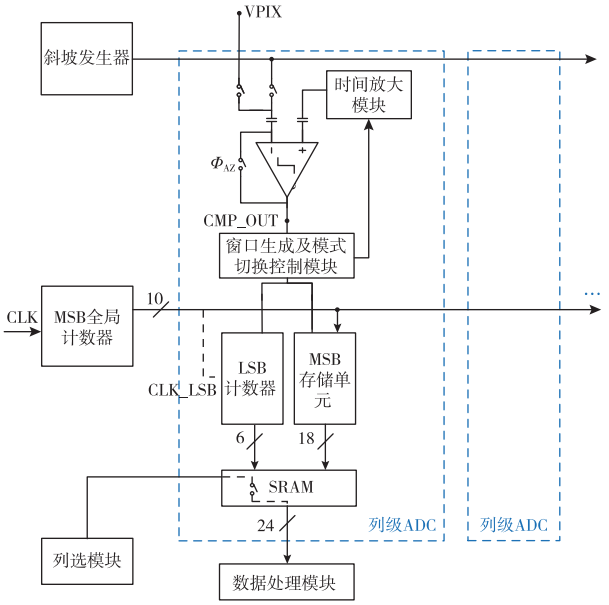


图 1　TA-SS ADC 电路结构图

在 TA-SS ADC 应用于列级电路的过程中，可以直接量化像素输出，也可在像素和 ADC 之间增加 PGA、采样保持电路、模拟 Buffer 来增大图像传感器的动态范围并形成行流水。如图 2 所示，在每个行时间内先后使用大小斜坡来量化像素复位电压和信号电压，而每个量化周期 ADC 的工作时序又主要分为三个阶段：单斜量化阶段、工作状态切换阶段、时间放大阶段。

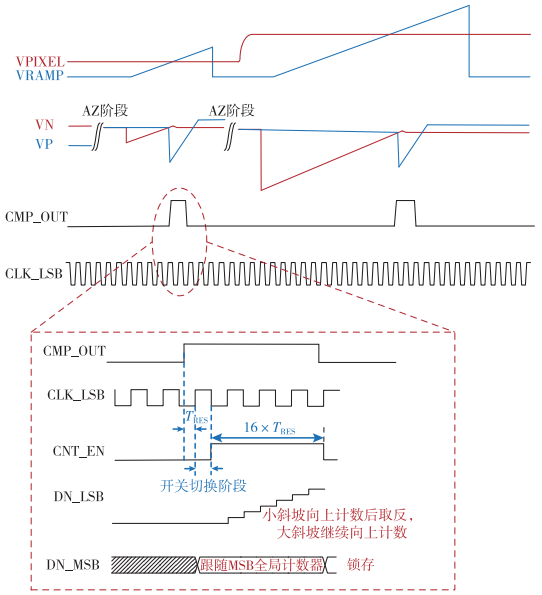


图 2　基于时间放大器的 SS ADC 工作时序图

（1）单斜量化阶段：在每个量化周期开始时，先初始化时间放大单元，并对比较器进行自调零，然后进入单斜坡量化阶段来转化输入信号的高8位，此阶段仅全局计数器在进行计数，但是其与列级存储单元之间是断开的。

（2）工作状态切换阶段：在忽略比较器延迟以及输入失调电压的情况下，当斜坡信号与输入信号相等时，比较器翻转，TA-SS ADC进入工作状态切换阶段。比较器负端由斜坡信号切换至像素信号，同时时间放大单元开始放电直至时钟的下一个有效沿。

（3）时间放大阶段：工作状态切换在比较器翻转后两个时钟有效沿结束，进入时间放大阶段，时间放大单元以放电电流的1/16进行充电，当时间放大单元输出电压回到初始电压时，比较器发生第二次翻转。在比较器两次翻转形成的脉冲信号与时钟信号进行简单的逻辑操作后，得到时间残差经过16倍放大的时间窗口[5]，在窗口期间使用类格雷码计数器进行计数得到低4位，并将全局计数器接入列存储单元，在时间窗口下降沿进行锁存得到高8位。

在列级ADC电路完成量化并将数据存入SRAM后，可通过列选电路将各列数据逐列送给数据处理单元进行计算。若量化结果中低位计数器经过数字CDS后的值为D_0，高位存储单元所存的复位值为D_1，信号值为D_2，则：

$$D_0 = D_{SIG_LSB} - D_{RST_LSB} \tag{1}$$

$$D_1 = D_{RST_MSB} + D_{RST_LSB} + D_C \tag{2}$$

$$D_2 = D_{SIG_MSB} + D_{SIG_LSB} + D_C \tag{3}$$

式中，D_{RST_LSB}，D_{RST_MSB}，D_{SIG_LSB}及D_{SIG_MSB}分别表示复位电压所对应12 bit的数字码中的低4位、高8位，信号电压所对应12 bit的数字码中的低4位、高8位；D_C代表由逻辑延迟等因素造成的多余时间。在数据处理单元进行简单计算得到最终CDS后结果：

$$\begin{aligned} D_{final} &= 16 \times (D_{SIG_MSB} + D_{RST_MSB}) + \\ &(D_{SIG_LSB} - D_{RST_LSB}) = \\ &16 \times (D_2 - D_1 - D_0) - D_0 \end{aligned} \tag{4}$$

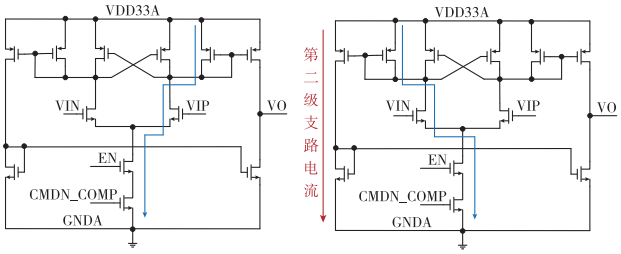
由公式（4）可知，粗量化结果仅由比较器第一次反转时刻决定，与窗口大小无关，具有良好PTV特性。并且比较器及逻辑电路延迟经过计算，在最终量化结果中被消去，从而提高了列一致性，降低列固定模式噪声（FPN）。

1.2 功耗及速度优势验证

本文提出的TA-SS ADC架构具有低功耗和高速的特点。首先分析ADC中模拟电路的功耗，主要由两部分组成：时间放大单元和比较器。时间放大单元可以看作由电流源和电容组成，在使用600 fF电容的情况下，最大电压摆幅约为1 V，通过计算得到最大充放电功率约为：

$$P_{TA} = 2 \times VDD_{33} \times (C_{TA} \times V_{pp})/T \approx 0.99 \tag{5}$$

由此可见，时间放大单元消耗功耗极低，而对于静态比较器，在翻转时刻之外其功耗正比于静态偏置电流。如图3所示为比较器电流在两种输入电压大小关系下的情况。



（a）VIP大于VIN （b）VIN大于VIP

图3 两种输入电压下比较器电路

由图3可知，当VIP大于VIN时，比较器相对另一种情况少一支路电流，因此可以通过将时间放大单元接在比较器正端，使时间窗口外即量化周期的大部分时间内，比较器处于较低功耗的状态。

如图4所示为12 bit量化深度下，采用所提出的TA-SS ADC架构与一般单时钟计数以及快慢时钟计数[6]ADC架构进行计数功耗对比。假设快慢时钟频率相差2^M，时间放大倍数也为2^M，输入电压对应的量化结果为D_N。图4说明所提出TA-SS ADC架构计数功耗较低，且在高光强下具有显著优势。

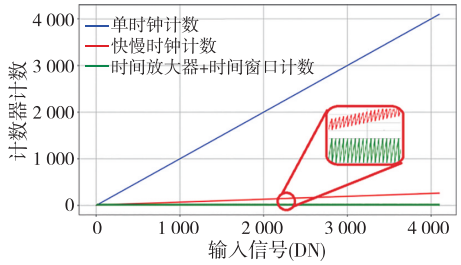


图4 不同架构ADC计数功耗对比

表1列出了各架构计数功耗以及量化时间等参数的理论值，可见TA-SS ADC能在较低时钟频率下实现高速低功耗量化。

表 1　不同 ADC 架构计数功耗及量化时间等参数对比

对比维度	一般架构	快慢时钟架构	TA-SS ADC 架构
计数功耗（计数次数）	D_N	$D_N/2^M+D_N\%2^M$	$2\times D_N\%2^M$
计数时钟频率	300 MHz	300 MHz(快时钟)	60 MHz(双边沿计数)
量化时间	$2^{12}/300$ M≈13.65 μs+$^*t_0$	$2^{12}/300$ M≈13.65 μs+$^*t_0$	$(2^4+2^8)/120$ M≈2.27 μs+$^*t_0$

注：$^*t_0$为斜坡复位以及自调零等操作所需时间

2　关键电路设计

2.1　时间放大器

所设计的时间放大器结构如图 5 所示，由含 AZ 电容和开关的比较器、时间放大单元、窗口生成以及模式切换电路组成。其中，时间放大单元包括一个积分电容和两条充电、放电的电流路径。正常工作时放电电流是充电电流的 16 倍，充放电电流均使用 Cascode 结构[7]，有利于使其电流在输出电压 V_{TA} 变化时保持恒定，从而保证转化特性的线性度。

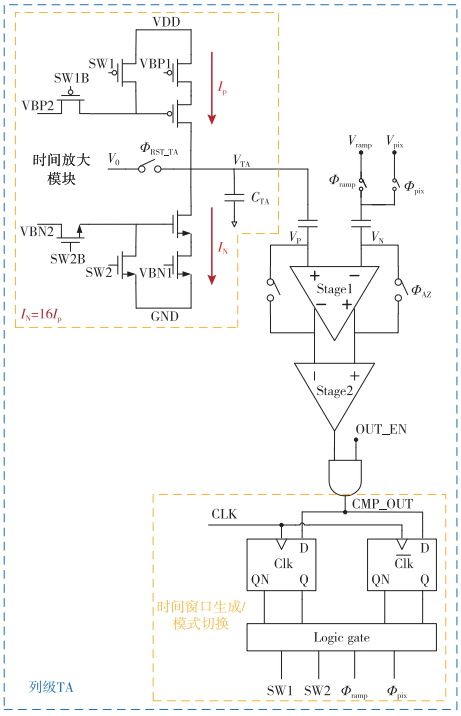


图 5　时间放大器电路结构图

所使用的比较器如图 6 所示，比较器可分为两级。其第一级使用交叉耦合对与二极管连接的 MOS 管并联作为负载的全差分结构，共模输入电压在 AZ 阶段被尾电流大小和二极管连接的 MOS 管定义。交叉耦合对负载有利于提高第一级的增益，从而放宽第二级的失调电压和噪声要求。由于 AZ 阶段只有第一级比较器处在环路中，可以看作单极点系统，闭环稳定性得到保证的同时，通过尽量提高第一级的带宽可以使 AZ 阶段更快稳定[8]。第二级采用电流镜实现推挽输出，提高整体增益，具有较低的带宽，有利于滤除电路的高频噪声。

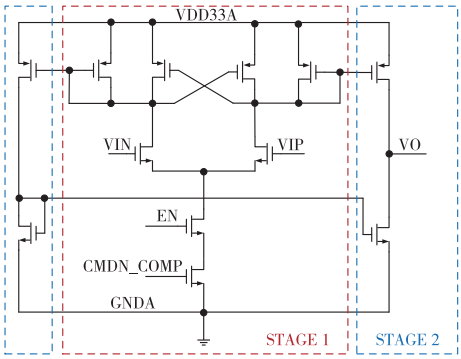


图 6　比较器电路结构图

为得到时间放大单元和比较器输入端开关的控制信号，以及生成时间窗口，所设计的控制信号生成电路如图 7 所示。比较器的输出分别被时钟上升沿和下降沿触发的 D 触发器所采样得到 Q_POS 和 Q_NEG，由于采取了双边沿计数的方式，Q_POS 和 Q_NEG 相或得到比较器翻转后的第一个有效沿，相与得到翻转后的第二个有效沿。Φ_{AZB} 是 AZ 阶段控制比较器第一级闭环的信号，Φ_{pix} 和 Φ_{ramp} 分别是 V_N 端接入像素信号或斜坡信号的控制信号，SW1 和 SW2 分别是时间放大单元充电和放电的控制信号。

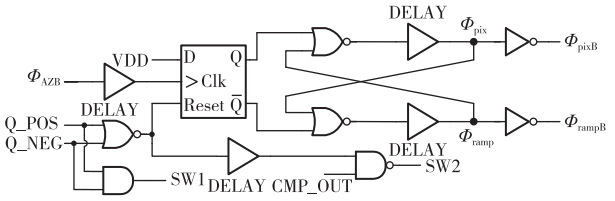
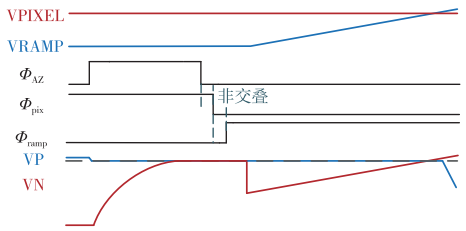


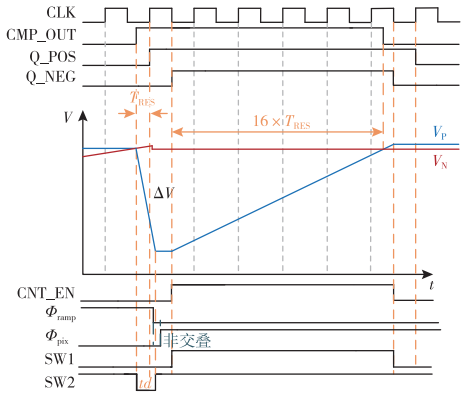
图 7　控制信号生成电路

图 8 为时间放大电路的工作过程，其中图 8(a)为自调零阶段，图 8(b)为量化时的时间放大阶段。

所设计的 ADC 采取双 AZ 操作，即在一个行时间的两次量化前都进行自调零。当比较器形成单位负反馈时，将像素输出接入比较器一端，经过一段时间的稳定后，比较器断开环路，该端的输入切换为斜坡信号，V_N 电压发生骤降之后并随着斜坡上升，最后在共模点附近发生翻转。双 AZ 操作使得无论像素电压多大，比较器翻转时其输入电压都位于共模点附近[8]，防止比较器延迟随输入电压变化，导致 CDS 不能完全消除延迟而产生 FPN。



（a）自调零阶段



（b）时间放大阶段

图 8　时间放大器工作时序图

在每次量化过程中，当比较器第一次翻转后进入时间放大阶段，时间放大模块的放电支路开始工作，之后的第一个时钟有效沿复位控制信号生成电路中的 D 触发器，并生成非交叠信号来切换比较器一端输入至像素输出。这一时钟沿经过延迟后也用来关断放电支路。延迟是为了给时间放大器的输入增加一定偏移量，防止在极小时间残差输入情况下，受失调和有限信号斜率的影响而导致其不能正常线性放大，即进入死区。接着第二个时钟有效沿开启充电支路，直到比较器第二次翻转后的第一个有效沿，这段时间既是充电的时间，也是用来计数的时间窗口。时间放大单元的输出电压斜率反映了第二步量化中时间-电压转化的增益，设置此斜率远大于斜坡信号斜率可抑制第二步量化中比较器等的电压域噪声。

2.2　全局计数偏斜校准电路

使用全局计数器有利于降低列级计数功耗，但一般二进制计数器相邻码切换时会发生多比特计数信号翻转。不同比特计数信号延迟不同时计数值时会产生毛刺，可能被列级锁存器保存到错码。而格雷码计数器相邻码值只有一比特位会变化，避免了产生毛刺，双边沿计数也降低了时钟频率。

列级存储单元共用的同步格雷码计数器的结构和时序如图 9 所示，8 bit 计数器覆盖斜坡范围，并加入 1 bit 冗余位。计数器每一位都由三对交叉耦合反相器组成，前两对组成 D 触发器，中间节点 M 为后一位的时钟[9]，输出 Q 经过最后一对反相器形成的 Latch 进行同步。最低位由时钟下降沿同步，其余位由上升沿同步，将异步计数信号 Q<0:8>同步为 QS<0:8>。

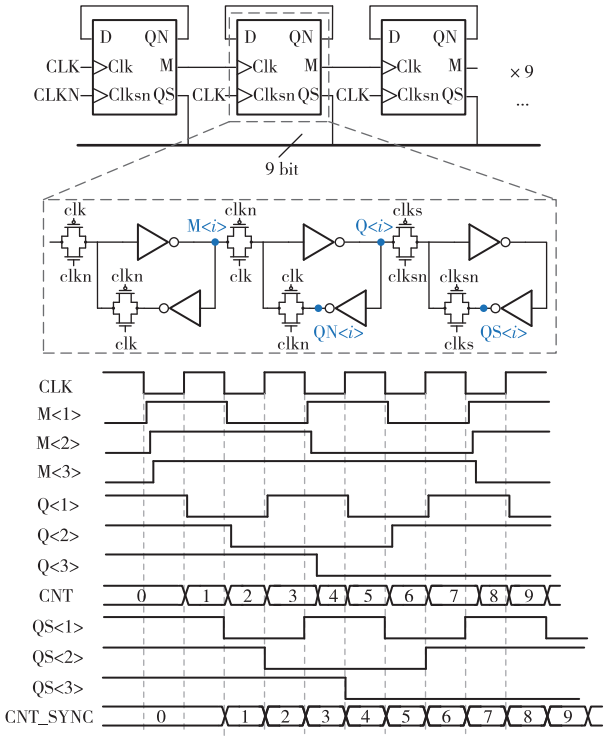
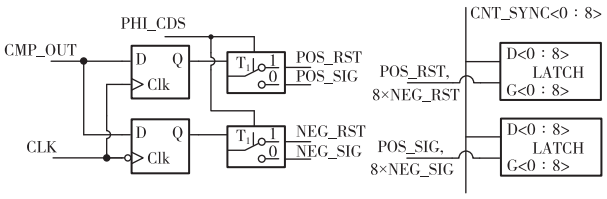
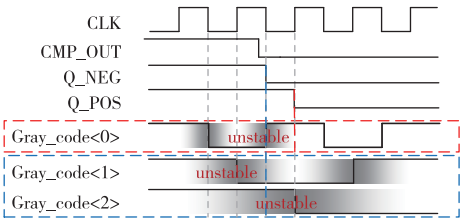


图 9　全局同步格雷码计数器

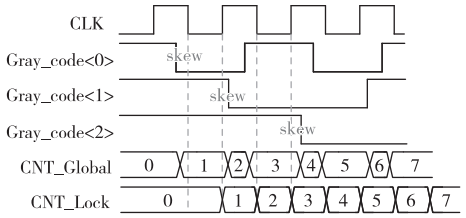
列级存储单元的结构如图 10(a)所示。阵列外的同步格雷码计数器输出的 9 bit 码值与同步时钟被送入读出阵列的每一列 ADC 中，由于不同位信号频率差别、传输距离较长，并且可能存在版图布局、工艺偏差、电压梯度等原因，计数器信号之间会出现偏移[10]。即使采用格雷码，各比特计数信号之间的偏移也会影响 ADC 的微分非线性（DNL）性能。因为所用格雷码最低位被时钟下降沿同步，所以最低位在时钟下降沿附近出现偏移的可能性较大，而上升沿时信号是相对稳定的。因此，使用时钟上升沿采样后的比较器输出对最低位进行锁存，如图 10(b)所示。格雷码其余位被时钟上升沿同步，同理可使用下降沿采样的信号来锁存。进行偏移校准后，各码值切换点由含不同偏移的各比特全局计数器信号决定，变为由同步时钟的边沿决定，校准范围 ±1 LSB，如图 10(c)所示为 DNL 的改善效果。



（a）电路结构图



（b）时序图



（c）DNL改善效果示意图

图 10　列级存储单元

2.3　用于数字 CDS 的类格雷码计数器

双边沿计数的格雷码计数器在保证计数周期不变的情况下，可以减半计数器输入时钟频率，各级触发器翻转频率也被减半，节省计数功耗。所使用的类格雷码计数器电路结构如图 11 所示。

本设计中列级格雷码计数器用于第二阶段的量化，即对比较器输出与时钟有效沿之间残差的放大结果进行计数，且要求具有数字 CDS 功能。二进制码的原码和补码对应的格雷码相比，仅最高位相反，其余位一致，最高位可看作符号位。信号值量化与复位值量化阶段的时间窗口大小关系不确定，因此 CDS 后结果符号未知。而如果直接将计数器加一级作为符号位，格雷码的反射特性会使其在从负数向上计数到 0 后重新折返向下计数，所以需要额外的校准电路。所设计的 6 位类格雷码计数器使用 5 级带有位取反（BWI）模块的 D 触发器，每级触发器的 QN 端与 D 端相连，中间节点 MB 作为下一级的触发信号，并将第 5 级触发器的 M 端作为符号位 D<5>，实现了在负正区间的连续单向计数。与一般计数器不同，BWI 模块用来将计数器各位时钟进行取反，在取反符号位的同时，实现两次量化同方向计数。Controller 模块用来在比较器翻转时保存时钟电平信号，并在 BWI 操作时取反最低位时钟。CLK_SEL 模块用来保证每次在时间窗口内开始计数时，输入到 Controller 的时钟电平状态与其保存的状态一致。

计数器的时序图如图 12 所示，主要分为三个阶段：复位值量化阶段、BWI 阶段、信号值量化阶段。在复位值量化阶段，比较器在 CLK 为低时发生第一次翻转，CNT_EN 信号在下一个时钟下降沿经过延迟后有效，此时 SEL2 为 0 选择 CLK 作为计数时钟开始计数；经过一段时间，比较器在 CLK 为低时发生第二次翻转，下一个时钟上升沿经过延迟后计数停止，保存时钟状态 LQ 为 1。在 BWI 阶段，主要操作分为三步：首先拉低 PHI_BWI2 切断触发器的级联，并将每位时钟拉高，如果原时钟为 0，则产生上升沿使对应位取反；接着先后拉高 PHI_INV，PHI_BWI1，PHI_BWI2，使所有位的时钟都出现下降沿，中间节点 M 发生翻转，并且将 LQ 锁存至 SEL1；最后拉低 PHI_BWI1，重新恢复触发器级联，并使在第一步中被取反的位再次翻转回来[11]。在信号值量化阶段，比较器在 CLK 信号为高时发生第一次翻转，其后的第一个时钟下降沿和上升沿生成脉冲信号 Token，将 SEL2 取反，选择合适时钟接入计数器，后续计数与第一阶段原理相同。

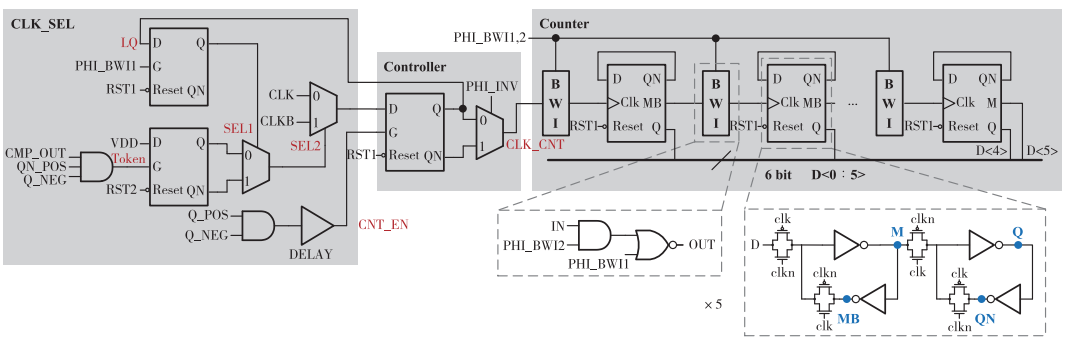


图 11　类格雷码计数器电路结构图

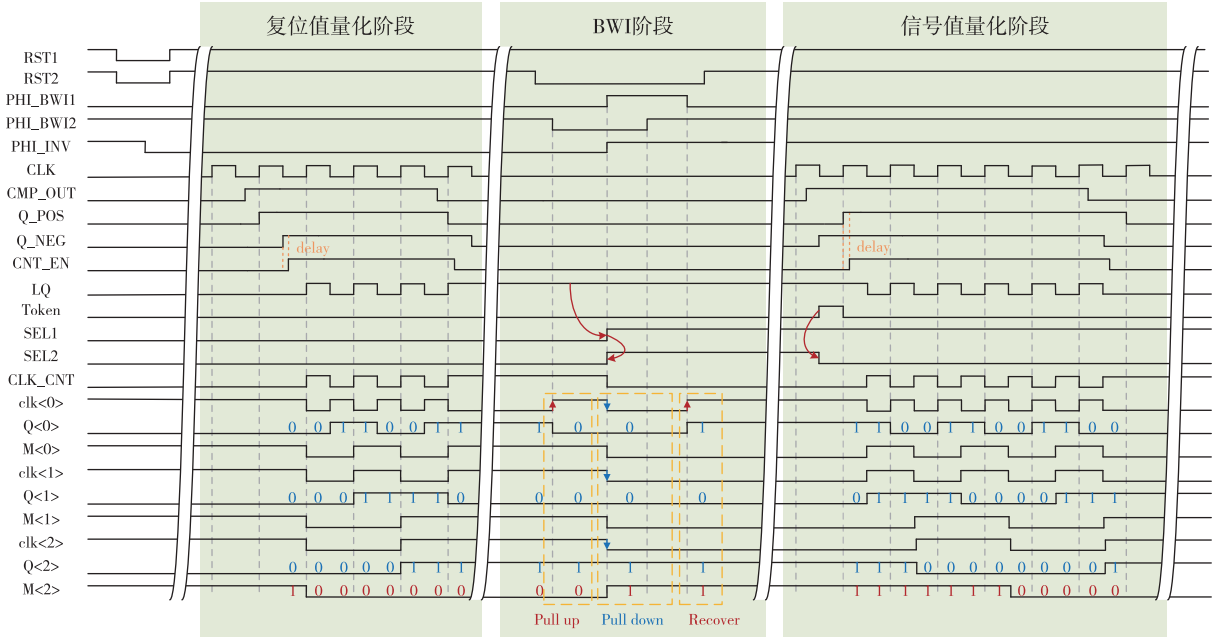


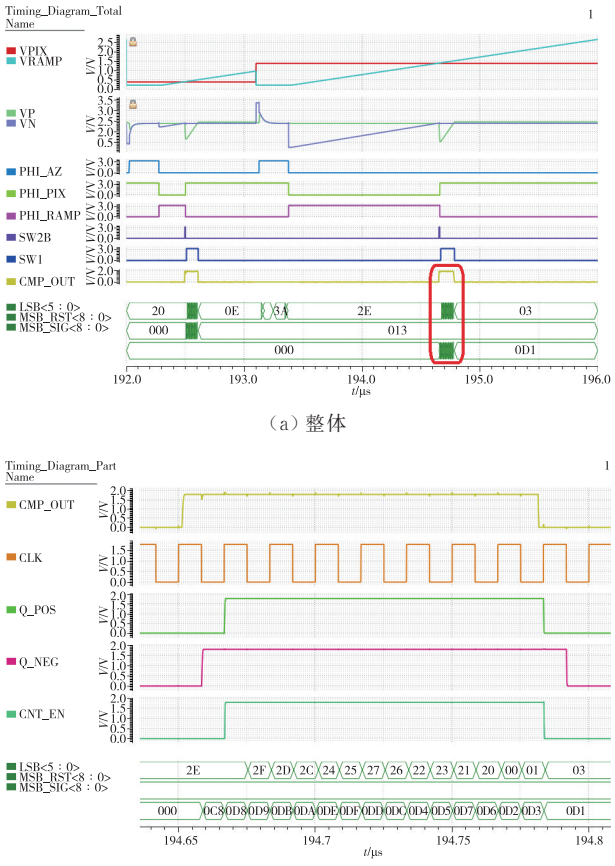
图 12　类格雷码计数器工作时序图

3　电路仿真结果

采用 180 nm CMOS 工艺，基于 Cadence 仿真软件，对所提出的基于时间放大器的 SS ADC 进行仿真验证。ADC 模拟部分使用 3.3 V 电压，数字部分使用 1.8 V 电压，时间放大单元复位电压为 2.2 V，计数时钟频率为 60 MHz，量化周期为 4 μs。

图 13(a)和(b)分别展示了所设计的 TA-SS ADC 在一个周期内关键信号时序图，量化信号电压阶段时间窗口部分的关键信号时序图。可以看出，本电路功能正常，并在整个行时间内，数字电路翻转次数大幅减少。仿真得到列级 ADC 平均功率为 39.2 μW，其中数字部分功率仅占 7.66 μW。

在信噪比、失配、面积和功耗之间进行折中，设置时间放大器充电电流为 5 μA，电流源 MOS 长度为 0.8 μm，电容为 600 fF。图 14(a)展示了 TA 在 tt 工艺角下的增益和失调仿真结果，经过线性拟合可得其增益约为 16.04。输入量最小值为 0.61 ns，通过在时间放大器输入端引入固定的时间偏移量，使初始工作区间平移跨越了非线性区域，从而有效消除死区效应并保证了微小时间差的精确放大。由于失调时间在被计数器范围覆盖情况下，可以通过数字 CDS 消除，对 ADC 性能基本不产生影响。TA 的增益取决于放电电流和充电电流之比，因此对 PVT 具有良好的鲁棒性，如图 14(b)所示，在各种 PVT 条件下，TA 增益的相对变化约为 ±0.2%。



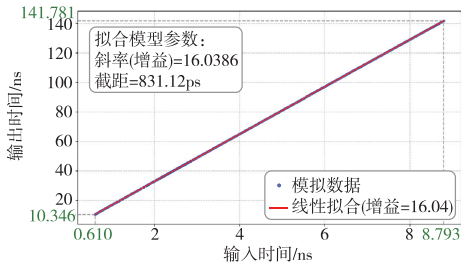
(a) 整体

(b) 部分

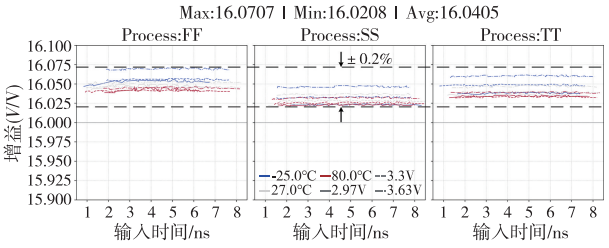
图 13　TA-SS ADC 关键时序图

图 14(c)展示了 TA 增益的失配蒙特卡洛仿真结果，TA 增益的平均值约为 15.93，标准误差为 0.36。为了满足分辨率要求，TA 输出的变化需要小于

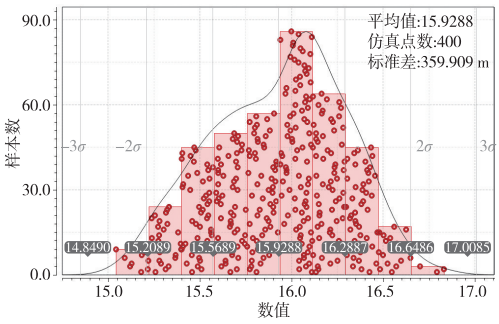
1 LSB，即增益变化应小于1。因此，400个点的蒙卡仿真下所有情况都符合要求。



（a）Normal条件线性拟合



（b）PVT仿真



（c）蒙特卡洛Mismatch仿真

图14　时间放大器增益仿真结果

图15展示了所设计的TA-SS ADC的静态特性仿真结果，结果表明DNL为+0.423/−0.327 LSB，积分非线性（INL）为+0.637/−0.828 LSB。因此不存在丢码情况，具有良好的线性度。

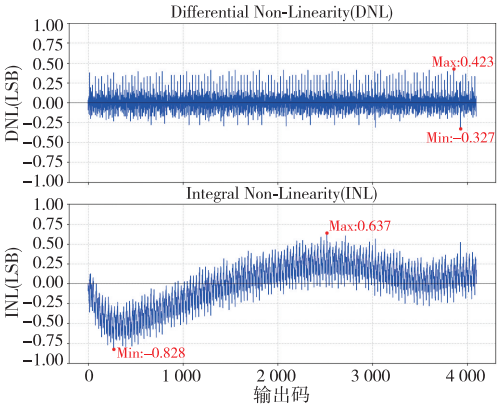


图15　TA-SS ADC静态仿真结果

图16展示了TA-SS ADC的动态特性仿真结果。结果表明，信噪比（SNR）为66.37 dB，有效位数（ENOB）为10.6 bits。

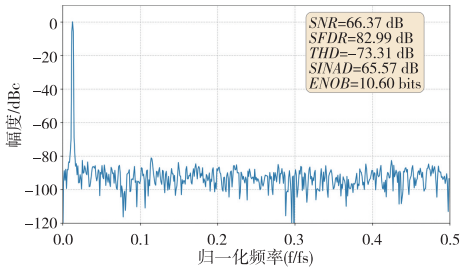


图16　TA-SS ADC动态仿真结果

表2展示了本文与其他文献中提出的ADC的参数对比，其中文献[12]为后仿结果。可见，本设计在功耗和速度方面具有一定优势。

表2　ADC参数对比

参数	[5]	[8]	[12]	本文
尺寸	110 nm	40 nm	180 nm	180 nm
架构	TS-SS	SS(PW)	SAR-SS	TA-SS
电源电压/V	3.3/1.5	2.5/2/1.1	1.8	3.3/1.8
行时间/μs	4	2.7	2	4
时钟频率/MHz	100	1 700	/	60
分辨率	10	12	12	12
ENOB	/	/	11.0	10.6
DNL/LSB	+0.5/−0.25	+0.32/−0.28	+1/−0.7	+0.423/−0.327
INL/LSB	+0.75/−0.5	+4.21/−0.94	+1.1/−1.3	+0.637/−0.828
列功耗/μW	98.1	66.8	31.74	39.2
*FOM/(fJ/step)	383.2	44.0	15.5	38.3

注：*$FOM=(\text{列功耗}\times\text{行时间})/2^{\text{分辨率}}$

4　总结

本文提出一种基于时间放大器的12位列级SS ADC结构，其具有高速、低功耗的优势。利用比较器构成放大倍数为16倍的时间放大器，放大斜坡量化阶段的时间残差，大幅缩短量化周期至4 μs。将时间放大器输出作为时间窗口，用来计数和存储数据，减少了数字电路翻转次数，节省功耗，仿真ADC的平均功率为39.2 μW，其中数字部分功率为7.66 μW。在电路设计方面，采用双AZ技术以降低比较器延迟变化的影响，并设计全局计数偏斜校准电路改善DNL。此外，还提出可用于数字CDS的类格雷码计数器，适配时间窗口内的双边沿计数需求。

参考文献：

[1]　Lim S, Lee J, Kim D, et al. A high-speed CMOS image

sensor with column-parallel two-step single-slope ADCs[J]. IEEE Transactions on Electron Devices, 2009, 56(3): 393-398.

[2] Wang G, Chen Q, Xu J, et al. 2 μs row time 12 bit column-parallel single slope ADC for high-speed CMOS image sensor[J]. Microelectronics Journal, 2023, 135: 105768.

[3] Tang F, Chen D G, Wang B, et al. Low-power CMOS image sensor based on column-parallel single-slope/SAR quantization scheme[J]. IEEE Transactions on Electron Devices, 2013, 60(8): 2561-2566.

[4] Chen Q, Nie K, Gao J, et al. A 1 920 × 1 080 array 2D/3D image sensor with 3 μs row-time single-slope ADC and 100 MHz demodulated PPD locked-In pixel[J]. IEEE Journal of Solid-State Circuits, 2025, 60(6): 2025-2036.

[5] Park I, Park C, Cheon J, et al. 5.4 a 76 mW 500 fps VGA CMOS image sensor with time-stretched single-slope ADCs achieving 1.95e- random noise[C]//2019 IEEE International Solid-State Circuits Conference, 2019: 100-102.

[6] Ma C, Liu Y, Li Y, et al. A 4-M pixel high dynamic range, low-noise CMOS image sensor with low-power counting ADC[J]. IEEE Transactions on Electron Devices, 2017, 64(8): 3199-3205.

[7] Xu X, Wang Y, Zhou Y, et al. A 12 ps precision two-step time-to-digital converter consuming 434 μW at 1 MS/s in 180 nm CMOS with a dual-slope time amplifier[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2025, 72(2): 730-740.

[8] Liu Q, Edward A, Kinyua M, et al. A low-power digitizer for back-illuminated 3D-stacked CMOS image sensor readout with passing window and double auto-zeroing techniques[J]. IEEE Journal of Solid-State Circuits, 2017, 52(6): 1591-1604.

[9] Choi H S, Park I, Park B, et al. SPAD flash LiDAR with chopped analog counter for 76 m range and 120 klx background light [C]//2025 IEEE International Solid-State Circuits Conference, 2025: 118-120.

[10] Iizuka Y, Maezono A, Saito W, et al. A low noise 8.3-mpixel CMOS image sensor with selectable multiple sampling technique by 5.36 GHz global counter and dual latch skew canceler[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2025, 72(3): 1105-1113.

[11] 钟思锴. 面向CMOS图像传感器的低功耗读出电路设计[D]. 无锡: 江南大学, 2025.
Zhong Sikai. Low-power readout circuit design for CMOS image sensors[D]. Wuxi: Jiangnan University, 2025.

[12] 梁英翔. 用于CMOS图像传感器的12位SAR/SS ADC设计[D]. 武汉: 华中科技大学, 2024.
Liang Yingxiang. Design of a 12-bit SAR/SS ADC for CMOS image sensors[D]. Wuhan: Huazhong University of Science and Technology, 2024.

作者简介:

朱 童(2001—),男,安徽省淮南市人,硕士研究生,主要研究方向为数模混合集成电路设计;

常玉春(1973—),男,教授,博士生导师,研究方向包括CMOS图像传感器及图像信号处理电路等。