光电器件

DOI：10.16818/j.issn1001－5868.20260311001

全局快门像素高端线性度退化现象研究

吴安琪[1,2]，张文轩[1,2]，徐　星[1]，李梧萤[1]，程正喜[1*]

（1. 中国科学院上海技术物理研究所 红外探测全国重点实验室，上海 200083；2. 中国科学院大学，北京 100049）

摘　要： 为拓展全局快门CMOS图像传感器的动态范围，常采用外接扩展电容的方法，但该方法在大信号摆幅下会引发显著的高端线性度退化问题。文章以全局快门五晶体管像素为研究对象，系统建立了该现象的理论模型并开展实验验证。通过分析电容随节点电压的非线性变化以及热电子反向溢回两种机制，理论证明非线性电容的激增是导致响应偏离线性的主导因素。基于180 nm工艺流片的6组不同转换节点电容的全局快门像素实测结果表明，随着总电容增大，像素的饱和电压保持高度稳定，而表征高端线性度的核心指标显著退化。实测结果定量验证了理论模型的准确性，为优化全局快门像素设计、提升图像传感器线性度性能提供了理论依据与技术支撑。

关键词： CMOS图像传感器；全局快门；线性度；动态范围；像素

中图分类号： TN386　**文章编号：** 1001－5868(2026)03－0423－07

Study on the High-Light-Intensity Linearity Degradation Phenomenon in Global-Shutter Pixels

WU Anqi[1,2], ZHANG Wenxuan[1,2], XU Xing[1], LI Wuying[1], CHENG Zhengxi[1]

（1. National Key Laboratory of Infrared Detection Technologies, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, CHN; 2. University of Chinese Academy of Sciences, Beijing 100049, CHN）

Abstract: To enhance their dynamic range, global shutter (GS) complementary metal-oxide-semiconductor (CMOS) image sensors incorporate external extension capacitors, which can trigger severe high-light-intensity linearity degradation under large signal swings. Focusing on the GS five-transistor pixel architecture, this study conducted systematic theoretical modeling and experimental verification of this phenomenon. Two major mechanisms were analyzed: the nonlinear evolution of capacitance with node voltage and the thermionic-emission spill-back effect. Theoretical derivations demonstrated that the increase in nonlinear capacitance was the dominant factor causing the photoelectric response to deviate from linearity. Experimental measurements based on six groups of GS pixels with varying conversion-node capacitances fabricated using a 180 nm CMOS process demonstrated that as the total capacitance increased, the absolute saturation voltage of the pixels remained highly stable, whereas the key indicator of high-light-intensity linearity degraded significantly. The measurement results quantitatively verify the accuracy of the theoretical model.

Key words: CMOS image sensor; global shutter; linearity; dynamic range; pixel

0　引言

为克服传统CMOS图像传感器像素难以兼顾低读出噪声与大满阱容量的技术瓶颈，全局快门(GS)CMOS图像传感器常引入外接扩展电容来提升动态范围[1]。然而，此类像素常出现显著的高端

收稿日期：2026－03－11.

*通信作者：程正喜

线性度退化现象。具体表现为在强光照大信号摆幅下，随着积分后期转移至浮动扩散（FD）节点的光生电荷量剧增，像素的实际输出电压曲线会提前偏离理想的线性响应轨迹，呈现出显著的弯曲畸变。并且随着FD节点和外接电容物理尺寸增大、转换节点总电容增加，像素的高端线性度反而会表现出更早、更严重的退化趋势。这种早于物理饱和发生的非线性退化严重限制了系统有效的线性动态范围，成为制约成像性能的核心瓶颈之一。

针对此问题，本文从物理机制出发，对高端线性度退化现象展开系统的理论建模与测试论证。首先，详细分析响应曲线大信号畸变的两大物理根源，电容随转换节点电压的非线性演变和热电子反向溢回效应。其次，通过构建以结电容及表面空间电荷层电容波动为核心的非线性畸变模型，并定量测算极端势垒压缩下热电子溢回的误差级数，分析转换节点电容变化对高端线性度的影响，理论证明电容非线性变化是导致高端线性度退化的主导因素。最后，结合多组不同转换节点电容的GS像素实测数据，定量界定并验证了前文结论。该研究揭示了高端线性度退化的底层物理机理，建立了完整的理论模型，为下一代高线性度、大动态范围CMOS图像传感器的架构微调与版图设计提供理论参考。

1 全局快门像素高端线性度退化理论

1.1 全局快门像素

本文以五晶体管（5T）GS像素为对象，进行相关理论建模与分析。该架构的工艺极其成熟，是当前工业界与学术界应用最为广泛的高性能像素之一。在传统的5T GS像素设计中，常通过直接改变FD节点物理尺寸及工艺注入参数来调节电荷-电压转换电容。为确保光生电荷能高效、完整地从光电二极管通过传输栅极转移到FD节点，必须对光电二极管及FD之间的势阱梯度进行极其精密的工艺微调，同时传输栅极也常采用复杂的版图设计[2-3]（如不规则环形及半环形栅极结构）并辅以梯度掺杂设计[4-5]。然而，对于FD的工艺参数及版图设计变动，均会干扰传输栅极附近的电场分布和边缘电容效应，极易破坏光电二极管至FD之间的电势梯度，在沟道中形成势垒口袋，从而造成图像拖影[6]。此类设计不仅依赖高昂的版图重构与底层工艺再优化，且设计迭代成本高、难度大。当前研究更多采用“结构解耦”策略，即在版图上固化经过多次流片验证、具有最优转移效率设计的FD及传输栅极结构，通过在FD节点外接金属-氧化物-半导体（MOS）或多晶硅-绝缘体-多晶硅（PIP）电容的方式来独立、灵活地调节转换节点的总容量。

带有MOS调节电容的5T像素基本架构如图1所示。该架构主要由一个钳位光电二极管（PPD）、一个FD节点并联的调节电容C_{FD_adj}及五个关键晶体管构成，各器件协同工作以实现精确的同步曝光与低噪声读出。其中，全局复位栅极（PPDRST）负责在曝光起始阶段同步复位全阵列PPD；传输栅极（TX）用于在曝光结束后，将PPD内积累的光生电荷转移至FD节点；复位栅极（RST）负责在每次电荷转移前复位FD节点；源极跟随器（SF）作为像素内的级联缓冲放大器，将FD节点的电荷信号高保真地转换为电压信号，并在行选通栅极（SEL）的控制下通过列读出总线输出。

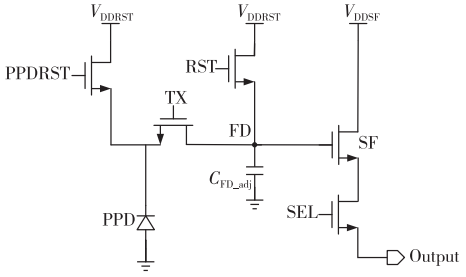


图1 5T全局快门像素电路图

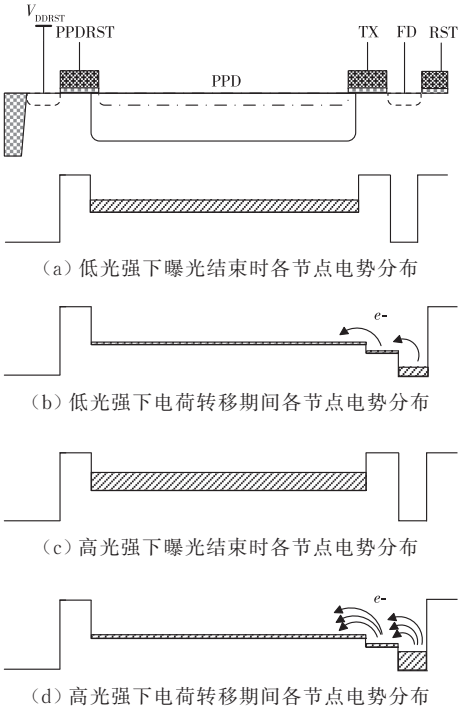
1.2 高端线性度退化物理成因分析

在增大转换节点物理尺寸以提高像素满阱容量的同时，像素光照响应曲线在高光强下的高端线性度反而会表现出更早发生且更严重的退化趋势。导致大信号摆幅下响应曲线偏离理想直线的物理机理极为复杂，主要可归结为电压依赖的电容分量非线性演变和热电子溢回两大机制的协同作用。

像素的非线性误差主要源于SF的可变增益以及非线性的积分电容。在实际器件中，FD节点的总电容并非恒定值，而是由多类不同特征的本征电容和寄生电容分量构成。其中，FD节点的结电容源于耗尽层效应，而外接的大面积调节电容不可避免地引入底板寄生网络，二者均对FD节点电压表现出极强的依赖性。在曝光积分后期，随着大量光生电荷的转移，FD节点电势显著下降，导致PN结及寄生界面的耗尽层变窄，非线性电容的容值随之

显著上升。这种动态波动的电容分量，会引起 FD 节点在积分后期的瞬态转换增益持续衰减，并累积较大的电压偏离误差，从而在宏观上迫使光照响应曲线提前发生弯曲畸变。

基于热电子发射理论，处于热力学平衡态的电子依靠自身的热激发电能，有一定概率跨越系统势垒[7-8]。不同光强下电荷转移前后像素各节点电势分布和电子溢回情况如图 2 所示。在电荷域的物理传输层面，当 FD 节点接收大量电子导致其电势跌落，并逐渐逼近 TX 栅极导通时的隔离势垒时，FD 与 PPD 之间的势阱落差被大幅压缩。此时，FD 节点内的高能电子有概率获得足够的热力学能量，越过势垒重新回流至 TX 栅极和 PPD 区域，或在界面发生复合。这种反向的热发射溢回漏电流随 FD 节点电压的下降呈指数级激增，并最终与正向光生电荷转移电流达到动态平衡，界定了像素的物理饱和电压。



（a）低光强下曝光结束时各节点电势分布

（b）低光强下电荷转移期间各节点电势分布

（c）高光强下曝光结束时各节点电势分布

（d）高光强下电荷转移期间各节点电势分布

图 2　不同光强下像素各节点电势分布的动态演变及热电子溢回示意图

1.3　高端线性度退化机制的理论建模与主导因素

1.3.1　转换节点电容非线性模型

像素的电荷-电压转换节点电容主要由 FD 节点本征结电容、MOS 调节电容及若干寄生电容分量组成，如图 3 展示了转换节点的电容分布。

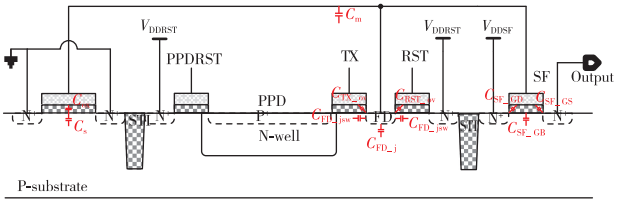


图 3　像素剖面及转换节点电容分布示意图

FD 节点的本征结电容源于其 PN 结的耗尽层，物理上可分解为底板电容 C_{FD_j} 和侧壁电容 C_{FD_jsw}。由于耗尽层宽度受控于节点电势，这两部分分量均对 FD 节点的反向偏置电压表现出强烈的依赖性。

FD 节点的寄生电容则主要源于与其直接耦合的 RST 栅极、TX 栅极、SF 及金属连线[9-10]。在像素信号读出过程中，RST 和 TX 栅极关断，其沟道电容可忽略不计，因而两晶体管在 FD 区域引入的寄生电容分量主要为栅极与源漏注入区的物理重叠带来的重叠电容 C_{TX_ov} 和 C_{RST_ov}[11]。对于工作在饱和区的 SF，其在 FD 区域引入的寄生电容分量包含了栅源重叠电容 C_{SF_GS}、栅漏重叠电容 C_{SF_GD} 以及由栅源电容贡献的等效栅极对地电容 C_{SF_GB}。根据源极跟随电路的密勒效应[12]，上述三个寄生电容分量均会随 SF 的电压增益变化而变化。此外，金属线寄生电容 C_M 是由连接 FD 节点的各层互连金属布线及其层间介质所构成的本底寄生电容。

因此，FD 节点总电容 C_{FD} 可表示为：

$$C_{FD}=C_{TX_ov}+C_{RST_ov}+C_{FD_jsw}+C_{FD_j}+C_{SF_GD}+C_{SF_GS}+C_{SF_GB}+C_m \quad (1)$$

在 FD 节点的总电容中，C_{TX_ov}，C_{RST_ov}，C_m 均为仅由器件物理尺寸参数决定的固定电容常量。在现有工艺与电路设计优化下，SF 的电压增益 G_{SF} 在信号电压摆幅内可保持基本恒定[13]，从而使得受 G_{SF} 调制的寄生电容 C_{SF_ov} 和 C_{SF_GB} 也可近似视为常数。因此，FD 节点总电容的非线性变化主要由 C_{FD_j} 和 C_{FD_jsw} 主导。

C_{FD_j} 和 C_{FD_jsw} 可分别表示为：

$$C_{FD_j}=\frac{C_{J0}}{\left(1+\frac{V_{FD}}{\varphi_B}\right)^{M_J}}A_{FD} \quad (2)$$

$$C_{FD_jsw}=\frac{C_{JSW0}}{\left(1+\frac{V_{FD}}{\varphi_{BSW}}\right)^{M_{JSW}}}P_{FD} \quad (3)$$

式中，C_{J0} 为单位面积零偏压底板结电容；φ_B 为底板内建电势；M_J 为底板结缓变系数；A_{FD} 为结面积；V_{FD}

为FD节点电压，其大小由复位电平、复位噪声以及转移至该节点的光生电荷量等共同决定；φ_{BSW}为侧壁内建电势；C_{JSW0}为单位长度零偏压侧壁结电容；M_{JSW}为侧壁结缓变系数；P_{FD}为结周长。

在采用外接电容调节机制的像素架构中，用于调节转换节点总电容的MOS电容是由栅氧化层电容和半导体表面空间电荷层电容串联而成的复合结构[14]。外接MOS调节电容的总电容C_{FD_adj}可表示为：

$$C_{FD_adj}=A_{mos}\frac{C_{ox}\cdot C_s}{C_{ox}+C_s} \tag{4}$$

式中，A_{mos}为MOS电容的有效物理面积；C_{ox}为由栅氧化层厚度决定的恒定单位面积电容；C_s为单位面积的半导体表面电容，其表征了表面空间电荷层电荷面密度随栅压改变的动态电容效应，理论表达式为：

$$C_s=\frac{\varepsilon_{rs}\varepsilon_0}{L_D}\cdot\frac{\left\{\left[-\exp\left(-\frac{qV_s}{k_0T}\right)+1\right]+\frac{n_{p0}}{p_{p0}}\left[\exp\left(\frac{qV_s}{k_0T}\right)-1\right]\right\}}{\left\{\left[\exp\left(-\frac{qV_s}{k_0T}\right)+\frac{qV_s}{k_0T}-1\right]+\frac{n_{p0}}{p_{p0}}\left[\exp\left(\frac{qV_s}{k_0T}\right)-\frac{qV_s}{k_0T}-1\right]\right\}^{1/2}} \tag{5}$$

式中，ε_0为真空介电常数；ε_{rs}为半导体材料的相对介电常数；q为基本电子电荷量；k_0为玻尔兹曼常数；T为系统的绝对温度；表面势V_s为空间电荷区两端的电势差，直接受控于施加在栅极上的FD节点偏置电压V_{FD}。

在像素的实际电荷积分过程中，当FD节点进入非线性响应段时，其工作电压通常处于较低的正电位范围（即较小的正电压区间），这使得外接MOS电容的工作状态主要在弱反型区与耗尽区之间动态转换。在低光强下，转移至FD节点的光生电荷较少，V_{FD}维持在较高电位，MOS电容稳定工作在弱反型区，此时表面电容C_s的变化幅度微小，C_{FD_adj}可近似视为不随电压波动的恒定量。然而，在高光强照明下，大量光生电荷转移导致V_{FD}大幅下降，MOS电容随之进入耗尽区。此时，C_s可退化为耗尽近似表达式：

$$C_s=\left(\frac{N_A q\varepsilon_{rs}\varepsilon_0}{2V_s}\right)^{1/2} \tag{6}$$

式中，N_A为半导体衬底的受主掺杂浓度。由公式(6)可知，随着积分后期V_{FD}及V_s的不断减小，耗尽层宽度收缩，导致C_s呈显著非线性迅速增大。

系统的转换节点总转换电容C_{conv}可表示为：

$$\begin{aligned}C_{conv}=&C_{FD}+C_{FD_adj}=C_{TX_ov}+C_{RST_ov}+\\&C_{FD_jsw}+C_{FD_j}+C_{SF_GD}+C_{SF_GS}+\\&C_{SF_GB}+A_{mos}\frac{C_{ox}\cdot C_s}{C_{ox}+C_s}+C_m\end{aligned} \tag{7}$$

C_{FD}和C_{FD_adj}包含的伴随FD节点偏压下降而急剧增加的非线性电容分量直接增大了C_{conv}，使得像素在高光强段电荷-电压转换增益出现严重衰减。在宏观表现上，这种大信号摆幅下电容的动态增加，不可避免地导致光照响应曲线提前弯曲，成为造成像素高端线性度退化的核心原因。

当为了获取更大满阱容量而采用更大物理尺寸的FD节点和外接MOS电容时，其底板的非线性电容分量也将随面积和周长等比例急剧放大，从而导致线性性能恶化、高端线性度进一步退化。

1.3.2 热电子反向溢回模型

结合Han等建立的基于热电子发射理论的电荷转移模型[15]，可以构建转换节点在曝光期间的电荷量微分方程。设反向溢回电流的初始基准值为I_0，随着转移后的光生电荷在FD节点的积累，V_{FD}下降，记其信号电压变化量的绝对值为ΔV_{FD}。由于势垒高度随ΔV_{FD}等量降低，溢回电流I_{back}呈现指数型增长，可表示为：

$$I_{back}=I_{back0}\exp\left(\frac{q\Delta V_{FD}}{kT}\right) \tag{8}$$

式中，$I_{back0}=I_0 e^{q\left[-\varphi_{frst}+\varphi_{pin}-E_g/(2q)\right]/(kT)}$为曝光积分起始时刻FD节点未发生电压跌落时的初始基准溢回电流，其中φ_{frst}为复位结束后FD节点的初始费米能级电势，φ_{pin}为PPD-TX交界区域的最低电势，与TX栅极的工作电压有关。

仅考虑热电子发射而忽略C_{conv}非线性部分的影响，则可以假设C_{conv}为定值。设正向转移电流为I_{trans}，决定节点电压变化率的微分方程可表示为：

$$C_{conv}\times\frac{d\Delta V_{FD}}{dt}=I_{trans}-I_{back} \tag{9}$$

因而I_{back}造成的FD节点电压非线性偏移量的绝对值ΔV_{back}的微分方程可表示为：

$$C_{conv}\frac{d\Delta V_{back}}{dt}=I_{back}=I_{back0}\exp\left[q\Delta V_{FD}/(kT)\right] \tag{10}$$

在到达饱和之前，主导 FD 节点电压变化的仍然是正向转移电流 I_{trans}。因此，可采用摄动法进行近似解析求解，即近似认为 ΔV_{FD} 主要由 I_{trans} 线性积分产生，FD 节点的电压随时间线性减小：

$$\Delta V_{FD}(t)=\frac{I_{trans}}{C_{conv}}\times t \tag{11}$$

将公式(11)代入公式(10)并在时间域上积分求解可得：

$$\Delta V_{back}=\frac{I_{back0}kTt_{int}}{qC_{conv}\Delta V_{FD}}\times\left[\exp\left(\frac{q\Delta V_{FD}}{kT}\right)-1\right] \tag{12}$$

在高光强段，ΔV_{FD} 远大于热电压 kT/q（常温下约为 26 mV），因而公式(12)中指数项的数值远大于常数项 −1，常数项可忽略不计，ΔV_{back} 的表达式可简化为：

$$\Delta V_{back}=\frac{I_{back0}kTt_{int}}{qC_{conv}\Delta V_{FD}}\times\left[\exp\left(\frac{q\Delta V_{FD}}{kT}\right)\right] \tag{13}$$

联立公式(8)和公式(13)可得：

$$\Delta V_{back}=\frac{I_{back}kTt_{int}}{qC_{conv}\Delta V_{FD}} \tag{14}$$

根据公式(8)，在不考虑 C_{conv} 非线性部分影响的前提下，随着 C_{conv} 增大，电荷缓冲能力增加，能一定程度上压制热力学反向溢回，从而改善因热电子发射造成的高端线性度恶化。然而，这一结论与前一机制的“提升 C_{conv} 加剧非线性畸变”的负面效应相矛盾。实际上，最终的高端线性度退化是两种机制权衡的结果。

1.3.3　高端线性度退化主导因素分析

在评估像素的线性度时，通常以非线性电压偏移量与理想线性电压变化量之比达到某一容差阈值作为判定偏离线性的临界点。设该阈值为极小的常数 ε，此时对应的信号电压即为线性段最大电压变化量 ΔV_{lin}。

将公式(14)代入公式(11)可得：

$$\Delta V_{back}=\frac{I_{back}kT}{qI_{trans}} \tag{15}$$

根据电荷转移理论，当达到饱和电压变化量 ΔV_{sat} 时，溢回电流等于转移电流，即 $I_{back}(\Delta V_{sat})=I_{trans}$。结合公式(8)可得，在任意 ΔV_{FD} 下，溢回电流可表示为：

$$I_{back}=I_{trans}\exp\left[q(\Delta V_{FD}-\Delta V_{sat})/(kT)\right] \tag{16}$$

联立公式(14)和公式(16)可得：

$$\Delta V_{back}=\frac{kT}{q}\exp\left[q(\Delta V_{FD}-\Delta V_{sat})/(kT)\right] \tag{17}$$

取 $\Delta V_{FD}=\Delta V_{lin}$ 对光照响应曲线线性-非线性转折点的 ΔV_{back} 进行估算，根据测试结果可得 $\Delta V_{FD}-\Delta V_{sat}$ 大致范围为 −0.5～−0.3 V。代入公式(17)可估算出常温下 ΔV_{back} 的数量级在 1×10^{-10}～1×10^{-5} V，远小于 ΔV_{FD}。由此可见，热电子发射并非响应曲线偏离线性的主要原因，尺寸增加导致 FD 和 MOS 电容高光强下非线性分量增加对高端线性度的负面影响更为显著。

定量的数量级验证表明，在高端线性度开始实质性退化的转折电压 V_{lin} 处，热电子发射机制引发的电压误差通常比因 FD 节点和 MOS 电容带来的电容非线性误差低数个数量级。因此，热电子发射界定了极限饱和状态的物理边界，但并非响应曲线偏离线性的主要原因。真正主导高端线性度退化的，仍是 FD 与 MOS 电容尺寸增加导致高光强下非线性分量的增加。

2　测试结果

2.1　测试像素与实验条件

为验证前文构建的高端线性度退化理论模型，基于 180 nm CMOS 工艺流片了 6 组 5T GS 测试像素，每组包含 1 280 个像元。测试像素的像元尺寸均为 20 μm×20 μm，填充因子约为 92%。为严格控制变量，各组像素的 PPD、晶体管组成和版图分布完全一致，唯一的物理结构差异在于：通过在 FD 节点处接入不同物理面积的 MOS 调节电容，实现了电荷-电压转换节点总电容 C_{conv} 的梯度变化。

测试中引入有效线性响应区间占比 R 作为衡量高端线性度的核心指标，可表示为：

$$R=\frac{\Delta V_{lin}}{\Delta V_{sat}}\times100\%$$

式中，ΔV_{lin} 为像素保持理想线性响应的极限最大电压变化量；ΔV_{sat} 为像素达到物理饱和，即输出不随光强增加时的最大电压变化量。

2.2　测试结果

提取经相关双采样处理后的输出 R-S 信号，得到 6 组像素在不同相对光强下的响应曲线如图 4 所示。

由图 4 可见，在低光强积分初期，各组曲线均与理想线性拟合直线高度重合；但在高光强的大信号摆幅下，所有曲线均提前弯曲，偏离了线性轨迹。表 1 进一步量化了各测试像素的 C_{conv} 实测值及高端线性度参数。

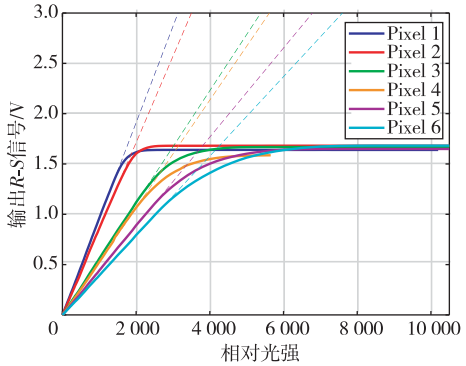


图4 不同转换节点电容下的GS像素光照响应曲线

表1 不同转换节点电容下GS像素实测响应参数与线性度对比

像素编号	C_{conv}实测值/fF	ΔV_{sat}/V	ΔV_{lin}/V	R/%
1	13.16	1.64	1.458	88.90
2	14.60	1.68	1.436	85.48
3	22.56	1.67	1.316	78.80
4	23.53	1.59	1.182	74.34
5	28.40	1.65	1.217	73.76
6	32.50	1.68	1.166	69.40

如表1所示，随着C_{conv}从13.16 fF梯度增至32.50 fF，各像素的ΔV_{sat}稳定在1.59～1.68 V的极窄区间内，未随电容C_{conv}的增大而出现明显波动，饱和边界高度稳定。与此同时，线性区间随C_{conv}的增大剧烈收缩，维持理想线性响应的极限电压ΔV_{lin}从1.458 V显著降低至1.166 V，高端线性度核心指标R从88.90%锐减至69.40%。

3 高端线性度退化机制分析与讨论

上述实测数据为前文的高端线性度退化理论模型提供了严密的定量论证，明确了高端线性度退化的主导因素。

ΔV_{sat}的高度一致性验证了热电子溢回效应对物理边界的控制作用。像素的物理饱和电压由PPD钳位电势与FD复位电平的初始势垒差决定，由于6组像素的内部转移结构与势阱深度相同，当光生电流与克服势垒的热电子溢回电流达到动态平衡时，其热力学平衡点ΔV_{sat}必然趋于相同，且不受外接电容影响。实测结果中ΔV_{sat}的微小差异来源于晶体管局部工艺失配与SF阈值漂移，在正常的工艺误差范畴内ΔV_{sat}可视作基本一致。

而R值随C_{conv}增大急剧恶化证实了电容的非线性演变是导致高端线性度退化的主导因素。如果热力学溢回机制占主导，增大C_{conv}本应减缓节点电压跌落速度并推迟退化，R值应当上升；但实测R值的降低符合前文建立的MOS电容非线性模型，进而验证了前文模型的正确性。

综上所述，理论与测试的定量闭环验证表明：虽然热电子溢回机制界定了极限饱和状态的极限，但转换节点尺寸增加导致的非线性电容分量激增才是导致响应曲线提前偏离线性轨迹、高端线性度严重退化的根本原因。

4 结论

本文针对GS CMOS图像传感器在大信号摆幅下出现的高端线性度退化现象，开展了系统的理论分析与实验论证，旨在为大动态范围高线性度CMOS图像传感器的结构创新与版图协同优化提供理论指导与数据支撑。研究建立了一个包含转换节点电容非线性波动与热电子反向溢回机制的高端线性度退化大信号模型，并通过定量的数量级验证理论证明了高端线性度退化的主导因素为转换节点电容尺寸增加导致的非线性分量激增，而热力学溢回机制界定了极限饱和状态的物理边界。基于180 nm CMOS工艺的流片测试结果高度吻合理论预期，完成了实测数据的定量闭环验证。R值随转换节点电容增大而急剧恶化的趋势证明了电容的非线性演变是导致高端线性度退化的主导因素，与所建立的电容非线性模型一致。此外，在6组不同转换节点总电容的测试像素中，各像素的物理饱和电压差值极小，印证了热力学溢回效应受控于初始势垒差，决定了饱和边界。

参考文献：

[1] Murata M, Kuroda R, Fujihara Y, et al. A 24.3Me－ ull well capacity CMOS image sensor with lateral overflow integration trench capacitor for high precision near infrared absorption imaging [C]//2018 IEEE International Electron Devices Meeting (IEDM), 2019: 10.3.1-10.3.4.

[2] Xu J, Wang R, Han L, et al. Analysis and modeling of spill back effect in high illumination CMOS image sensors [J]. IEEE Sensors Journal, 2020, 20(6): 3024-3031.

[3] Bonjour L E, Blanc N, Kayal M. Experimental analysis of lag sources in pinned photodiodes [J]. IEEE Electron Device Letters, 2012, 33(12): 1735-1737.

[4] Liu W, Jin X, Yang H, et al. Design of novel pixel with non-uniform doped transistor channel and triangle-tooth shape pinned photodiode for high speed CMOS image sensors [J]. International Journal of Electronics and Electrical Engineering,

2017, 5(2): 114-120.

[5] Li Y Q, Li B Q, Xu J T, et al. Charge transfer efficiency improvement of a 4T pixel by the optimization of electrical potential distribution under the transfer gate [J]. Journal of Semiconductors: English Version, 2012, 33(12):31-36.

[6] Rizzolo S, Goiffon V, Estribeau M, et al. Influence of pixel design on charge transfer performances in CMOS image sensors [J]. IEEE Transactions on Electron Devices, 2018, 65(3): 1048-1055.

[7] Xu Y, Theuwissen A J P. Image lag analysis and photodiode shape optimization of 4T CMOS pixels [C]//International Image Sensor Workshop, 2013: 153-157.

[8] Sarkar M, Buttgen B, Theuwissen A J P. Feedforward effect in standard CMOS pinned photodiodes[J]. IEEE Transactions on Electron Devices, 2013, 60(3): 1154-1161.

[9] Wang F, Theuwissen A. Linearity analysis of a CMOS image sensor[J]. Electronic Imaging, 2017, 29(11): 84-90.

[10] Wang F. Linearity research of a CMOS image sensor[D]. Delft: Delft University of Technology, 2018.

[11] Kusuhara F, Wakashima S, Nasuno S, et al. Analysis and reduction of floating diffusion capacitance components of CMOS image sensor for photon-countable sensitivity [C]// International Image Sensor Workshop, 2015: 120-123.

[12] Sedra A S, Smith K C. Microelectronic circuits[M]. New York: Oxford University Press, 2011.

[13] Liu Q, Edward A, Kinyua M, et al. A low-power digitizer for back-illuminated 3D-stacked CMOS image sensor readout with passing window and double auto-zeroing techniques[J]. IEEE Journal of Solid-State Circuits, 2017, 52(6): 1591-1604.

[14] 刘恩科, 朱秉升, 罗晋生. 半导体物理学[M]. 7版. 北京: 电子工业出版社, 2008: 198-206.
Liu Enke, Zhu Bingsheng, Luo Jinsheng. Semiconductor Physics [M]. 7th ed. Beijing: Publishing House of Electronics Industry, 2008: 198-206.

[15] Han L, Yao S, Theuwissen A J P. A charge transfer model for CMOS image sensors[J]. IEEE Transactions on Electron Devices, 2016, 63(1): 32-41.

作者简介：

吴安琪(2002—)，女，福建省厦门市人，硕士研究生，主要从事光电探测器及读出电路方向研究；

程正喜(1982—)，男，湖北省黄石市人，副研究员，主要从事先进硅光电探测器方向的研究。