光电器件

DOI：10.16818/j.issn1001－5868.20251113001

# 具有P-top层与缓冲层结构LDMOS击穿特性研究

李　尧*，张鹏杰，牛瑞霞，张栩莹
（兰州交通大学 电子与信息工程学院，兰州 730070）

**摘　要：** 在传统平面栅横向双扩散金属氧化物半导体（CON-LDMOS）结构的基础上，设计了一种具有P-top层与N型缓冲层结构的LDMOS（BP-LDMOS）。P-top层辅助耗尽漂移区，拓宽了耗尽层宽度，并缓解了栅极右侧拐角处的电场集中效应，使横向电场分布更加均匀，进而提升器件耐压特性；N型缓冲层的设计，增大了漂移区内载流子密度，使器件导通特性得到改善。文章深入探究了P-top层掺杂浓度、长度、厚度以及漂移区掺杂浓度对BP-LDMOS击穿特性的影响。仿真结果表明，相较于CON-LDMOS，BP-LDMOS的击穿电压为329.4 V，提升了3%；比导通电阻为23.1 mΩ·cm$^2$，降低了40.1%；品质因数为4.70 MW/cm$^2$，提升了77.4%。

**关键词：** 击穿电压；比导通电阻；LDMOS；P-top层；表面电场
**中图分类号：** TN386.1　**文章编号：** 1001－5868(2026)03－0469－06

## LDMOS Breakdown with P-Type Top Layer and Buffer Layer Structure

LI Yao, ZHANG Pengjie, NIU Ruixia, ZHANG Xuying
(**School of Electronic and Information Engineering, Lanzhou Jiaotong University, Lanzhou 730070, CHN**)

**Abstract:** A laterally diffused metal - oxide - semiconductor (LDMOS) structure named BP-LDMOS with a P-type top layer and an N-type buffer layer was designed based on a traditional planar-gate LDMOS structure (CON-LDMOS). The P-type top layer assists in the depletion drift zone, broadens the depletion layer width, alleviates the electric field concentration effect at the right corner of the grid, and makes the transverse electric field distribution more uniform. This results in better voltage resistance of the device. The design of the N-type buffer layer increases the carrier density in the drift zone and improves the conduction characteristics of the device. In this study, the influences of the doping concentration, length, and thickness of the P-type top layer, and the doping concentration in the drift zone on the breakdown characteristics of BP-LDMOS were studied. The simulation results showed that, compared with CON-LDMOS, the breakdown voltage of BP-LDMOS was 329.4 V, which is 3% higher; the specific on-resistance was 23.1 mΩ·cm$^2$, which is 40.1% lower; and the quality factor FOM was 4.70 MW/cm$^2$, which is 77.4% higher.

**Key words:** breakdown voltage; specific on-resistance; LDMOS; P-top layer; surface electric field

**收稿日期：**2025－11－13.
**基金项目：**国家自然科学基金项目（61905102，62264008）；兰州市青年科技人才创新项目（2023-QNQ-119）；甘肃省高校青年博士支持项目（2024QB-050）；开放课题（甘财教[2023]36号-集成电路产业研究院）.
*通信作者：李　尧

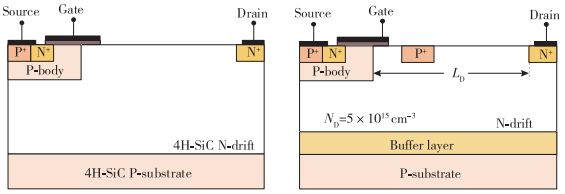
## 0 引言

横向双扩散金属氧化物半导体(LDMOS)场效应晶体管具有横向导电沟道和表面电极结构,因而被广泛应用于高压集成电路与智能功率集成电路中,被视为第二次电子革命的核心技术之一[1-16]。碳化硅(SiC)作为第三代半导体材料的典型代表,具备宽禁带、高临界击穿电场、高热导率以及高饱和电子漂移速度等优异特性,近年来成为功率器件领域的研究热点。以4H-SiC为例,其禁带宽度达3.26 eV、击穿电场强度约2.8 MV/cm、热导率约4.9 W/(cm·K)、电子迁移率约为1 000 $cm^2/(V·s)$,并且具有优异的化学稳定性和抗辐射能力,使其在高功率、高频及高温环境下展现出显著的应用潜力。在LDMOS的元胞与终端结构设计中,击穿电压是衡量器件耐压能力的关键指标。自降低表面电场(RESURF)技术提出以来,通过电场调制效应优化器件横向表面电场分布、提高耐压水平,始终是领域内的重要研究方向[2-7]。

传统平面栅LDMOS(CON-LDMOS)中,栅极右侧拐角处易出现电场集中现象,同时漂移区耗尽不完全,导致器件提前击穿。针对上述问题,本文基于SiC CON-LDMOS结构,设计了一种具有P-top层与N型缓冲层的SiC LDMOS(BP-LDMOS)。首先,仿真对比了CON-LDMOS与优化前BP-LDMOS的击穿电压、比导通电阻和阈值电压,并结合表面电场分布与电场峰值分析了击穿机理。其次,系统研究了P-top层掺杂浓度、厚度、长度以及漂移区掺杂浓度对器件击穿电压和比导通电阻的影响。最后,对比了CON-LDMOS与优化前后BP-LDMOS的性能参数。结果表明,优化后的BP-LDMOS相较于CON-LDMOS,击穿电压提升至329.4 V(提高3.0%),比导通电阻降至23.10 $m\Omega·cm^2$(降低40.1%),品质因数(FOM)达到4.70 $MW/cm^2$(提高77.4%)。

## 1 器件结构与物理模型

CON-LDMOS与BP-LDMOS结构如图1所示。二者表面栅电极为多晶硅,源漏电极由金属铝制成,其余部分均为4H-SiC。考虑到4H-SiC非完全电离的影响,轻掺杂N型漂移区、N型缓冲层和P型衬底分别采用杂质元素氮和铝。P-body区、$N^+$/$P^+$源区以及P-top层均在漂移区表面通过离子注入形成。BP-LDMOS在结构上与CON-LDMOS的不同之处在于:加入了P-top层,辅助耗尽漂移区,拓宽耗尽层宽度,引入峰值电场,使表面电场分布更加均匀,耐压能力进一步提升;加入了掺杂浓度介于漂移区和衬底之间的N型缓冲层,使N型漂移区内电子浓度增大,器件的比导通电阻进一步减小。两种器件结构部分仿真参数如表1所示。




(a) 传统结构 (b) BP-LDMOS结构

图1 传统LDMOS与BP-LDMOS结构

**表1 器件结构参数**

| 器件参数 | CON-LDMOS | BP-LDMOS |
|---|---|---|
| 漂移区掺杂浓度 $N_D/cm^{-3}$ | $5\times10^{15}$ | $5\times10^{15}$ |
| 漂移区长度 $L_D/\mu m$ | 35 | 35 |
| 漂移区厚度 $T_D/\mu m$ | 10 | 10 |
| 缓冲层掺杂浓度 $N_{BL}/cm^{-3}$ | | $5\times10^{17}$ |
| 缓冲层厚度 $T_{BL}/\mu m$ | | 5 |
| P-top层浓度 $N_{P\text{-}top}/cm^{-3}$ | | $1\times10^{17}$ |
| P-top层长度 $L_{P\text{-}top}/\mu m$ | | 2 |
| P-top层厚度 $T_{P\text{-}top}/\mu m$ | | 1.5 |

在器件N型漂移区上表面引入重掺杂P-top层是通过辅助耗尽漂移区,拓宽漂移区内耗尽层宽度,达到提升器件击穿电压的目的。在漂移区内部,由于载流子被耗尽,在反向偏置条件下,电场的作用使电子与空穴加速分离,增强了耗尽区内的电场强度。当BP-LDMOS漂移区掺杂浓度一定时,击穿电压表达式为:

$$V_B=\frac{\varepsilon_0\varepsilon_{SiC}E_{SiC}^2}{2eN_D} \tag{1}$$

式中,$V_B$为击穿电压,$\varepsilon_0$为真空介电常数,$\varepsilon_{SiC}$为SiC相对介电常数,$E_{SiC}$为SiC临界击穿电场,$e$为电荷量,$N_D$为漂移区掺杂浓度。耗尽层宽度表达式为:

$$M=\sqrt{\frac{2\varepsilon_{SiC}(V_n+V_i)}{eN_D}} \tag{2}$$

式中,$M$为耗尽层宽度,$V_n$为内建电势,$V_i$为反向偏置电压。BP-LDMOS横向表面电场表达式为:

$$E(x)=\frac{eN_D(x-x_D)}{\varepsilon_{SiC}} \tag{3}$$

式中,$x_D$为耗尽层边界。

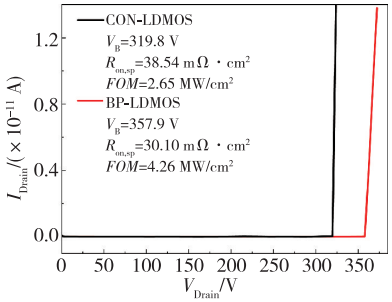
在数值仿真过程中，选取的物理模型包括碰撞电离模型，用于描述由载流子（电子和空穴）与晶格离子相互碰撞所导致的电离效应，当电子和空穴与晶格离子碰撞时会被散射，也可能会吸收或释放能量，而当它们吸收足够的能量，就会产生新的电子和空穴[2]；漂移扩散模型，用于描述漂移与扩散区域之间的电场和载流子分布以及由此产生的电流，此模型主要由载流子连续性方程、泊松方程和电子空穴电流密度方程组成[18]；考虑到掺杂浓度、温度、横向和纵向电场的影响，迁移率模型选择 CVT 模型，在低电场下，载流子主要受电离杂质散射影响，在高电场下，由于电场力作用，导致晶格畸变、声子散射和电子间相互作用等因素影响加大，迁移率下降；SRH 复合模型，用于描述在载流子密度低、不饱和状态下，载流子在能隙中杂质陷阱处的复合效应[18]。

## 2　仿真结果分析

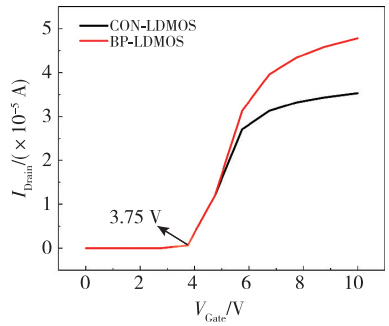
### 2.1　CON-LDMOS 与优化前 BP-LDMOS 性能对比

对比了 CON-LDMOS 与优化前 BP-LDMOS 的击穿特性、转移特性、输出特性以及器件击穿时的半元胞表面电场分布，如图 2 所示。由图 2 可知，在保持漂移区参数不变的情况下，二者阈值电压均为 3.75 V，相较于 CON-LDMOS，BP-LDMOS 的击穿电压 $V_B$ 为 357.9 V（提升了 11.9%），比导通电阻 $R_{on,sp}$ 为 30.10 mΩ·cm²（降低了 21.9%），以及品质因数为 4.26 MW/cm²（提升了 60.8%）。P-top 层的引入使 BP-LDMOS 表面电场分布更加均匀，缓解了栅极右侧拐角的电场集中，器件性能更优。

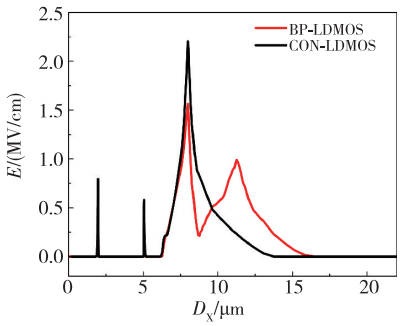
BP-LDMOS 相较于 CON-LDMOS，器件性能均得到优化。为得到最佳的品质因数，使器件性能达到最优，需要进一步仿真优化 P-top 层掺杂浓度、厚度、长度以及漂移区掺杂浓度等关键参数。




（a）击穿特性




（b）转移特性




（c）表面电场

图 2　CON-LDMOS 与优化前 BP-LDMOS 击穿特性、转移特性与表面电场对比

### 2.2　P-top 层掺杂浓度对击穿特性的影响

为探究 BP-LDMOS 中 P-top 层掺杂浓度对其击穿特性的影响，固定其余参数不变，依次选取 P-top 层掺杂浓度为 $9\times10^{16}$ cm$^{-3}$，$1\times10^{17}$ cm$^{-3}$，$3\times10^{17}$ cm$^{-3}$，$3\times10^{18}$ cm$^{-3}$，$5\times10^{18}$ cm$^{-3}$ 和 $7\times10^{18}$ cm$^{-3}$。不同 P-top 层掺杂浓度对 BP-LDMOS 击穿电压、比导通电阻与品质因数的影响如图 3 所示。可见，击穿电压随 P-top 层掺杂浓度的增大先增大后减小，当 P-top 层掺杂浓度小于 $5\times10^{18}$ cm$^{-3}$ 时，提升幅度显著，而后继续增大 P-top 层掺杂浓度，击穿电压下降。

随着高掺杂 P-top 层浓度增大，P-top 层内大量多子空穴与轻掺杂 N 型漂移区内的多子自由电子复合，耗尽层边界在漂移区内加速拓宽，并且 P-top 层的引入在器件表面产生新的峰值电场，平衡了表面电场，器件耐压能力得到提升。P-top 层产生的新的峰值电场随掺杂浓度的增大而增大，当峰值电场强度过大时，漂移区承担电场能力下降，表面电场分布不均匀，器件因 P-top 层掺杂浓度过高而在其右侧提前击穿。

N 型缓冲层的加入，相当于增大了漂移区掺杂浓度，更多的自由电子参与导电，虽使得器件漂移区耗尽速度变缓，但在 BP-LDMOS 导通时，大幅

改善了导通特性。随着P-top层掺杂浓度增大，沟道反型，导电沟道开启，自由电子绕P-top层流至缓冲层区域后，汇入到漏极，电子纵向流动路径变长，比导通电阻增大，导通损耗增加。随着P-top层掺杂浓度从$9\times10^{16}$ cm$^{-3}$增大到$7\times10^{18}$ cm$^{-3}$，比导通电阻从29.26 mΩ·cm$^2$增至91.34 mΩ·cm$^2$，升高了212.2%。当P-top层掺杂浓度为$9\times10^{16}$ cm$^{-3}$，可获得最佳品质因数为4.37 MW/cm$^2$。

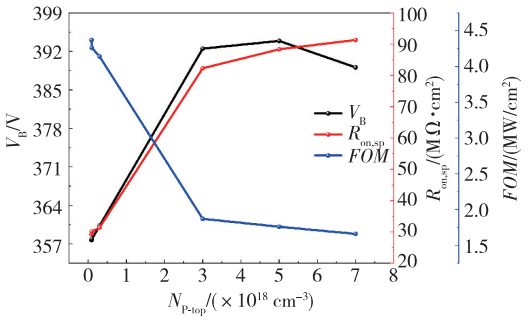



图3 不同P-top层掺杂浓度对BP-LDMOS击穿电压、比导通电阻与品质因数的影响

### 2.3 P-top层厚度对击穿特性的影响

固定P-top层掺杂浓度为$9\times10^{16}$ cm$^{-3}$，BP-LDMOS其余参数保持不变，选取P-top层厚度为1.5 μm，3.5 μm，5.5 μm和7.5 μm，探究P-top层厚度对击穿特性的影响。

不同P-top层厚度对BP-LDMOS击穿电压、比导通电阻与品质因数的影响如图4所示。可见，击穿电压与比导通电阻随P-top层厚度的增加呈现逐渐增大趋势，品质因数降低，且当P-top层厚度为1.5 μm时，器件达最佳品质因数4.37 MW/cm$^2$。

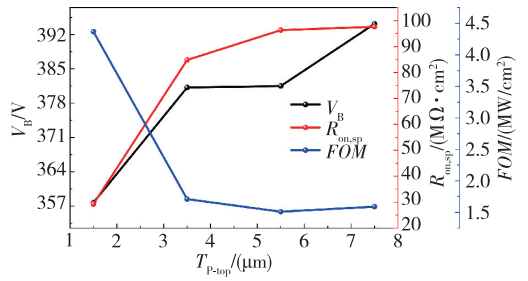



图4 不同P-top层厚度对BP-LDMOS击穿电压、比导通电阻与品质因数的影响

这是因为P-top层厚度的增加使得耗尽区进一步向缓冲层底部扩展，P-top层引入的额外峰值电场增强，有效平衡了器件表面的电场分布，从而提升了击穿电压。同时，厚度增大也延长了电子绕过P-top层的路径，导致比导通电阻上升，因此品质因数下降。

### 2.4 P-top层长度对击穿特性的影响

固定P-top层厚度为1.5 μm和掺杂浓度为$9\times10^{16}$ cm$^{-3}$，BP-LDMOS其余参数保持不变，选取P-top层长度为2 μm，8 μm，10 μm和12 μm，探究P-top层长度对击穿特性的影响。

不同P-top层长度对BP-LDMOS击穿电压、比导通电阻与品质因数的影响如图5所示。可见，BP-LDMOS击穿电压随P-top层长度增大而先增大后降低，当P-top层长度从2 μm增至10 μm，击穿电压持续上升，至10 μm处达到最大值386.3 V，相较于CON-LDMOS，提升了20.8%。

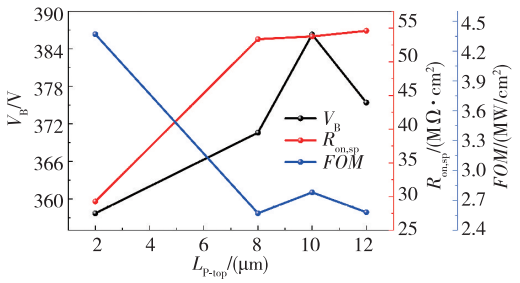



图5 不同P-top层长度对BP-LDMOS击穿电压、比导通电阻与品质因数的影响

对于固定漂移区掺杂浓度的BP-LDMOS，漂移区并未完全耗尽，漂移区承担电场能力较弱导致器件击穿特性不佳。P-top层辅助耗尽漂移区的同时，在表面引入了峰值电场，平衡了表面电场分布。P-top层长度过长，使得该层下方的电场分布不如预期均匀，特别是在P-top层存在曲率效应的拐角$P^+/N^-$结交界处。由于不对称的电荷分布，该区域内的电场被过度分散削弱，反而不能有效抑制局部的电场集中现象，器件耐压性能下降。

BP-LDMOS导通时，P-top层的引入改变了器件电子的横向流动路径，随着P-top层长度增加，电子需绕过P-top层的路径变长，漂移区电阻率增大，比导通电阻升高。经优化，当P-top层长度为2 μm时，器件具有最佳品质因数4.37 MW/cm$^2$。

### 2.5 漂移区掺杂浓度对击穿特性的影响

漂移区掺杂浓度的优化必须在提升击穿电压和降低比导通电阻之间找到平衡。漂移区掺杂浓度的增加虽会增强电离杂质散射，使载流子迁移率有所下降，但载流子浓度的大幅提升起主导作用，使漂移区电阻率总体降低，因此比导通电阻随掺杂浓度增加而减小。然而，过高的掺杂浓度会加剧耗尽区电场集中，降低击穿电压。较低的掺杂浓度虽然有利于增大耗尽区宽度、分散电场，但会增大

导通电阻。因此，需合理设计漂移区掺杂浓度以实现耐压与导通性能的折中。

不同漂移区掺杂浓度对 BP-LDMOS 击穿电压、比导通电阻与品质因数的影响如图 6 所示。BP-LDMOS 的击穿电压随漂移区掺杂浓度的增大而减小，当漂移区掺杂浓度 $9\times10^{14}$ cm$^{-3}$时，击穿电压为 415.2 V；当漂移区掺杂浓度 $9\times10^{15}$ cm$^{-3}$时，击穿电压降低到 296.6 V（降低了 28.6%）。比导通电阻与漂移区掺杂浓度成反比，当漂移区掺杂浓度从 $9\times10^{14}$ cm$^{-3}$ 增至 $9\times10^{15}$ cm$^{-3}$，比导通电阻从 86.14 mΩ·cm$^2$ 降至 20.86 mΩ·cm$^2$（降低了 80%）。当漂移区掺杂浓度 $7\times10^{15}$ cm$^{-3}$时，器件获得最佳品质因数 4.70 MW/cm$^2$。

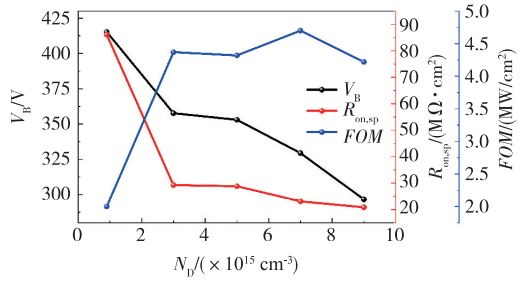



图 6　不同漂移区掺杂浓度对 BP-LDMOS 击穿电压、比导通电阻与品质因数的影响

## 3　CON-LDMOS 与优化前后 BP-LDMOS 性能对比

CON-LDMOS、优化前 BP-LDMOS 与优化后 BP-LDMOS 左侧半元胞表面电场分布对比如图 7 所示。由图可知，CON-LDMOS 漂移区耗尽不完全，在多晶硅栅极的右侧发生电场集中效应，器件提前击穿。BP-LDMOS 因 P-top 层的引入，产生新的电场尖峰，削弱了栅极电场集中效应，且辅助耗尽漂移区，拓宽了耗尽层宽度，横向表面电场较 CON-LDMOS 更加均匀，耐压性能更优。

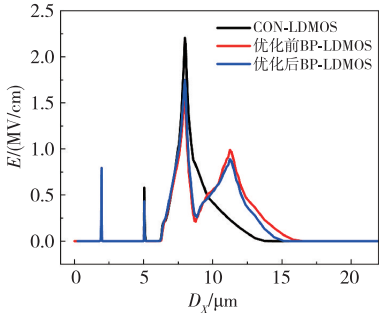



图 7　CON-LDMOS、优化前 BP-LDMOS 与优化后 BP-LDMOS 表面电场

CON-LDMOS 与优化后 BP-LDMOS 输出特性如图 8 所示。因 N 型缓冲层和 P-top 的引入，极大降低了 CON-LDMOS 的比导通电阻。相较于 CON-LDMOS，BP-LDMOS 击穿电压为 329.4 V，提升了 3%；比导通电阻为 23.1 mΩ·cm$^2$，降低了 40.1%；品质因数为 4.70 MW/cm$^2$，提升了 77.4%。优化后的 BP-LDMOS 器件性能参数如表 2 所示。

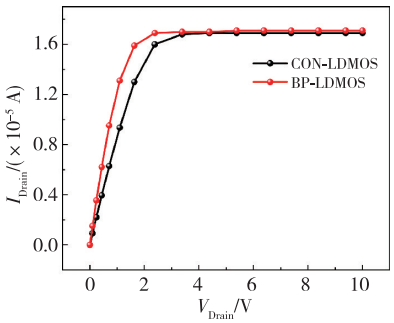



图 8　CON-LDMOS 与优化后 BP-LDMOS 输出特性

**表 2　优化后 BP-LDMOS 器件性能参数**

| 器件参数 | CON-LDMOS | BP-LDMOS |
|---|---|---|
| $V_B$/V | 319.8 | 329.4 |
| $R_{on,sp}$/(mΩ·cm$^2$) | 38.54 | 23.10 |
| $FOM$/(MW/cm$^2$) | 2.65 | 4.70 |
| $V_{th}$/V | 3.75 | 3.75 |

此外，还与其他相关文献性能参数进行了对比，如表 3 所示。文献[2]提出具有多场限环结构的 SiC LDMOS，击穿电压达到 5 137 V，品质因数为 16.1 MW/cm$^2$，但该结构工艺复杂，且终端长度 $L_{tm}$ 为 50 μm；文献[17]提出一种具有 N 型浮空岛的新型 LDMOS，该结构在漏端下方的衬底耗尽层内加入多个纵向排列的 N 型浮空岛，终端长度为 80 μm，器件尺寸较大，击穿电压为 964 V，但品质因数仅为 1.01 MW/cm$^2$。本文提出的 BP-LDMOS 的击穿电压为 329.4 V，品质因数达到 4.70 MW/cm$^2$，工艺易于实现，且终端长度仅为 35 μm。

**表 3　其他相关文献性能参数对比**

| 器件参数 | BP-LDMOS | 文献[2] | 文献[17] |
|---|---|---|---|
| $V_B$/V | 329.4 | 5 137 | 964 |
| $FOM$/(MW/cm$^2$) | 4.70 | 16.1 | 1.01 |
| $L_{tm}$/μm | 35 | 50 | 80 |

## 4　结论

本文设计了一种具有 P-top 层和缓冲层结构的 LDMOS。该结构中的 P-top 层能辅助耗尽漂移区，提升器件耐压性能；N 型缓冲层能增大漂移区载流子

浓度,从而降低器件比导通电阻。仿真研究了P-top层掺杂浓度、厚度、长度以及漂移区掺杂浓度对BP-LDMOS击穿特性的影响。结果表明,相较于CON-LDMOS,当 $N_{P\text{-}top}=9\times10^{16}$ cm$^{-3}$, $T_{P\text{-}top}=1.5$ μm, $L_{P\text{-}top}=2$ μm 和 $N_D=7\times10^{15}$ cm$^{-3}$ 时,BP-LDMOS击穿电压为329.4 V,提升了3%;比导通电阻为23.1 mΩ·cm$^2$,降低了40.1%;品质因数为4.70 MW/cm$^2$,提升了77.4%。

## 参考文献:


[1] Hu Z, Yao J, Li A, et al. Review of the SiC LDMOS power device[J]. Journal of Semiconductors, 2024, 45(8): 081501.

[2] 彭华溢, 汪再兴, 高金辉, 等. 具有多场限环结构的SiC LDMOS击穿特性研究[J]. 电子元件与材料, 2023, 42(1): 50-56.
Peng Huayi, Wang Zaixing, Gao Jinhui, et al. Breakdown characteristics of SiC LDMOS with multi-field limiting ring structure [J]. Electronic Components and Materials, 2023, 42(1): 50-56.

[3] 赵逸涵, 段宝兴, 袁 嵩, 等. 具有纵向辅助耗尽衬底层的新型横向双扩散金属氧化物半导体场效应晶体管[J]. 物理学报, 2017, 66(7): 382-388.
Zhao Yihan, Duan Baoxing, Yuan Song, et al. Novel lateral double-diffused MOSFET with vertical assisted deplete-substrate layer [J]. Acta Physica Sinica, 2017, 66 (7): 382-388.

[4] 孙 旭, 陈星弼. 利用P型场环调节表面电场的积累层LDMOS[J]. 微电子学, 2019, 49(1): 132-135.
Sun Xu, Chen Xingbi. An accumulation LDMOS for adjusting surface electric filed using P-type filed limiting ring [J]. Microelectronics, 2019, 49(1): 132-135.

[5] 杨帅强, 刘英坤. SiC功率LDMOS器件发展现状及新进展[J]. 半导体技术, 2023, 48(11): 949-960.
Yang Shuaiqiang, Liu Yingkun. Development status and new progress of SiC power LDMOS devices [J]. Semiconductor Technology, 2023, 48(11): 949-960.

[6] 吝晓楠, 吴团庄, 许超奇, 等. 超低导通电阻沟槽栅LDMOS器件研究[J]. 电子学报, 2023, 51(8): 1995-2002.
Lin Xiaonan, Wu Tuanzhuang, Xu Chaoqi, et al. Research on ultra-low on-resistance trench gate LDMOS device [J]. Acta Electronica Sinica, 2023, 51(8): 1995-2002.

[7] 何乃龙, 许 杰, 王 浩, 等. 具有分段P型埋层的Triple-RESURF LDMOS[J]. 微电子学, 2023, 53(1): 134-138.
He Nailong, Xu Jie, Wang Hao, et al. A triple-RESURF LDMOS with segmented P buried layer[J]. Microelectronics, 2023, 53(1): 134-138.

[8] Zhang W, Zhu X, Qiao M, et al. Analytical model and mechanism of homogenization field for lateral power devices[J]. IEEE Transactions on Electron Devices, 2021, 68(8): 3956-3962.

[9] Ma J, Zhang L, Zhu J, et al. Silicon-on-insulator lateral DMOS with potential modulation plates and multiple deep-oxide trenches[J]. IEEE Transactions on Electron Devices, 2021, 68(10): 5073-5077.

[10] Gavoshani A, Orouji A A. A novel deep gate power MOSFET in partial SOI technology for achieving high breakdown voltage and low lattice temperature[J]. Journal of Computational Electronics, 2021, 20(4): 1513-1519.

[11] Yang S, Liu Y, Tan Y, et al. Design and performance analysis of 4H-SiC LDMOS [J]. Journal of Physics: Conference Series, 2024, 2810(1): 012033.

[12] Rezaei F, Orouji A A, Abbasi A. Superior impact ionization rate in deep gate LDMOS devices to improve the figure of merit and lattice temperature [J]. Journal of Electronic Materials, 2024, 53(3): 1425-1435.

[13] He Y, Chen W, Duan Z. A superjunction extended triple gate LDMOS with charge accumulation effect[J]. Silicon, 2024, 16(4): 1703-1711.

[14] Sohrabi-Movahed A, Orouji A A. Improving specific on-resistance and breakdown voltage in SOI LDMOSs with several N-type windows[J]. Journal of Electronic Materials, 2023, 52(2): 1366-1374.

[15] Zhu S, Jia H, Yang Y. Super junction lateral double-diffused MOSFET with ultra-low specific on-resistance completely eliminating substrate assisted depletion effect [J]. Silicon, 2023, 15(3): 1443-1450.

[16] Gavoshani A, Orouji A A. Achieving a high figure of merit in LDMOSFETs with double P-window in silicon dioxide[J]. Silicon, 2023, 15(1): 109-115.

[17] 曾思杰, 冯全源, 陈晓培. 带N型浮空岛的新型LDMOS[J]. 微电子学, 2018, 48(2): 266-270.
Zeng Sijie, Feng Quanyuan, Chen Xiaopei. A novel lateral double-diffused MOSFET with N-type floating island [J]. Microelectronics, 2018, 48(2): 266-270.

[18] 彭华溢. 碳化硅LDMOS的耐压特性研究与优化[D]. 兰州: 兰州交通大学, 2023.
Peng Huayi. Research and optimization of voltage endurance characteristic of SiC LDMOS [D]. Lanzhou: Lanzhou Jiaotong University, 2023.


## 作者简介:


**李 尧**(1987—),男,甘肃省武威市人,博士,副教授,硕士生导师,主要研究方向为功率半导体器件、有机半导体器件、光电子器件。