光电器件

DOI：10.16818/j.issn1001－5868.20260120002

适用于MIPI D-PHY的快速自适应CTLE

桂雷攀，官家权，李春燕，常玉春*
（大连理工大学 集成电路学院，辽宁 大连 116024）

摘　要： 针对MIPI D-PHY在高速模式下因信道损耗导致的码间干扰和眼图恶化等信号完整性问题，文章提出一种快速自适应均衡架构。该架构基于幅值检测方法，通过实时比较均衡后信号与可调参考电压，同步调整均衡参数以及参考电压，快速搜索并锁定最佳均衡参数以使信号垂直眼高达到最大。基于65 nm CMOS工艺进行电路设计，电源电压为1.2 V，数据速率为6.5 Gbps。仿真结果表明，所提架构能对0～13 dB@3.25 GHz的信道损耗进行有效补偿，自适应时间小于100 ns，功耗为19.7 mW，均衡后信号眼图张开度显著改善。该电路具有结构简单、不依赖复杂数字算法、自适应速度较快等优点，适用于MIPI D-PHY高速接收端的信号完整性增强。

关键词： 信号完整性；连续时间线性均衡；自适应；幅值检测；MIPI D-PHY
中图分类号： TN432　**文章编号：** 1001－5868(2026)03－0475－06

Fast Adaptive Continuous-Time Linear Equalizer for MIPI D-PHY Specifications

GUI Leipan, GUAN Jiaquan, LI Chunyan, CHANG Yuchun
(**School of Integrated Circuits, Dalian University of Technology, Dalian 116024, CHN**)

Abstract: To address signal integrity issues such as inter-symbol interference and eye diagram degradation caused by channel loss in the high-speed mode of MIPI D-PHY, a fast adaptive equalization architecture is proposed. This architecture employs an amplitude detection method that dynamically adjusts the reference voltage and equalization parameters by comparing the equalized signal with a tunable reference voltage in real time. It rapidly searches for and locks onto the optimal equalization parameters to maximize the vertical eye opening of the signal. In this study, we present a circuit design based on a 65 nm CMOS process, operating at a supply voltage of 1.2 V and a data rate of 6.5 Gbps. Simulation results demonstrate that the proposed architecture can effectively compensate for channel losses ranging from 0 to 13 dB at 3.25 GHz, with an adaptation time of less than 100 ns and a power consumption of 19.7 mW. The equalized signal exhibits significantly improved eye diagram openness. The circuit features a simple structure, does not rely on complex digital algorithms, and achieves a relatively fast adaptation speed, making it suitable for signal integrity enhancement in high-speed MIPI D-PHY receivers.

Key words: signal integrity; continuous-time linear equalizer; adaptive; amplitude detection; MIPI D-PHY

0　引言

随着5G信息技术快速发展，智能便携设备已深度融入日常生活。同时，系统对数据吞吐量、集成密度及能效的要求不断提高，使现代移动电子设备对高速接口提出更高需求。基于此，移动行业处

收稿日期：2026－01－20.
*通信作者：常玉春

理器接口(MIPI)联盟制定的MIPI D-PHY作为一套广泛应用于移动设备的物理层接口标准,凭借高灵活性与低成本特性,已成为智能手机、平板电脑等设备中摄像头和显示屏接口的主流选择[1]。MIPI D-PHY支持两种传输模式:高速模式用于实现图像、视频等有效数据的高带宽传输;低功耗模式则用于传输控制指令、状态报告等低速数据,并可显著降低功耗。两种模式通过同一组物理线路动态切换,有效平衡系统的传输性能与能效表现。然而,随着MIPI D-PHY数据速率不断提高,传输信道的高频衰减效应日益显著[2],信号完整性受到信道非理想因素的影响。趋肤效应与介质损耗共同导致信号高频分量严重衰减,引起码间串扰,进而造成接收端眼图闭合与误码率爬升,制约系统的可靠性。为此,高速数据接收端需集成均衡器以对抗信道的高频衰减,从而保障高速链路的信号完整性。目前用于数据接收端的主流均衡器有判决反馈均衡器(DFE)和连续时间线性均衡器(CTLE)。

基于MIPI D-PHY v3.0规范[3],本文设计一款用于高速数据接收端的自适应CTLE。该CTLE通过实时比较输入信号与参考电压的大小,动态调节均衡效果,从而自动补偿不同信道条件下的损耗,改善接收信号的眼图质量。结果表明,该结构能够自适应补偿不同情况下的信道衰减,具有自适应速度快、能效高等优点。整体电路兼顾了高速传输性能与低功耗设计需求,能够有效提升MIPI高速接口接收系统的稳定性与可靠性,可广泛适配各类基于MIPI D-PHY协议的高速图像及数据传输场景。

1 自适应CTLE基本原理

1.1 CTLE原理

传统CTLE的电路结构如图1所示,其基本原理为通过调节源极退化电阻R_S和源极退化电容C_S值来调节增益补偿范围。

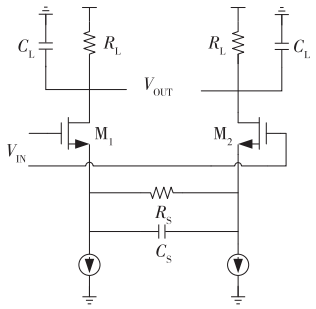


图1 传统CTLE结构图

传统CTLE的传递函数为:

$$H(s)=\frac{A_{DC}\omega_{p1}\omega_{p2}}{\omega_z}\frac{s+\omega_{z1}}{(s+\omega_{p1})(s+\omega_{p2})} \quad (1)$$

式中,$\omega_{z1}=1/R_SC_S$,$\omega_{p1}=(1+g_mR_S/2)/R_SC_S$,$\omega_{p2}=1/R_LC_L$,$A_{DC}=g_mR_L/(1+g_mR_S/2)$。

根据零极点分布情况,可绘制出如图2所示的系统幅值响应曲线。可以发现,其幅值特性曲线与信道的低通特性互为补偿关系,因此CTLE能够较好抵消信道引入的高频损耗,使得系统整体带宽提高,进而实现还原信号的目的。

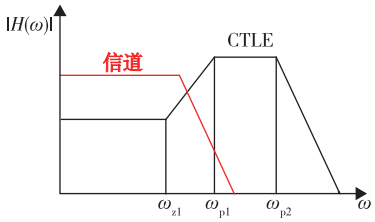


图2 传统CTLE幅值响应

根据上述传递函数,零点位置是决定CTLE均衡效果的关键。当零点设置得过低时,会产生过度均衡:信号的低频分量被过分衰减,尽管跳变沿得到增强,但稳定后的差分幅值很小,导致信号眼图的眼高过低。反之,当零点设置得过高时,会导致均衡不足:被信道衰减的高频成分未得到充分补偿,信号的眼高同样受限。只有当零点位于最优频率时,CTLE才能在有效提升高频成分的同时,避免低频分量的过多损失,从而使得信号眼高达到最大,眼图整体性能最优。因此,本文提出的自适应均衡架构旨在不同信道损耗下找到最优的零点位置,使CTLE达到最佳均衡效果。

同时,通过调节电阻R_s与电容C_s的取值,可直接控制系统的零极点分布,进而灵活调整均衡特性。基于该原理,实验选择以R_s作为可调参数,通过改变接入的电阻大小来实现不同的均衡效果。

1.2 现有自适应CTLE架构及其局限性

目前主流的自适应均衡技术有:频谱平衡技术[4-5],通过比较数据中高频与低频成分的能量比来估计信道损耗,进而实现自适应均衡,但是其核心的功率检测电路对工艺偏差以及温度的变化较为敏感,容易导致均衡效果偏差;基于模式检测的数字自适应方法[6],通过检测接收数据中特定的比特模式来控制均衡增益,但是为了得到可靠的模式计数差来驱使控制环路,需要积累足够长的数据,导

致其自适应时间较长同时功耗较高；基于异步采样的直方图法[7]，利用异步时钟进行欠采样，获取不同均衡参数下的数据幅度直方图，并选择直方图峰值最大者作为最优系数，但这种方法存在硬件开销大（需要大规模存储电路）和自适应速度慢等不足；眼图监测法[8]，通过眼图监测器持续监测数据眼图状态来实现均衡器的自适应调整，但是其在眼图初始完全闭合的情况下难以可靠的提取时钟信号，导致系统启动或重启困难；数字信号处理法[9]，基于最大似然序列检测，通过信道估计器、多状态解码器等模块协同工作来自适应调整均衡效果，其数字处理复杂度高，且需要多路ADC及数字校准，导致其设计难度较大且功耗较高；边沿检测法[10-11]，通过对均衡后的信号边沿进行计数，比较计数值与设定阈值来对均衡器的均衡参数进行调节，但是其每次调整均衡参数都需要一定的时间来进行计数，导致自适应速度较慢。本文设计的自适应CTLE无需复杂的数字电路及算法，也无需大量硬件开销，具有电路结构简单、自适应速度快等优点。

2　电路架构及工作原理

如图3所示为所提出的自适应CTLE系统架构，主要包括CTLE均衡器、比较器、DAC、时钟分频器、计数器（5-bit计数器用于调节均衡参数，其中后四位为有效位；4-bit计数器用于调节参考电压大小）以及数字控制逻辑。

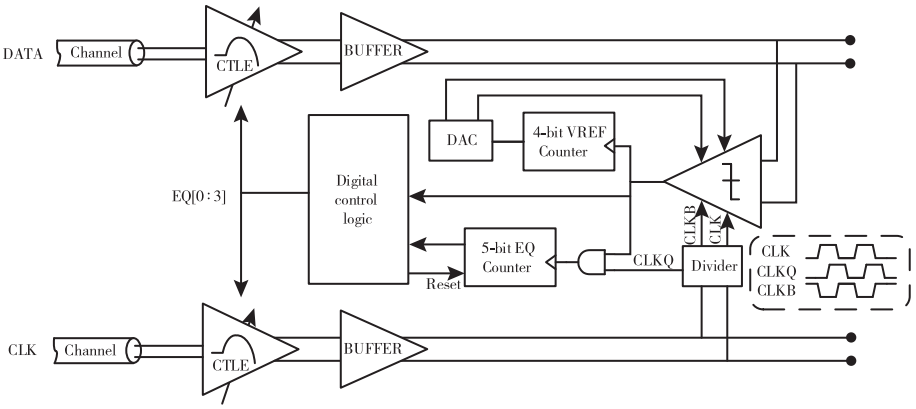


图3　自适应均衡架构

根据MIPI D-PHY v3.0规范，高速接收端分为时钟通道及数据通道，在数据传输的同时传输其同步时钟。时钟通道的分频器将接收到的时钟信号进行分频，在降低时钟频率的基础上产生三个不同相位的时钟信号用于比较器和计数器。比较器在时钟控制下，将CTLE均衡后的数据信号与DAC产生的参考电压进行比较，当信号的差分电平小于参考电压时，比较器输出为高电平，此时计数器正常工作，不断改变均衡参数；反之则输出低电平，计数器停止工作。两个计数器根据比较器的输出电平分别用于不断改变输入均衡参数以及DAC输出的参考电压值。数字控制逻辑负责根据比较器及计数器的输出来控制CTLE的均衡参数。

所提架构的自适应均衡流程如图4所示。首先，初始化参考电压及EQ值（均衡参数），使两者输出为最小。其次，更新参考电压，使V_{ref}控制字加一并使EQ值置零。随后，逐次调整均衡参数并比较信号值与参考电压值，每当EQ值加一，比较信号值与参考电压值的大小：若信号值大于参考电压值，则继续更新参考电压值并复位EQ值，重复比较信号值与参考电压值的操作；若信号值小于参考电压

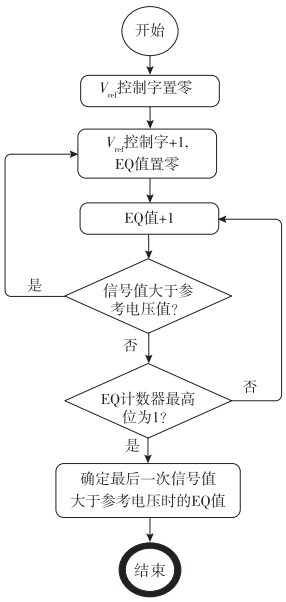


图4　自适应流程图

值，则开始判断EQ值的最高位是否为高电平。此时，若EQ值不为高电平，则将EQ值加一并继续比较信号值与参考电压值的大小；若为高电平，则说明即使遍历了所有均衡参数也无法使信号值大于参考电压值，最优的均衡参数就为最后一次使得信号值大于参考电压值时的均衡参数。

3 电路实现

3.1 基于负电容结构的CTLE电路设计

传统CTLE中固有的第一极点会限制其高频增益的进一步提升，难以补偿更为严重的信道损耗。因此，为进一步提升系统高频增益，采用基于负电容的增强型CTLE结构[12]，如图5所示。

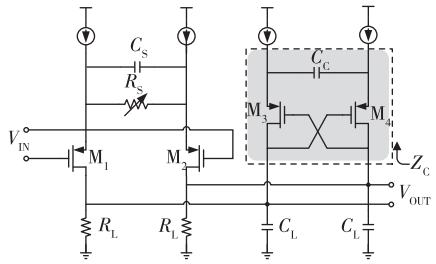


图5 带负电容的CTLE电路结构

该结构包含两个交叉耦合的MOS管M_3，M_4以及一个电容C_C，该结构的小信号等效电路如图6所示，其等效阻抗为：

$$Z_C=-\frac{1}{sC_C}\frac{g_m+s\left(C_{gs}+2C_C\right)}{g_m}=-R_C-\frac{1}{sC_C} \quad (2)$$

式中，$R_C=\left(\frac{C_{gs}}{C_C}+2\right)\Big/g_m$，$g_m$和$C_{gs}$分别代表$M_3$，$M_4$的跨导和栅源电容。

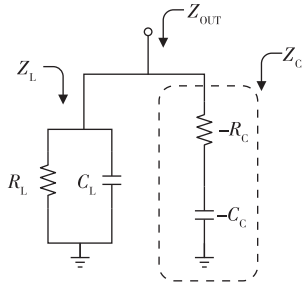


图6 负电容结构小信号等效模型

此时，CTLE的输出阻抗为：

$$Z_{OUT}=Z_L\|Z_C\cong R_L\cdot\frac{1+\frac{s}{\omega_{z2}}}{1+\frac{\xi s}{\omega_n}+\frac{s^2}{\omega_n^2}} \quad (3)$$

式中，$Z_L=R_L\|\left(1/sC_L\right)$，表示均衡器的负载阻抗，$\omega_{z2}=1/\left(R_CC_C\right)$，$\xi=\omega_n\left(R_LC_L+R_CC_C-R_LC_L\right)$，$\omega_n=1/\sqrt{R_LC_LR_CC_C}$。

公式(3)表明，负电容结构能够引入一个额外零点ω_{z2}，通过合理的电路设计可使得该零点与CTLE主极点相互抵消，继续增加CTLE的高频增益，从而拓宽增益提升的频带，实现更高的峰值均衡能力。其幅值响应曲线如图7所示。

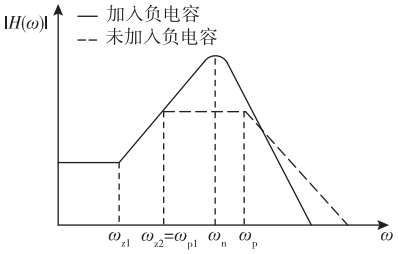


图7 带负电容结构CTLE幅值响应

此外，为满足MIPI D-PHY v3.0规范中高速发送端输出共模电压200 mV的要求，选用PMOS管作为输入差分对。相较于NMOS输入对，PMOS能在如此低的共模电压下确保跨导放大器工作在饱和区，维持较好的增益与线性度。

3.2 比较器设计

作为所提自适应架构的关键模块，比较器负责实时比较均衡后信号值与参考电压值的大小，其整体结构如图8所示，主要包含差分放大器、电流模逻辑(CML)D触发器以及动态比较器。差分放大器如图9所示，当差分信号值都处于参考电压之间时，说明信号值小于参考电压值，放大器输出差分电压为正，反之则说明信号值大于参考电压值，放大器输出差分电压为负。CML D触发器以及动态比较

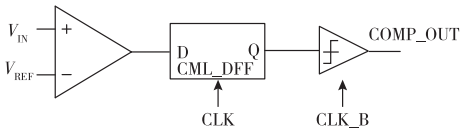


图8 比较器整体结构

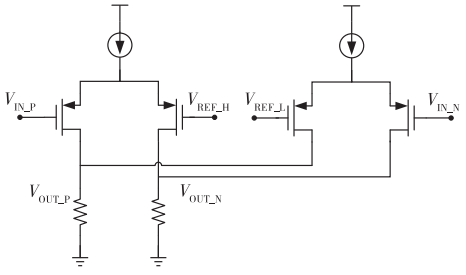


图9 差分放大器结构

器在时钟的控制下将差分放大器的低电压摆幅转换为数字电平信号，再交由后续数字电路处理。

4　仿真结果

所提出的自适应 CTLE 架构采用 65 nm CMOS 工艺设计，电源电压为 1.2 V，并在 Cadence Virtuoso 仿真平台中对该架构的电路模块及整体进行仿真验证。

首先，分别对传统 CTLE 及带负电容结构的 CTLE 的幅值响应进行仿真，并仿真在不同 EQ 值下 CTLE 的幅值响应，如图 10 所示。可以看出，加入负电容结构后，CTLE 的高频增益显著提升，能够更有效地补偿信道损耗。

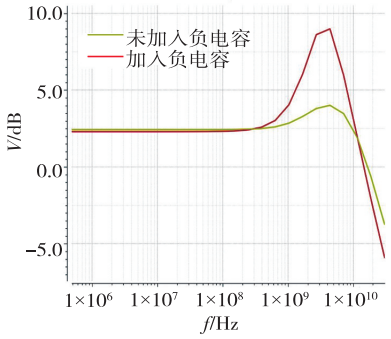


图 10　加入负电容结构前后 CTLE 幅值响应

由图 11 可以发现，随着均衡参数的改变（电阻 R_s 阻值改变），CTLE 的零点不断发生改变，其低频增益也随之不断发生改变。因此，只有合理设置均衡参数才能使信号的高频部分得到合适的补偿，同时信号的低频部分不会被过多损耗。

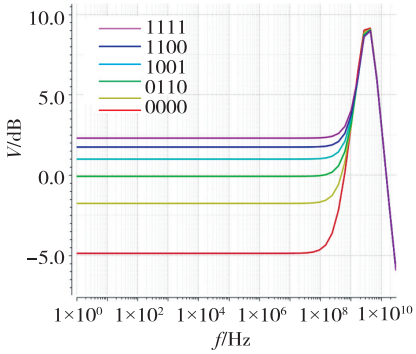
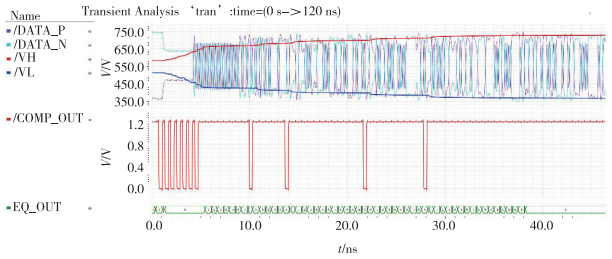
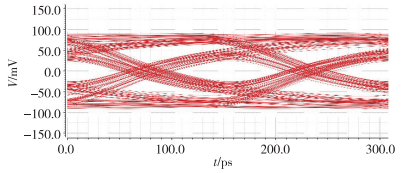


图 11　不同均衡参数下 CTLE 的幅值响应

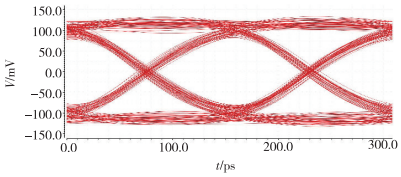
其次，分别仿真在不同信道衰减下的自适应均衡过程，输入信号为 6.5 Gbps 伪随机二进制序列信号，如图 12 和图 13 为整体架构自适应仿真过程及信号均衡前后眼图结果。



（a）自适应过程仿真

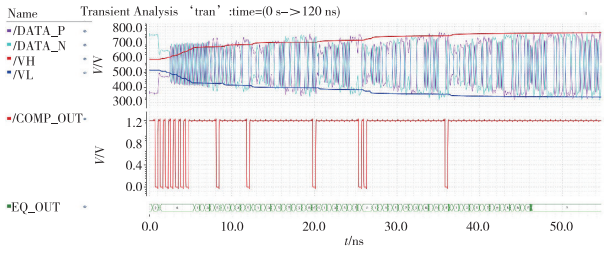


（b）均衡前眼图

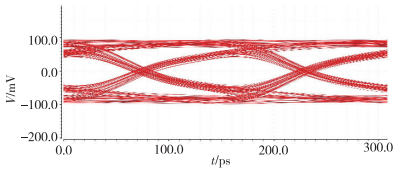


（c）均衡后眼图

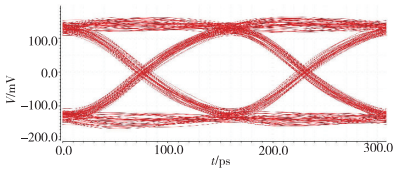
图 12　12.92 dB 信道衰减下自适应仿真结果



（a）自适应过程仿真



（b）均衡前眼图



（c）均衡后眼图

图 13　8.79 dB 信道衰减下自适应仿真结果

根据结果可知，当参考电压高于信号电压时，比较器输出维持高电平；当信号电压超过参考电压时，比较器随即翻转为低电平，此时数字控制逻辑记录下当前均衡参数并使计数器复位，参考电压提升。循环迭代此过程，直至参考电压提升至某一临

界值,此时即使遍历所有的均衡参数,信号电平也无法超越参考电压。自适应均衡过程随即停止,并将最后一次触发比较器翻转时所对应的均衡参数作为最优均衡参数。

由信号眼图结果可以看出,在12.92 dB衰减下,信号均衡前眼高为68 mV,均衡后眼高为182 mV。在8.79 dB损耗下,信号均衡前眼高为84 mV,均衡后眼高为218 mV。可以发现,在不同的信道损耗下,信号经过均衡补偿后眼高均达到了MIPI D-PHY v3.0协议所要求的80 mV。综合以上仿真结果,说明所提出的自适应架构能够有效克服信道对信号的衰减,提升信号质量,均衡后信号的眼图张开度充分,达到协议要求。

表1所示为所提出的自适应CTLE架构与其他研究的对比。可以看出,本文所提出的自适应均衡架构与文献[7]及文献[11]相比在自适应时间以及能效上都有一定的优势,与文献[13]相比虽能效不及,但自适应速度有着显著优势。

表1 自适应均衡器性能比较

性能	文献[7]	文献[11]	文献[13]	本文
工艺/nm	130	40	65	65
速率/Gbps	5.4	5~20	40	6.5
信道衰减/dB	4~18	0~18.5	0~20	0~13
自适应方式	幅值直方图	边沿检测	幅值检测	幅值检测
功耗/mW	35	25.2	40	19.7
自适应时间	18 ms	6 μs	690 ns	<100 ns
能效/(pJ/bit/dB)	0.36	0.32@5 Gbps	0.05	0.21

5 总结

本文基于MIPI D-PHY v3.0协议提出一种自适应CTLE,分析其架构原理以及电路实现。电路基于65 nm CMOS工艺设计,1.2 V电源供电,通过仿真验证其功能。仿真结果表明,该架构能对0~13 dB@3.25 GHz的信道损耗进行自适应补偿,信号眼图质量明显提升,改善了信号的完整性。所提架构具有电路结构简单、自适应速度快等优点,可应用于MIPI D-PHY高速数据接收端。

参考文献:

[1] 章雨一,刘马良,朱樟明. MIPI高速显示接口集成电路[J]. 微纳电子与智能制造,2020,2(2):96-104.
Zhang Yuyi, Liu Maliang, Zhu Zhangming. MIPI high speed display interface integrated circuit[J]. Micro/Nano Electronics and Intelligent Manufacturing, 2020, 2(2): 96-104.

[2] 孙宇贞. 高速电路的信号完整性分析[J]. 电子技术应用,2005,31(3):73-76.
Sun Yuzhen. Signal integrity analysis in high speed design[J]. Application of Electronic Technique, 2005, 31(3): 73-76.

[3] Alliance M. MIPI alliance specification for D-PHY Version 3.0[EB/OL]. 2021.

[4] Lee J. A 20-Gb/s adaptive equalizer in 0.13- $muhbox m $CMOS technology[J]. IEEE Journal of Solid-State Circuits, 2006, 41(9): 2058-2066.

[5] Nakhkoob B, Hella M M. A 4.7-Gb/s reconfigurable CMOS imaging optical receiver utilizing adaptive spectrum balancing equalizer[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2017, 64(1): 182-194.

[6] Shahramian S, Ting C, Sheikholeslami A, et al. A pattern-guided adaptive equalizer in 65nm CMOS[C]//2011 IEEE International Solid-State Circuits Conference, 2011: 354-356.

[7] Kim W S, Seong C K, Choi W Y. A 5.4-Gbit/s adaptive continuous-time linear equalizer using asynchronous undersampling histograms[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2012, 59(9): 553-557.

[8] Won H, Lee J Y, Yoon T, et al. A 28-Gb/s receiver with self-contained adaptive equalization and sampling point control using stochastic sigma-tracking eye-opening monitor[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2017, 64(3): 664-674.

[9] Agazzi O, Crivelli D, Hueda M, et al. A 90nm cmos dsp mlsd Transceiver with Integrated afe for Electronic Dispersion Compensation of Multi-mode Optical Fibers at 10Gb/s[C]//2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers, 2009: 232-609.

[10] Choi Y, Lee Y, Park H, et al. A 0.99-pJ/b 15-Gb/s counter-based adaptive equalizer using single comparator in 28-nm CMOS [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2021, 68(10): 3189-3193.

[11] Lin Y F, Huang C C, Lee J M, et al. A 5 - 20 Gb/s power scalable adaptive linear equalizer using edge counting[C]//2014 IEEE Asian Solid-State Circuits Conference (A-SSCC), 2014: 273-276.

[12] Lee D, Han J, Han G, et al. 10 Gbit/s 0.006 5 $mm^2$6 mW analogue adaptive equaliser utilising negative capacitance[J]. Electronics Letters, 2009, 45(17): 863-865.

[13] Cao W, Wang Z, Li D, et al. A 40 Gb/s adaptive equalizer with amplitude approaching technique in 65nm CMOS[C]//2015 IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC), 2015: 451-454.

作者简介:

桂雷攀(2001—),男,贵州省遵义市人,硕士研究生,主要研究方向为模拟集成电路设计;

常玉春(1973—),男,教授,博士生导师,研究方向包括CMOS图像传感器及图像信号处理电路等。