光电器件

DOI: 10.16818/j.issn1001－5868.20260303002

应用于图像传感器的无片外电容强瞬态低纹波稳压电荷泵设计

赵煜阳,李雪康,姜 茜,常玉春*

(大连理工大学 集成电路学院,辽宁 大连 116024)

摘 要: 针对CMOS图像传感器全局快门模式下,容性负载周期性接入/断开所引起的驱动电路输出电压下冲、恢复时间长及纹波较大等问题,提出一种无需片外电容的强瞬态响应、低纹波稳压电荷泵驱动电路。该电路采用主电源预充电、电荷泵快速补偿和线性稳压精确修正三级供电网络,实现对电容负载的快速响应与低波稳定输出。基于180 nm CMOS工艺进行工艺角仿真验证,在3.5 nF负载电容周期接入/断开的条件下,输出电压下冲低于265 mV,输出恢复时间(99%)小于48.9 ns,稳态纹波低于0.837 mV_{pp},负载端电压从0 V至3.8 V的建立(99%)时间小于77.04 ns。在驱动能力为驱动电路输出电容与负载电容之比的定义下,与现有研究相比,该设计在无需片外电容的前提下可将驱动能力提升约29倍,显著增强了瞬态响应能力并保持低纹波特性。

关键词: CMOS图像传感器; 全局快门; 电荷泵; 低压差线性稳压器; 瞬态响应

中图分类号: TP386.1 **文章编号:** 1001－5868(2026)04－0622－08

Capacitorless Regulated Charge Pump Featuring Low Ripple and Strong Transient Performance for Image Sensors

ZHAO Yuyang, LI Xuekang, JIANG Qian, CHANG Yuchun

(**School of Integrated Circuits, Dalian University of Technology, Dalian 116024, CHN**)

Abstract: The periodic connection/disconnection of large capacitive loads in the global-shutter mode of complementary metal-oxide semiconductor (CMOS) image sensors can induce output-voltage undershoots, long settling times, and excessive ripples in the driver supply. This study presents a capacitorless regulated charge-pump driver that achieves rapid transient response with low ripple. The proposed three-stage power-delivery network sequentially employs a main-supply precharge, rapid charge-pump compensation, and precise linear-regulator correction, thereby enabling rapid voltage ramp-up for large capacitive loads and a stable, low-ripple output. Implemented in a 180-nm CMOS process and validated via process-corner simulations, the driver achieves an undershoot below 265 mV and a 99% settling time of less than 48.9 ns under the periodic switching of a 3.5 nF load capacitor while maintaining a steady-state ripple below 0.837 mV_{pp}. The 99% settling time for a 0 V to 3.8 V transition at the load node is less than 77.04 ns. The driving capability—defined as the ratio of the driver's output capacitance to the load capacitance—is improved by ~29× compared with that of prior capacitorless designs while preserving low-ripple regulation.

Key words: CMOS image sensor; global shutter; charge pump; LDO; transient response

收稿日期:2026－03－03.

基金项目:国家自然科学基金项目(62304030).

* **通信作者:**常玉春

0　引言

近年来，5T像素作为一种常见的全局快门像素方案被广泛采用。然而，其像素内传输门（Transfer Gate，TG）的开启特性会显著影响像素的电荷转移效率与残影/拖尾水平，是制约5T像素性能提升的关键瓶颈。从器件物理角度看，光电二极管（Pinned Photodiode，PPD）与TG的重叠区会形成电荷转移势垒，阻碍光生电荷从PPD向浮动扩散节点（Floating Diffusion，FD）转移，从而造成PPD内残留电荷，表现为图像拖尾。而提高TG的栅极高电平可有效降低该势垒，增强传输沟道的电势牵引能力，从而实现更快速且更完全的电荷转移[1]。

在工程实践中，常采用电荷泵产生高于VDD的电源电压，以提升TG驱动电压。但传统电荷泵存在带载能力差、输出纹波大、恢复时间长等缺点。针对以上问题，文献[2]采用三维控制（电荷泵单元数、泵时钟频率、导通电阻）实现精细调节并采用8相交错并联结构实现纹波低于20 mV。但其在跳周期模式（Pulse Skip Modulation，PSM）和非PSM模式之间切换时纹波较大，且恢复时间长（500 μs～1 ms）。文献[3]将11级电荷泵分成低压（小于5 V）和高压（大于10 V）两部分，分别使用10 MHz和50 MHz时钟驱动，使效率维持在较高值，但其在同时驱动256个单光子雪崩光电二极管时恢复时间较长（960 ns）。文献[4]采用电荷泵与低压差线性稳压器（Low Dropout Linear Regulator，LDO）串联实现极低的纹波（小于3 mV）。但输出端需外接220 nF电容，这降低了系统响应速度与集成度，且其片内电荷泵尺寸较小，导致输出恢复时间较长（1.2 ms）。文献[5-6]采用电荷泵串联LDO的结构，并提出一种新型自适应电荷补偿结构，在负载切换时通过电荷注入电容中间节点来快速补偿输出电压的下冲，实现了低于0.95 mV与0.72 mV的纹波，但恢复时间仍然较长，分别为155 ns与93 ns。文献[7]改进了交叉耦合电荷泵（Cross Coupled Charge Pump，CCCP），减少了泄漏电流，并通过对电荷泵供电电压进行伪连续调制，无需LDO即可实现输出纹波低于0.59 mV、恢复时间小于66 ns。但其电荷泵中某些晶体管的栅漏或栅源电压高达2VDD，可能导致栅氧的老化和击穿。文献[8]在前文的基础上，提出使用辅助电荷泵临时提升主电荷泵驱动电压以增强瞬态响应，仿真得到恢复时间小于60 ns，纹波进一步降低至190 μV以下。但其使用200 pF输出电容驱动8 pF负载电容，驱动能力过小，难以应用于大负载电容场景。并且由于使用了辅助电荷泵提升主电荷泵驱动电压，产生额外的电路结构，与类似结构[5-6]相比功耗较大。

综上所述，现有研究未针对全局快门模式下的大容性负载进行专门优化。为此，本文提出一种无需片外电容、兼具强瞬态响应与低纹波特性的驱动电路。通过三级供电架构，显著降低对输出电容的需求，使所需电容可降至与负载电容同量级，从而实现片内集成。在1 280×1 024像素全局快门的应用场景下实现了输出纹波低于1 mV，恢复时间小于100 ns。

1　CIS中的电荷泵系统

1.1　电荷泵在CIS中的应用

1.1.1　CIS架构与5T像素工作原理

图1为自带电荷泵的CIS架构，图2为5T像素的晶体管级结构，其在4T像素的基础上增加了一个全局复位晶体管。

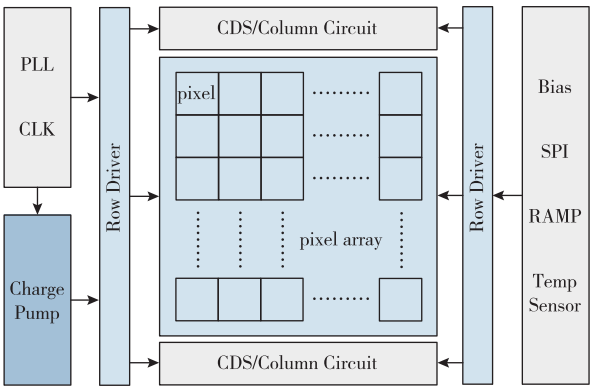


图1　自带电荷泵的CIS架构

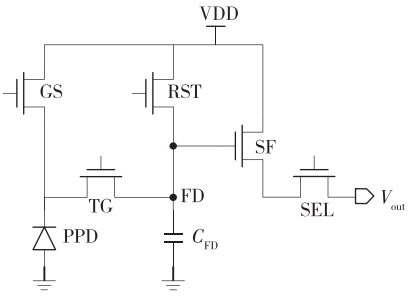


图2　5T像素结构

5T像素的工作过程为：首先，由复位管GS将PPD复位；随后像素开始曝光，PPD将入射光子转化为光生电子并完成电荷积累；曝光结束后TG导通，将光生电子转移到FD后关闭；接着GS再次导通，PPD二次复位，标志着下一帧的曝光开始。在

逐行读出阶段，行选管SEL导通，将曝光信号传输到列总线进行第一次采样，采样完成后复位管RST导通，将复位信号传输到列总线进行第二次采样，使用相关双采样分别将信号电平和复位电平进行差分运算，经过读出电路完成量化输出。在曝光后的电荷转移阶段，若电荷在TG导通期间没有完全转移到FD节点，会导致图像拖尾。为了解决此问题，在转移电荷期间使用电荷泵将TG的栅极电压抬升至高于VDD，可提高电荷转移速率。

1.1.2 负载分析

全局快门操作要求对像素阵列的传输门/复位门进行同步导通，这会使驱动电路的负载在短时间内上升到最大值，所以估算负载为本设计的第一步。由于所有传输门/复位门均会通过开关在LDO输出电压（V_{ldo}）和GND之间切换，且需考虑金属线和栅极寄生电容的影响，可以将上述所有寄生电容等效为单个电容，即负载电容C_{load}。C_{load}通过公式（1）计算得到：

$$C_{load}=\left(N\times C_{tg}+N\times C_{wire}\times L\right)\times 1.1 \quad (1)$$

式中，C_{load}为总负载电容，N（1 280×1 024）为接入网络的总像素个数，C_{tg}（0.5 fF）为单像素TG栅寄生电容，C_{wire}（0.15 fF/μm）为金属互联线单位电容，L（10 μm+3 μm）为单像素金属互连线长度，最后总体扩大1.1倍留出裕量，计算出总负载电容C_{load}约为3.5 nF。

当C_{load}接入驱动电路时，输出电容C_{ldo}与负载电容C_{load}发生电荷共享，拉起负载电压V_{load}并导致V_{ldo}下冲，随后电荷泵提供电荷，使V_{ldo}恢复稳态，这一过程如图3所示。

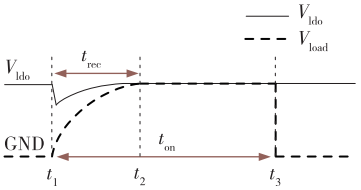
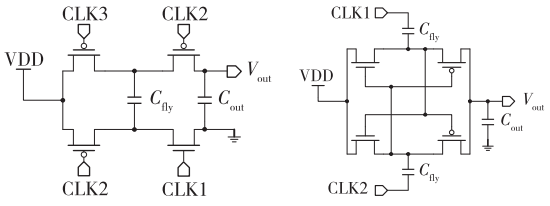


图3 接入负载后V_{ldo}和V_{load}变化趋势

图中t_{rec}为V_{ldo}恢复稳态的时间，t_{on}为TG晶体管开启时间。如果恢复时间过长，会导致t_{rec}大于t_{on}，即TG晶体管未完全开启，光生电荷转移不彻底，造成图像拖影[7]。为了避免这种情况，当一个周期内t_{on}为1 μs时，t_{rec}应小于100 ns。

1.2 传统电荷泵分析

传统电荷泵和交叉耦合电荷泵如图4所示。



（a）传统电荷泵 （b）交叉耦合电荷泵

图4 两种经典电荷泵拓扑

传统单飞跨电容电荷泵通常由四个MOS开关、一个飞跨电容C_{fly}以及输出储能电容C_{out}构成，并在两相非交叠时钟的驱动下完成电荷转移。该结构拓扑简单、控制容易且电容数量少，因而在面积受限或负载电流较小的场景中具有优势。然而，C_{fly}每个周期只有一半的时间向C_{out}泵送电荷，体现为输出纹波较大。交叉耦合电荷泵常由四个MOS开关、两个飞跨电容C_{fly}与一个输出储能电容C_{out}组成，并通过交叉耦合方式为开关器件提供更有利的自举驱动条件。具体而言，两只飞跨电容分别由互补的两相时钟驱动，使得任一时刻一支路处于充电状态、另一支路处于泵送状态，从而在每个半周期均可向输出端补充电荷，提高输出电荷供给的连续性并降低纹波。然而，交叉耦合的连接方式使上下两支路连接关系紧密，每次切换泵电容时都会造成电荷泄露，导致效率降低。

2 电荷泵系统

本文提出的电荷泵系统结构如图5所示。该系统采用电流饥饿型环形振荡器产生时钟，并转化为双频非交叠时钟提供给CCCP模块，CCCP将电源升压后提供给带瞬态增强的LDO进行降压与纹波控制，当全局快门事件到来时，由三级供电切换网络依次切换三条供电线路，在短时间内拉高C_{load}并恢复稳定。

2.1 CCCP分析

CCCP需产生高压为LDO供电，针对传统CCCP纹波较大且由电荷泄露导致效率降低的问题，本文提出一种改进型CCCP并联架构，大/小两路CCCP拓扑一致但器件参数不同，单路CCCP拓扑如图6所示。该电路包括时钟Buffer；两个泵电容C_1，C_2；四个主晶体管M_1，M_2，M_3，M_4；PMOS浮阱晶体管M_5，M_6，M_7，M_8；防泄露晶体管M_9，M_{10}与其辅助电路C_3，C_4，M_{11}，M_{12}。

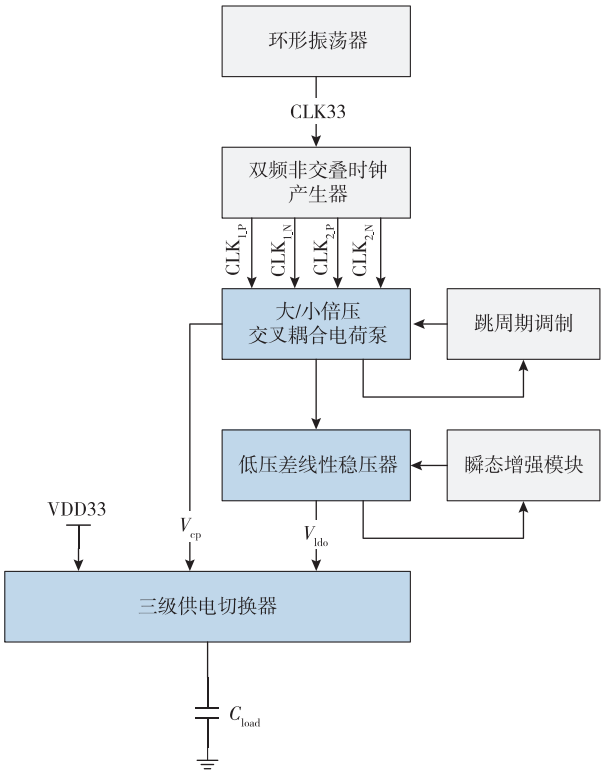


图 5　所提出的电荷泵系统

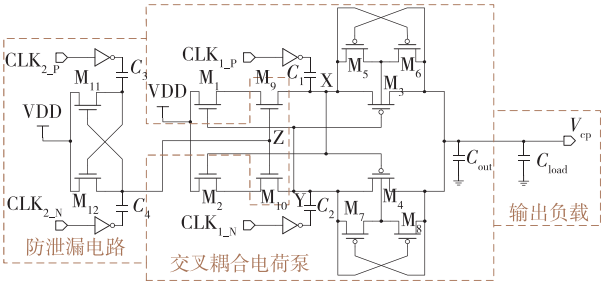


图 6　CCCP 拓扑

上述电路由双频非交叠时钟驱动，其时序仿真如图 7 所示。t_1时刻 CLK_{2_N}拉高，使 Z 点电位降低，M_9，M_{10}关闭，可在 CLK_{1_P}与 CLK_{1_N}同为低（X 和 Y 同为高）时阻断 C_1/C_2的放电通路。t_2时刻 CLK_{2_P}拉低，M_{12}导通，Z 点通过 VDD 补充电荷，稳固电压；同时 CLK_{1_P}拉低，使 X 点电位上升，M_2导通，M_4关闭。t_3时刻 CLK_{2_P}拉高，M_{12}关闭，停止为 Z 点补充电荷；同时 CLK_{1_N}拉高，使 Y 点电位下降，M_3导通，M_1关闭，此时 X 点开始向 V_{cp}补充电荷。t_4时刻 CLK_{2_N}拉低，使 Z 点电位升高，M_9，M_{10}导通，由于之前 M_2导通 M_1关闭，此时 Y 点通过 VDD 补充电荷。

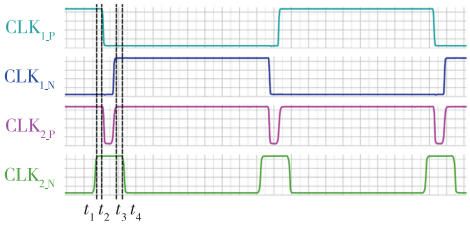


图 7　双频非交叠时钟时序

综上所述，CLK_{1_P}与 CLK_{1_N}没有双高电平时刻，即 M_3和 M_4不会同时导通，从而阻止 V_{cp}电荷逆流回 X 点或 Y 点。而双低电平时刻通过 CLK_{2_P}与 CLK_{2_N}控制的 M_9和 M_{10}保持导通，从而防止 M_1和 M_2同时导通，避免 X 点或 Y 点电荷逆流回 VDD。本文所提出的改进型 CCCP 减少了交叉耦合电荷泵由于 X 点和 Y 点同时为高导致的电荷泄露，提升了能量转换效率。

2.2　LDO 分析

图像传感器的驱动电路既要满足全局快门的强瞬态需求，又要降低耦合至读出链路的噪声，因此要求 LDO 有较强的瞬态响应与纹波控制能力。

本文采用的 LDO 拓扑如图 8（a）所示，采用带有超级源随器（Super Source Follower，SSF）的 PMOS 作为功率管（P_{pass}）的无片外电容设计。误差放大器在稳态时调节 P_{pass}，频率补偿采用密勒补偿 C_1与 M_{12}和 C_2的动态零点跟踪网络[9]，M_{16}和 M_{17}通过镜像 P_{pass}的电流，在大负载情况下提升 SSF 偏置电流。

本文提出的瞬态增强电路如图 8（b）所示，通过将 V_{ldo}的波动耦合到瞬态增强模块，下冲/过冲时直接针对 P_{pass}栅压和 V_{ldo}进行负反馈调节，减小下冲/过冲。其中，使用同相比例运放 I_7提供 1/2 VDD 电压，通过 MOS 电阻对 V_a，V_b和 V_c节点提供静态工作点，反相比例运放 I_6将 V_{ldo}的瞬时波动放大，其放大倍数计算方法如式（2）所示。

$$A=-\frac{C_3}{C_4} \tag{2}$$

通过 C_5，C_6将波动耦合到电平 1/2 VDD 上，作为反相器 I_1和 I_2的输入。反相器 I_1，I_2和 I_3，I_4的翻转电压如式（3）～（5）所示。

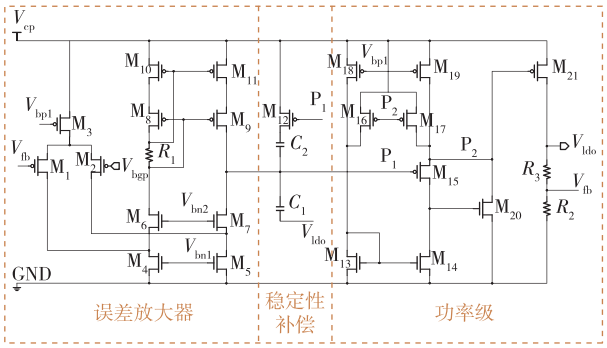
$$V_{TRIP_1}=\frac{1}{2}\mathrm{VDD}+150\ \mathrm{mV} \tag{3}$$

$$V_{TRIP_2}=\frac{1}{2}\mathrm{VDD}-150\ \mathrm{mV} \tag{4}$$

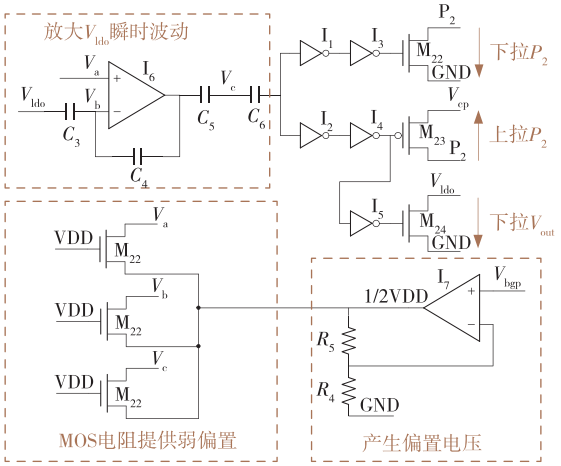
$$V_{TRIP}=\frac{1}{2}\mathrm{VDD} \tag{5}$$

当 V_{ldo}接入负载时，V_{ldo}下冲，其波动经 I_6放大使 V_c上升，I_1翻转，M_{22}导通，使 P_2电位迅速降低，P_{pass}快速导通，减少下冲。当负载消失时，V_{ldo}过冲，其波动经 I_6放大使 V_c下降，I_2翻转，M_{23}导通，使 P_2电

位迅速升高，同时M_{24}导通，泄放V_{out}额外电荷，减少过冲。



（a）LDO拓扑



（b）瞬态增强电路

图8 LDO拓扑

2.3 三级供电切换器分析

针对CMOS图像传感器全局快门模式下负载突变问题，本文提出一种三级供电方案，电路拓扑如图9所示，时序如图10所示。

t_1时刻：第一阶段，使能信号E拉高，电路开启，此时V_{load}为0 V，A为高电平，D锁存器将Q拉高，E和Q经与非门拉低V_{g1}，使M_1导通，V_{load}通过VDD充电。当I_6检测V_{load}电压满足式(6)时(bandgap电压V_{bgp}=1.2 V)，拉低A，D锁存器将Q拉低，V_{g1}拉高使M_1关断。同时，I_7检测到V_{load}电压满足公式(7)，B为高电平。

$$V_{load}\times\frac{R_4}{R_3+R_4}>2V_{bgp} \tag{6}$$

$$V_{load}\times\frac{R_6}{R_5+R_6}<2V_{bgp} \tag{7}$$

t_2时刻：第二阶段，E，$\bar{A}$，V_{g1}和B经四输入与非门拉低V_{g2}，使M_2导通，V_{load}通过V_{cp}充电。当I_7检测到V_{load}电压满足公式(8)时，拉低B，V_{g2}拉高使M_2关断。

$$V_{load}\times\frac{R_6}{R_5+R_6}>2V_{bgp} \tag{8}$$

t_3时刻：第三阶段，E，$\bar{B}$和V_{g2}经三输入与非门拉低V_{g3}，使M_3导通，V_{load}通过V_{ldo}充电。

t_4时刻：进入稳压状态，等待使能信号E拉低，复位此模块。

综上所述，本模块首先利用PMOS从VDD对负载充电，可减少抵抗瞬态跌落所需的电容；随后使用CCCP输出将负载电压再次拉升，减少对LDO峰值电流的需求；最后由LDO输出对残压进行修正，降低稳态纹波。

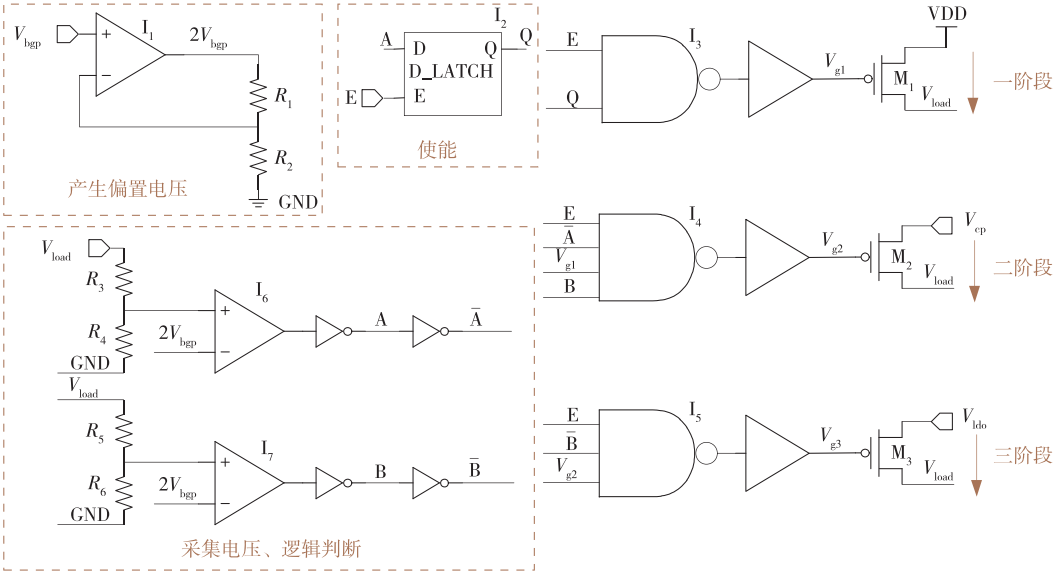


图9 三级供电切换器拓扑

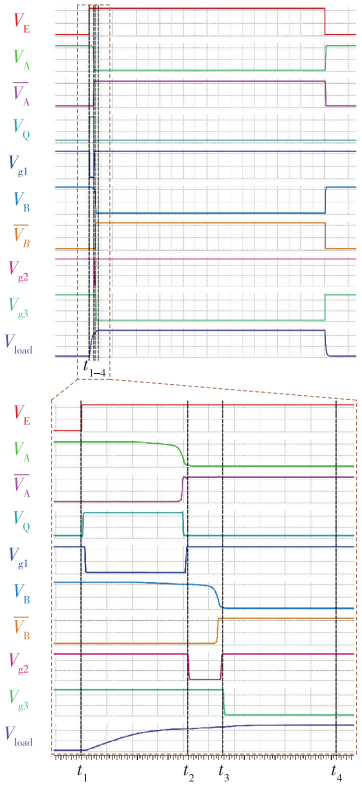


图 10　三级供电切换器时序

3　仿真结果与分析

该驱动电路采用 180 nm CMOS 工艺设计，VDD 为 3.3 V，面积约为 0.683 mm^2，主时钟频率和辅时钟频率分别为 25 MHz 和 50 MHz，电荷泵输出电压 V_{cp} 为 4 V，LDO 输出电压 V_{ldo} 为 3.8 V，大/小电荷泵飞跨电容 C_{fly} 分别为 800 pF 和 5 pF。

仿真所采用的图像传感器参数如下：像素阵列规模为 1 280×1 024，像素尺寸为 10 μm，成像帧数为 100 Hz，对应全局快门周期为 10 ms，行读出周期约为 10 μs。考虑到直接对 10 ms 全局快门周期进行瞬态仿真耗时较长，本文在保证驱动电路性能表征有效性的前提下，将全局快门周期等效缩短为 100 μs，其余参数保持不变。

3.1　LDO 仿真分析

为模拟图像传感器的负载切换场景，分别仿真两种工况：1）负载电流 0 mA、无负载电容；2）负载电流 50 mA、负载电容 3.5 nF。

LDO 环路稳定性如图 11 所示，负载电流为 0 mA 时相位裕度为 56°，负载电流为 50 mA 时相位裕度为 110°，可见 LDO 在全负载范围内具有良好的稳定性。LDO 电源抑制比如图 12 所示，分别为 −46.8 dB@1 kHz，−27.1 dB@10 kHz 和 −48.2 dB@25 MHz。

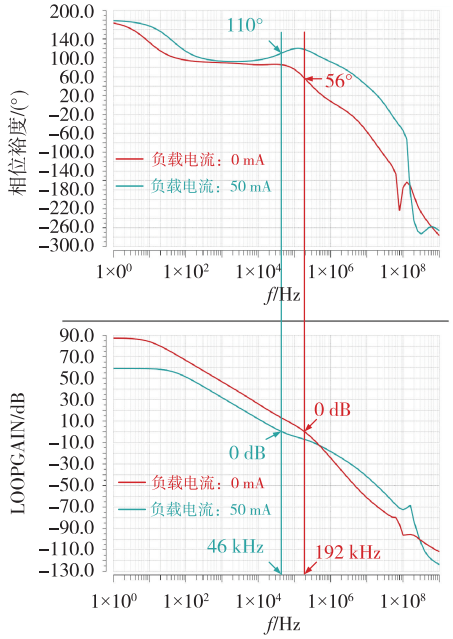


图 11　LDO 稳定性波特图

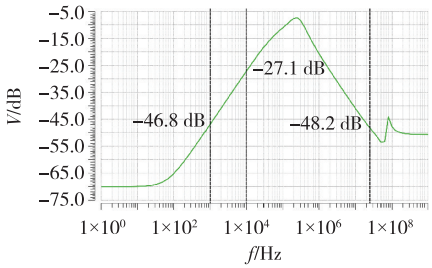


图 12　LDO 电源抑制比

3.2　整体电路瞬态仿真分析

本设计在不同工艺角下的稳态纹波与驱动全局快门的瞬态仿真如图 13 所示。在 TT 工艺角下，纹波为 0.837 mV$_{pp}$，V_{ldo} 恢复时间（99%）为 41.1 ns，负载电压 V_{load} 从 0 V 提升到 3.8 V 的建立时间（99%）为 66.29 ns。在不同工艺角下 V_{cp} 差异较小，V_{ldo} 恢复时间与 V_{load} 建立时间均满足全局快门驱动电路要求。

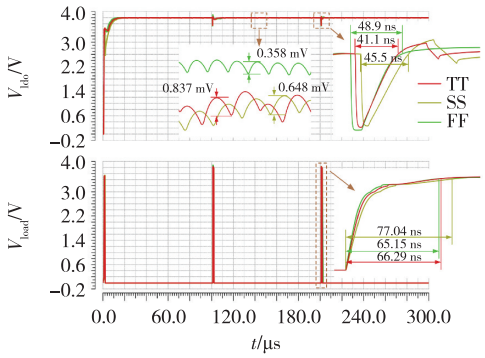


图 13　工艺角瞬态模拟

3.3 本设计适用范围

在此基础上，为进一步验证本设计的极限驱动能力，分别从帧率提升能力和大负载驱动能力两个方面开展仿真分析。

（1）保持像素阵列规模不变，通过提高帧率以考察电路的动态恢复能力。由于行读出周期约为全局快门周期的千分之一，系统最高帧率主要受限于行读出完成后驱动电路的最短恢复时间。仿真结果如图14所示，当帧率低于325 Hz，对应行读出周期大于3.08 μs时，V_{ldo}能够保持稳定输出；当帧率高于325 Hz时，由于LDO带宽有限，V_{ldo}出现明显波动，无法维持稳定，从而限制了驱动电路在更高帧率下工作。

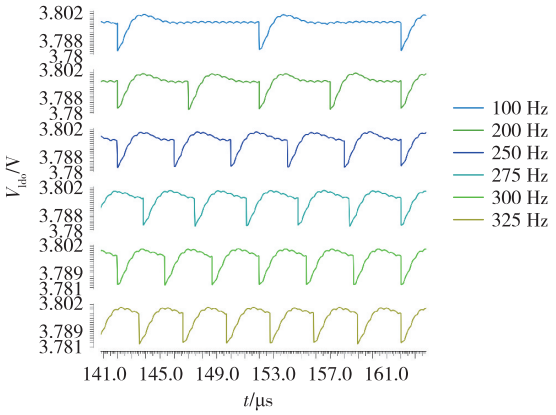


图14 不同帧率下的V_{ldo}瞬态模拟

（2）保持帧率不变，通过增加像素阵列规模对驱动电路的最大驱动能力进行评估。随着像素数量增加，等效负载电容C_{load}持续增大，输出节点充电时间相应延长。仿真结果如图15所示，当C_{load}大于5.25 nF，对应像素阵列规模大于1 600×1 200时，V_{load}从0 V提升到3.8 V的建立时间（99%）将超过100 ns，电路性能开始下降。

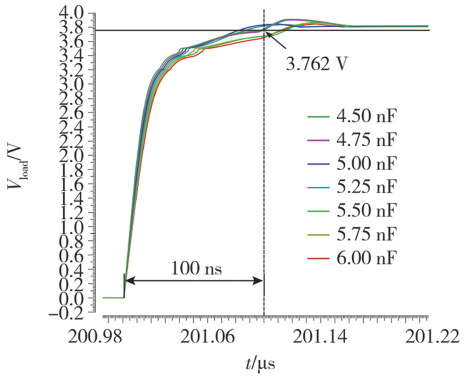


图15 不同负载下的V_{load}建立时间

3.4 性能对比

表1给出了本文与现有最先进方案的性能对比。与前述工作相比，所提电路的驱动能力显著提升，其驱动能力的计算方法如式（9）所示，即：

$$D = C_{load}/C_{out} \tag{9}$$

由于片内电容的大小是影响芯片面积和电压跌落主要因素，本文在二者之间进行了折中设计。同时，为驱动大尺寸电荷泵与三级供电切换器，引入多级buffer，使总体功耗偏高。

表1 性能对比

参考文献	2021[5]	2022[6]	2024[7]	2025[8]	本文
Process/μm	0.11	0.11	0.11	0.13	0.18
V_{in}/V	3.3	3.3	2.8	1.8	3.3
V_{out}/V	4	3.3~4	3.6	4.5	3.8
f/MHz	25	25	48	20	25
C_{out}/pF	300	325	200	200	3 000
C_{load}/pF	8	8	8	8	3 500
D	0.027	0.025	0.04	0.04	1.167
V_R/mV	0.95	0.634	0.59	0.189	0.837
Drop/mV	114	111.5	127	150	265
V_{reco}/ns	155	93	66	59	48.9
V_{load_set}/ns	/	/	/	/	77.04
尺寸/mm^2	0.073	0.078	0.036	0.136	0.683
功率/mW	1.476	1.563	1.121	1.795	3.227

4 总结

本文提出一种基于三级供电网络的驱动电路，用于提升图像传感器全局快门模式下瞬态驱动性能。创新点在于引入“主电源预充电—电荷泵粗调—LDO细调”的三级供电网络，在无需片外电容的条件下显著提高了电路的驱动能力和瞬态响应速度。仿真结果表明，在3.5 nF负载电容切换时，输出电压下冲低于265 mV，恢复时间（99%）小于48.9 ns，稳态纹波低于0.837 mV$_{pp}$，负载端电压从0 V到3.8 V建立时间（99%）小于77.04 ns。与现有技术相比，本设计在驱动能力和瞬态响应方面具有显著优势。未来可进一步减小面积并降低功耗，提升芯片集成度与系统整体性能。

参考文献：

[1] Han L, Yao S, Theuwissen A J P. A charge transfer model for CMOS image sensors [J]. IEEE Transactions on Electron Devices, 2016, 63(1): 32-41.

[2] Wong O Y, Chen P H. Fully integrated voltage doubler with dual-mode three-dimensional load regulation for on-chip photovoltaic-powered applications [J]. IEEE Transactions on

Power Electronics, 2019, 34(2): 1481-1491.

[3] Shen B, Bose S, Johnston M L. A 1.2 V - 20 V closed-loop charge pump for high dynamic range photodetector array biasing[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66(3): 327-331.

[4] Khanna D, Boon C C, Choi P, et al. A low-noise, positive-input, negative-output voltage generator for low-to-moderate driving capacity applications[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 66(9): 3423-3436.

[5] Gao J, Gu T, Nie K, et al. A low-ripple charge pump with novel compensator for transient-response improvement in CMOS image sensors[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2021, 68(4): 1113-1117.

[6] Gao J, Li R, Nie K, et al. A linear charge pump with novel adaptive charge compensation structure for transient-response improvement in CMOS image sensors[J]. Microelectronics Journal, 2022, 122: 105391.

[7] Gao J, Zhao J, Nie K, et al. A low ripple and fast transient response charge pump in CMOS image sensors[J]. IEEE Sensors Journal, 2024, 24(6): 8142-8149.

[8] Zhao Q, Yang X, Niu Z, et al. A charge pump with low ripple and fast transient response for CMOS image sensor applications[J]. Microelectronics Journal, 2025, 166: 106898.

[9] Lu Y, Yao R H, Huang D Q, et al. A low-dropout regulator with power supply rejection improvement by bandwidth-zero tracking[C]//2014 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), 2015: 105-108.

作者简介：

赵煜阳(2000—)，男，辽宁省鞍山市人，硕士研究生，主要研究方向为驱动电路设计；

常玉春(1973—)，男，博士，教授，主要研究方向为CMOS图像传感器、单光子面阵探测器、模拟/数模混合集成电路设计、专用集成电路设计、信号处理电路及技术、嵌入式与FPGA系统开发等。