光电技术及应用

DOI：10.16818/j.issn1001－5868.20260407002

一种基于SiP技术的干涉式光纤陀螺仪信号处理电路集成化方案

仇海涛[1]，王天宇[1]，王甲强[1*]，石海洋[2]，贺　洋[2]

（1. 北京信息科技大学 高动态飞行器自主导航与控制北京市重点实验室，北京 100101；
2. 北京航天时代光电科技有限公司，北京 100094）

摘　要： 针对干涉式光纤陀螺仪信号处理电路传统分立器件方案体积大、集成度低、难以满足小型化需求的问题，文章提出一种基于SiP系统级封装的集成化方案。将信号处理电路中的ADC，FPGA，DAC及Flash等核心器件与外围电路集成为单颗专用芯片，实现信号采集、处理与反馈一体化。将该芯片应用于环长为1 000 m，环径为70 mm的光纤陀螺系统开展测试，在－30℃～60℃全温范围内，系统零偏稳定性优于0.208 12 °/h（10 s平滑），角度随机游走系数为8.924×10^{-4} °/$\sqrt{\text{h}}$，性能满足工程应用需求。该方案为光纤陀螺电路小型化与集成化提供了可行的技术路径与工程参考。

关键词： 光纤陀螺仪；信号处理电路；集成化；SiP系统级封装

中图分类号： TN965　**文章编号：** 1001－5868(2026)04－0733－09

Integrated Solution for Signal Processing Circuit of Interferometric Fiber-Optic Gyroscope Based on SiP Technology

QIU Haitao[1], WANG Tianyu[1], WANG Jiaqiang[1], SHI Haiyang[2], HE Yang[2]

(1. Beijing Key Laboratory of Autonomous Navigation and Control for High-Dynamic Flight Vehicles, Beijing Information Science and Technology University, Beijing 100010, CHN; 2. Beijing Aerospace Times Optical-electronic Technology Co., Ltd., Beijing 100094, CHN)

Abstract: Existing FOG hardware is typically limited by some issues such as the large volume of the devices, low integration, and difficulty in meeting miniaturization requirements associated with traditional discrete-component signal processing circuits for interferometric FOGs. In this study, an integrated solution based on a system in a package (SiP) is proposed to solve these problems. The core components are integrated into a single dedicated chip along with their peripheral circuits to perform signal acquisition, processing, and feedback. These include an analog-to-digital converter (ADC), a field-programmable gate array (FPGA), a digital-to-analog converter (DAC), and flash memory. This chip was applied to a FOG system based on a coil of optical fiber with a diameter of 70 mm and a total length of 1 000 m. The results show that the bias stability was better than 0.208 12 °/h (with 10 s smoothing) over the full temperature range from －30℃ to 60℃, and the angular random walk coefficient was 8.924×10^{-4} °/$\sqrt{\text{h}}$. Thus, the performance of the proposed system meets the requirements of practical engineering applications. This solution provides a feasible technical path for the miniaturization and integration of FOG circuits and serves as an engineering reference for the development of these systems.

Key words: fiber-optic gyroscope; signal processing circuit; integration; system in a package

收稿日期：2026－04－07.

基金项目：国家自然科学基金项目(62471048)；北京市自然科学基金项目(4262005).

*通信作者：王甲强

0 引言

光纤陀螺仪作为一种基于Sagnac效应的高精度角速度传感器，具有启动快、寿命长、可靠性高等优点，已广泛应用于惯性导航、航空航天、武器制导及智能装备等领域。随着相关应用领域向小型化、轻量化的方向发展，光纤陀螺仪的集成化逐渐成为关键研究方向[1]。2011年，美国Gener8公司与英国集成光子中心合作，完成了由光源、耦合器、相位调制器和探测器等共24个分立芯片构成的集成化封装[2]。2014年，英国Bookham公司成功研制出硅基集成光学芯片，将光源、耦合器、相位调制器及探测器等关键器件集成于单片硅基底之上[3]。2017年，美国加州大学在尺寸仅为0.5 mm×9 mm的基板上集成了1个光源、3个光电二极管、2个相位调制器以及2个3 dB耦合器，初步验证了关键光学器件在硅基平台上的高密度集成能力[4]。2019年，美国KVH公司研制了一款基于集成了2个3 dB耦合器和1个起偏器的光学芯片的光纤陀螺，实现了对陀螺中3个分立光学器件的有效替代[5]。2022年，北京自动化控制设备研究所提出一种基于集成光学芯片、专用集成电路和小直径传感线圈的新型干涉式光纤陀螺方案，实现了光源、探测器及Y波导的一体化集成[6]。

可以看出，当前国内外针对光纤陀螺的集成化研究主要集中于光路部分，而针对电路部分的集成化研究相对较少[7]。为此，本文提出一种电路集成化方案。围绕干涉式光纤陀螺仪数字信号处理电路，开展SiP系统级封装集成设计与工程实现，从而构建“电路设计-原理验证-封装参数指导-封装实现-系统测试”的完整研究闭环，为光纤陀螺电路集成化提供研究思路和工程实用方案。

1 光纤陀螺系统结构

如图1所示，光纤陀螺仪总体上可分为光路部分与电路部分两大组成单元[8]。光路部分主要包括宽光谱掺铒光纤光源、Y波导集成光学器件、保偏光纤环、单模光纤耦合器、光电探测器以及滤波器等部件，共同完成光信号的产生、传输、干涉及探测过程。电路部分主要由模拟电路与数字电路构成。其中，模拟电路主要承担光源驱动、管芯温度控制以及光功率控制等功能，在图中简化表示为光源控制模块；数字电路则主要由ADC前端调理电路、ADC转换电路、FPGA运算处理电路、DAC转换电路、DAC后端调理电路组成，负责完成陀螺微弱信号的解调、数字信号处理以及调制与反馈信号的生成[9-10]。具体而言，前置调理电路接收到光电探测器转换后的信号，并对其进行滤波、放大、转换成差分信号后送入到ADC转换电路。ADC转换电路完成模数转换，并将其送入到FPGA数字逻辑电路。在FPGA数字逻辑电路中完成运算，主要负责调制解调算法及其他相关算法的实现及运算。DAC转换电路完成将FPGA运算得到的二进制数值再转化成模拟量，经过后置调理电路后，再施加到Y波导电极，形成完整的反馈链路[11]。

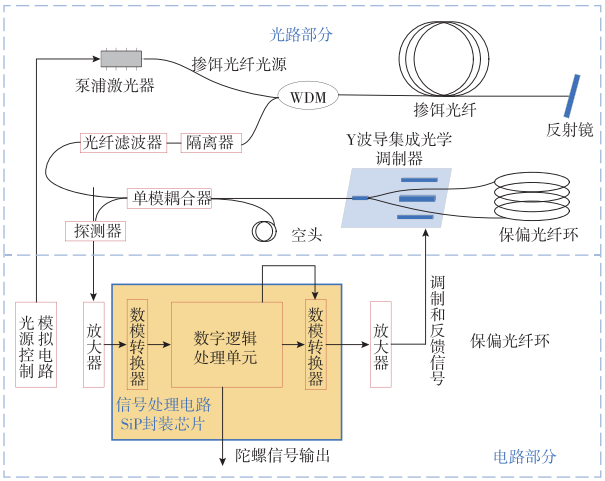


图1 光纤陀螺系统结构示意图

鉴于当前光纤陀螺信号处理电路现实方案[12]，本文提出针对其中关键功能模块实施SiP系统级封装的集成化方案，封装器件具体包括A/D转换器、FPGA数字逻辑处理单元、D/A转换器以及Flash等外围支撑电路。封装模块如图1中黄色框选部分所示，封装完成后，此模块三颗分立器件及外围支撑电路将为一颗光纤陀螺专用功能芯片，从而实现压缩光纤陀螺电路体积的目的。

2 集成电路方案设计

针对光纤陀螺信号处理电路进行SiP集成化设计，本文提出一条可行的工程路径，包括“电路原理设计—板级原理功能性验证—关键参数设计—封装工程实现—陀螺系统性能验证”，形成一条完整的研究闭环链路，为后续研究及工程实现提供研究思路模板。

2.1　电路原理

如图 2 所示为本文设计的集成芯片电气连接功能框图，此集成芯片包含一颗 A/D 转换芯片的裸 DIE，一颗 FPGA 芯片的裸 DIE，一颗 D/A 转换芯片的裸 DIE，一颗 Flash 的裸 DIE 以及若干电阻、电容等无源器件。在电路原理设计过程中重点关注器件的选型及相关原理方案的设计，特在此详细介绍该部分内容。

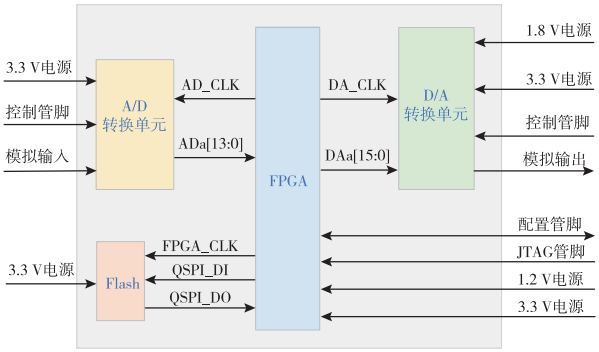


图 2　光纤陀螺信号处理电路 SiP 芯片电气互连示意图

所设计光纤陀螺的光纤环长为 1 000 m，对应渡越时间为 4.87 μs，因而调制频率约为 102 kHz。考虑到本设计采用四状态调制方式，且每个采样状态内至少需要完成 1 点采样，因此 ADC 的采样频率应大于 816 kHz。又由于光纤陀螺有效信号幅值通常为毫伏量级，输入信号的微小波动便可能引起较明显的采集误差。因此，工程实现中通常采用多点采样并取平均值的方法，以抑制输入波动所带来的随机干扰[13]。ADC 的采样位数直接决定其量化分辨率。为了保证系统测量精度，量化电压 V_{LSB} 应小于模拟输入信号的等效噪声电压 V_{n}。若从全量程动态范围角度考虑，闭环控制电路至少需要 29 位寄存器用于累加值存储。然而，在闭环检测条件下，陀螺仪通常工作于偏置点附近，ADC 实际承担的是误差信号的转换任务，因此并不需要采用 29 位 ADC 以单纯减小最低有效位 LSB 所引入的死区效应。根据微弱信号处理理论，当量化步长小于前置放大器噪声的 1σ 值时，便能够满足模拟信号量化要求，并可通过后续数字积分获得与模拟滤波近似的噪声抑制效果。若前置放大器噪声标准偏差为 1 mV，对于输入范围为 5 V 的 ADC，其量化位数不低于 13 位即可满足系统要求。

综合采样精度、速率、功耗及供电条件等因素，最终选用一款国产 14 位、3.3 V 供电的低功耗模数转换器，其在 80 MSPS 采样速率下具有 72.83 dB 的信噪比和 85 dB 的无杂散动态范围，能够满足本系统对高速、高精度模数转换的性能需求。

DAC 是光纤陀螺电路中实现数字信号到模拟信号转换的关键器件，其输出的模拟量经后级驱动后施加于相位调制器 Y 波导，用于实现相位调制。由于 DAC 的输出质量将直接影响闭环反馈信号的准确性和系统调制性能，其选型通常需要综合考虑建立时间、转换速率、分辨率、非线性误差以及抗干扰能力等指标。其中，建立时间是影响光纤陀螺闭环调制性能的重要参数，其最基本要求是小于光波在光纤环中的渡越时间 τ。DAC 建立时间过长会导致输出阶梯波边沿展宽，从而使复位脉冲产生展宽效应，进而影响相位调制精度。特别是当阶梯波复位电压 U_{pp} 较高时，复位过程对后续相位台阶的干扰更为显著，因此必须选用具有较高带宽和较大压摆率的后级运放，以保证 2π 电压复位能够在 τ 时间内完成。随着光纤长度缩短，光波渡越时间 τ 将进一步减小，这也对 DAC 的动态响应速度提出了更高要求。

在 DAC 分辨率设计方面，若设其量化位数为 N_{DA}，则对应的最小量化相位步长可表示为 $\varphi_{\mathrm{LSB}}=2\pi/2^{N_{\mathrm{DA}}}$。从理论上看，若直接依据光纤陀螺的动态范围与分辨率指标进行静态匹配，则所需 DAC 位数可能较高。例如，对于动态范围为 ±500 °/s、分辨率为 0.1 °/h 的光纤陀螺系统，按照理想条件估算，DAC 位数甚至可能达到 26 bit。然而，在实际闭环反馈控制过程中，DAC 并不需要完全依赖单个 LSB 对应的瞬时反馈量来实现高分辨率调制。如图 3 所示，若单周期所需反馈相位 φ_{S} 小于 φ_{LSB}，可将其视为 $\varphi_{\mathrm{S}}=\varphi_{\mathrm{LSB}}/n$，虽然在单个 τ 周期内不足以形成完整的量化步进，但经过多个 τ 周期累加后，仍可等效产生一个 LSB 的反馈作用。

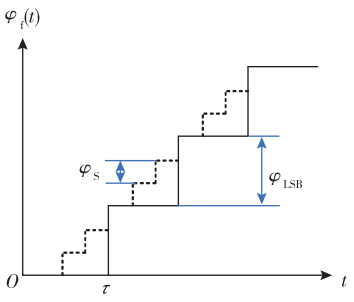


图 3　φ_{S} 小于 φ_{LSB} 时反馈阶梯波

上述特性表明，反馈阶梯波具有时间累加效应，即使在某一解调周期内反馈阶梯未达到一个

LSB的高度，经过多个周期的累积后仍可形成有效反馈，因此不会因瞬时量化不足而直接造成系统误差。基于这一特点，光纤陀螺闭环控制对DAC分辨率的实际要求可显著低于理论静态计算结果。综合工程应用经验，主回路DAC的分辨率通常取12～16 bit即可满足系统设计需求。基于上述分析，最终选用一款16位双通道DAC，采用3.3 V供电，采样速率可达250 MSPS。

光纤陀螺仪中的数字逻辑电路主要承担信号采集与处理、调制与解调、数据传输以及最终输出控制等任务，对系统实时性和时序确定性具有较高要求，因此其核心处理器通常采用FPGA实现。结合光纤陀螺数字闭环控制系统的功能需求，FPGA需完成系统启动流程控制与初始化、温度信号采样、陀螺信号数据采样、角度矢量计算、温度补偿以及数字结果输出等多项功能。基于上述需求，本文选择的FPGA具有160万门等效逻辑门，其系统工作频率为300 MHz，输入输出速率为840 Mb/s，支持多种I/O接口标准；内置时钟管理器，拥有8个数字时钟输入网络，精确的时钟去偏移，能灵活的合成频率，具有高分辨率相位偏移。本文设计了以FPGA为核心的数字逻辑控制电路，其外围还包括JTAG下载调试接口、配置存储器接口、电源电路、时钟电路及复位电路等。

另外，由于FPGA采用基于静态随机存储器SRAM的配置单元架构，其内部可编程逻辑资源、布线资源、I/O端口配置以及寄存器参数等核心硬件逻辑映射关系，均存储在这些SRAM单元中。但是在SRAM掉电后片内配置数据会完全丢失，器件上电后处于无配置的空白状态，无法直接实现预设硬件逻辑功能，因此必须搭配非易失性程序存储器完成配置数据的永久存储与上电加载。而Flash存储器凭借非易失性、存储密度高、接口适配性强、成本可控等特点，成为FPGA外接程序存储器的主流选型。因此，本设计还需要一颗外接Flash的裸DIE，其采用3.3 V供电，支持标准、双线、四线SPI，最少100 000次擦写循环。

综上分析，本文设计封装芯片将包含一颗14位ADC，一颗FPGA，一颗16位DAC，一颗Flash，均基于裸DIE进行封装，DIE与基板微带线的连接采用键合线，封装芯片对外电气连接形式采用BGA焊锡球形式。

2.2 关键参数设计

通过对比各种封装互连形式，因键合线结构简单、性能稳定、工艺成熟等特点，本文最终选择技术路线是采用键合线连接形式的SiP系统级封装。键合线示意图如图4所示。

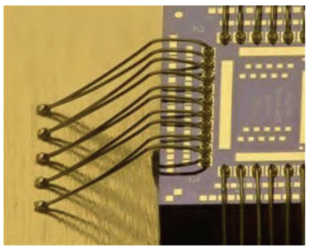


图4 键合线示意图

在工程设计和实现过程中，裸芯焊盘、键合线与封装基板微带线构成的复合互连结构相较PCB板级常规器件封装外部走线连接结构，其信号传输路径及其寄生参数均发生变化。对于光纤陀螺信号处理电路封装设计而言，若缺乏对关键互连参数的分析与约束，将会增加后续封装设计参数选择的盲目性与工程实现风险。

因此，针对SiP封装中的关键互连结构键合线与基板微带线开展电磁仿真研究。在Ansys HFSS软件中构建精细化模型，分析键合线直径、跨距、弧高及基板微带线宽度等关键参数对信号完整性的影响规律，并结合L9(3^4)正交试验与多目标优化方法，对关键参数组合进行综合分析，以获得适用于本研究SiP封装方案的推荐参数组合，为后续封装结构设计、基板实现与系统应用提供数据支撑和理论依据[14]。该部分研究为采用键合线互连形式的系统级封装提供了一条参数优化路径，后续研究可在此基础上进行工作，避免了相关参数设计的盲目性。

通过对该封装系统在0.1～3 GHz宽频域范围内键合线散射参数(S参数)演变特征的刻画，得出在3 GHz频域内该系统S_{11}仍优于－20 dB技术规范，S_{21}衰减量维持在－0.097 dB以内。这表明键合线互连结构在宽频带范围内保持了优良的信号完整性，键合线可以满足光纤陀螺仪信号处理电路集成过程中涉及的跨芯片高速信号的相位一致性要求，为本研究提供了关键依据。

仿真得出的键合线性能随具体参数变化的规律可以总结如下：

(1)键合线直径与信号传输效率呈正相关关

系。回波损耗S_{11}随键合线直径增大而减小，插入损耗S_{21}随键合线直径增大而增大，即随着导体直径的增加，传输损耗减小，高频段信号完整性得到改善。

（2）键合线跨距与信号传输质量呈负相关关系。回波损耗S_{11}随键合线跨距扩展逐渐恶化，插入损耗S_{21}随键合线跨距扩展呈现非线性衰减，即表明键合线跨距越大，信号传输质量逐渐变差。

（3）键合线弧高与信号传输质量呈负相关关系。随着弧高增加，回波损耗S_{11}呈现明显递增趋势，插入损耗S_{21}呈现递减趋势，这些数据表明键合线弧高的增加会导致信号完整性恶化，并且要注意弧高超过0.25 mm会引起剧烈的信号传输损失，所以后续优化和工程实现需要特别注意弧高。

（4）基板微带线宽度与信号传输质量呈现正相关关系。随着微带线宽度的增加，回波损耗S_{11}呈现明显递增趋势，插入损耗S_{21}呈现递减趋势。并且值得注意的是，S_{21}在微带线宽度低于0.075 mm时衰减剧烈，微带线的传输效率大幅下滑，因此在实际工程中要考虑微带线宽度大于0.075 mm。

在此研究基础上，提取系统主频300 MHz频点处散射参数随键合线参数变化的演变规律，结合L9(3^4)正交试验与多目标优化方法，对关键参数组合进行综合分析。表1列出了进行参数优化的实验因子。表2列出了9组实验参数组合及其对应的S_{11}与S_{21}实测值。实验数据显示，S_{11}范围为－30.37～－40.87 dB，S_{21}范围为－0.111～－0.018 dB，表明参数变化对S_{11}和S_{21}两指标均具有显著的调控作用。

表1　参数优化L9(3^4)正交实验因子

因素	水平1	水平2	水平3
直径D	0.005	0.015	0.025
跨距L	0.4	0.8	1.2
弧高H	0.1	0.2	0.3
线宽W	0.05	0.075	0.1

表2　正交参数实验设计及实测值

实验号	D/mm	L/mm	H/mm	W/mm	S_{11}/dB	S_{21}/dB
1	0.005	0.4	0.1	0.05	－30.372 296	－0.050 744
2	0.005	0.8	0.2	0.075	－36.898 981	－0.075 139
3	0.005	1.2	0.3	0.1	－35.827 713	－0.111 875
4	0.015	0.4	0.2	0.1	－39.444 864	－0.021 297
5	0.015	0.8	0.3	0.05	－31.331 243	－0.031 049
6	0.015	1.2	0.1	0.075	－38.893 062	－0.024 960
7	0.025	0.4	0.3	0.075	－35.329 997	－0.021 388
8	0.025	0.8	0.1	0.1	－40.873 018	－0.018 443
9	0.025	1.2	0.2	0.05	－35.211 748	－0.023 516

通过计算各因素水平下S_{11}的均值及极差，发现弧高H对S_{11}的影响最为显著（极差R=2.95 dB），其次为直径D（R=2.77 dB）。其中，H_3（0.3 mm）和D_3（0.025 mm）分别使S_{11}达到最小值。S_{21}的极差分析结果表明，直径D对其影响占主导地位（R=0.058 dB），最优水平为D_3（0.025 mm）。其余因素（L，H和W）的极差均小于0.025 dB，影响较小。

对S_{11}和S_{21}分别进行方差分析，结果表明弧高H和直径D对S_{11}的影响显著（p<0.05），其平方和（SS）分别占总变异的38.2%和31.6%。仅直径D对S_{21}具有显著性（F=15.25），贡献率达53.0%。

帕累托前沿是多目标优化中所有最佳妥协方案的集合，每个解代表一种独特的优化策略。为平衡S_{11}与S_{21}的优化目标，绘制帕累托前沿如图5所示。由图可知，实验8（S_{11}=－40.87 dB，S_{21}=－0.018 dB）位于前沿顶点，表明其同时实现最低反射损耗与最高传输效率。在此基础上，进一步采用综合评分法判定，实验8以满分100分被选为最优组合，如表3所示。

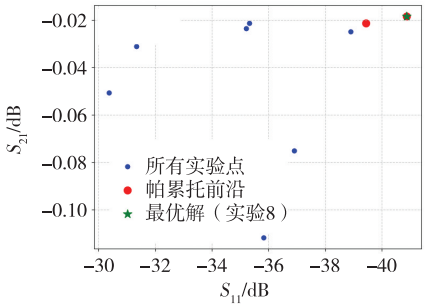


图5　帕累托前沿图

表3　综合评分表

实验号	S_{11}/dB	S_{21}/dB	S_{11}得分	S_{21}得分	综合分	排名
1	－30.37	－0.051	0.0	57.4	34.4	8
2	－36.90	－0.075	63.5	39.4	48.3	6
3	－35.83	－0.112	53.3	0.0	21.3	9
4	－39.44	－0.021	90.4	96.8	94.2	2
5	－31.33	－0.031	8.5	86.2	54.6	5
6	－38.89	－0.025	85.1	92.6	89.7	3
7	－35.33	－0.021	50.5	96.8	78.9	4
8	－40.87	－0.018	100.0	100.0	100.0	1
9	－35.21	－0.024	49.4	93.6	75.7	7

通过以上正交实验与多目标优化分析，确定了基于本研究SiP封装的推荐参数组合为方案8：直径D=0.025 mm（即1 mil金线），跨距L=0.8 mm，弧高H=0.1 mm，基板微带线宽度W=0.1 mm。在后续工程设计中将应用此参数，一定程度上可以避

免参数设计的盲目性。

2.3 电路实现

在光纤陀螺电路的SiP封装设计中，由于系统具有多芯片高密度集成、基板走线密集以及多路电源分配复杂等特征，因而面临较为突出的电磁干扰问题[15-16]。具体而言，光纤陀螺中的高速数字逻辑在状态翻转过程中会产生较大的瞬态电流与电压变化，这些扰动易通过公共电源阻抗、接地回路、电容耦合以及封装寄生参数等路径耦合至模拟信号通道，进而引发ADC采样噪声增大和基准电压波动等问题。同时，BGA焊球、基板布线及过孔所引入的寄生电感与寄生电容，还会造成信号阻抗不连续和反射效应，并在高速采样系统中表现为振铃、过冲与相位抖动等现象。此外，若高频时钟信号的辐射控制不足，或回流路径设计不合理，还可能进一步诱发公共阻抗耦合和地弹噪声，从而对光纤陀螺系统的零偏稳定性及信噪比产生不利影响[17]。因此，在SiP设计阶段，必须系统分析干扰来源及其耦合路径，并从封装结构、电源网络、层叠设置和接地策略等多个方面进行协同优化，以保障光纤陀螺系统的稳定运行和测量精度[18]。现提出该设计过程中的原则规范，将在此规范的指导下进行工程设计与实现。该原则也可一定程度指导其他相关封装方案的工程设计。

2.3.1 布局设计规范

在光纤陀螺信号处理电路的系统级封装设计中，内部布局方案的合理性直接影响芯片的热分布特性、布线复杂度以及整体封装可靠性。由于本研究需在同一封装体内集成4片尺寸各异的裸芯片以及若干电阻、电容等无源器件，在布局设计过程中，必须统筹考虑各器件的空间位置、键合焊盘分布及其与BGA焊球之间的对应关系，以尽可能减弱局部区域的热量聚集，降低布线密度，并缩短信号传输路径。具体而言，裸芯片的布置应尽量保持均匀，且相互之间不宜过于接近，以避免局部结构过度紧凑而对散热管理及封装工艺实施产生不利影响。同时，从热分布均衡性与信号连接便利性的角度出发，应将功耗最大的FPGA布置于整体结构中部，将ADC和DAC分别布置于其两侧，以实现较为均衡的热场分布；Flash则宜布置于靠近FPGA的JTAG接口位置，以缩短信号控制路径并提高连接效率。对于电阻、电容等无源器件，也应结合其功能需求进行相对均匀的分布，以避免局部区域器件过度集中。

除器件位置安排外，布局设计还应充分体现模拟电路与数字电路分区的基本原则。具体而言，应将ADC及模拟前端布置于远离高速I/O接口区域的位置，以减弱高速数字噪声对敏感模拟信号的耦合影响；DAC及其调制驱动路径则应优先遵循最短路径原则，以降低信号传输过程中的寄生效应。同时，模拟信号路径应避免穿越数字信号密集区域，并采用单点接地策略，在电源入口处实现模拟地与数字地的汇接，以防止多点接地引发地回流电流混叠。为进一步抑制电源噪声干扰，还应在各芯片电源引脚附近布置高频去耦电容，并采用电源层与地层紧耦合的叠层结构，同时将大容量滤波电容设置于电源入口处，以增强电源网络的稳定性与抗干扰能力。依据上述布局设计原则，可形成光纤陀螺信号处理电路系统级封装方案的内部布局结构，其具体示意如图6所示，其中绿色器件表示裸芯片，蓝色器件表示无源器件。

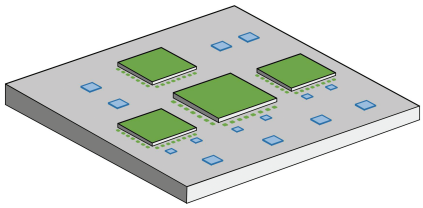


图6 裸芯片布局示意图

2.3.2 布线设计规范

在基板具体布线过程中，布线策略对串扰水平和信号完整性具有决定性影响。因此，本文设计主要遵循分层布线、关键模拟信号最短路径布线、回流路径连续性控制以及串扰抑制等原则。对于高速数字信号与模拟信号，应通过合理的层叠设置分别布置于不同信号层，并在其之间设置完整接地层进行电磁隔离，从而降低层间耦合干扰[19-20]。

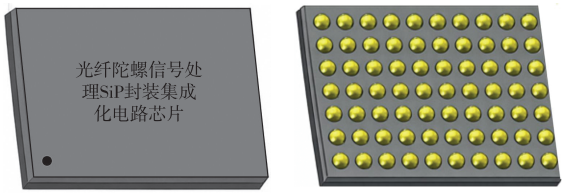
如图7所示为本文设计的层叠结构。顶层作为主要信号层，用于实现关键信号布线。第二层为完整GND层，为第一层信号提供连续返回路径，从而满足信号完整性要求。以缓解布线压力及区分不同信号，第三层继续设置为信号层。结合电源完整性设计要求，第四层与第五层被设置为电源层，并对3.3 V、1.2 V与1.8 V等不同电源进行分区布置。最底层则作为BGA焊盘阵列分布层，在焊盘布置区域之外铺设GND铜皮，以便为相邻电源层提供回流路径，进一步增强电源网络稳定性。



图 7　层叠设置示意图

对于 ADC 输入、基准电压以及 DAC 输出等敏感信号，其走线应尽可能保持短而直，尽量避免折线和过孔，并严禁跨越分割地平面，以降低寄生电感、抑制阻抗突变，并保证回流路径的连续性。通过上述设计规范的综合实施，可有效提高 SiP 封装中信号传输质量，增强系统抗干扰能力，为光纤陀螺信号处理电路的稳定工作提供可靠保障。

最终封装完成的芯片示意如图 8 和图 9 所示，分别展示了封装芯片的正面、底部以及内部。



（a）正面示意图　　（b）底部示意图

图 8　封装芯片外部示意图

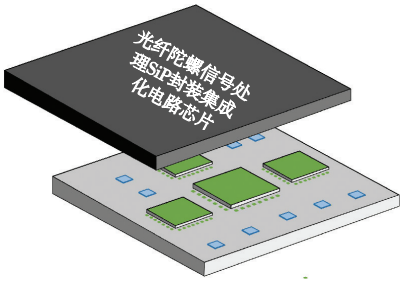


图 9　封装芯片内部示意图

3　陀螺级实验测试

为验证封装芯片性能，将其应用到光纤环长为 1 000 m，光纤环直径为 70 mm 的光纤陀螺系统中，进行－30℃～60℃的测试，计算不同温度下该陀螺的零偏均值和零偏稳定性。

如图 10 所示是陀螺测量的全温输出均值及极差图，输出数据在 10 s 平滑下均值为 9.924 5 °/h，零偏均值等于陀螺输出均值减去测试单位当地纬度地速分量，本测试单位位于北京市海淀区，对应地速天向分量为 9.682 1 °/h，所以计算得到全温零偏均值为 0.242 4 °/h。全温状态下零偏稳定性为 10 s 平滑后数据的标准偏差的最大值，也就是图中显示的极值，因此看出全温实验的零偏稳定性值为 0.208 12 °/h。同理，如图 11、图 12、图 13 所示分别为 25℃常温、－30℃低温、60℃高温状态下的零偏均值和零偏稳定性。同时在各温度点下测量 6 次，计算零偏重复性，总结零偏性能各指标如表 4 所示。分析得知，应用本文设计芯片的光纤陀螺零偏各项指标均与采用相同光路结构的光纤陀螺零偏性能指标基本一致，证明了本文研究设计的集成化封装电路达到了设计目标。

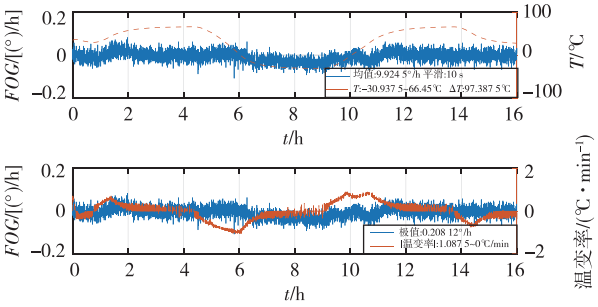


图 10　陀螺全温输出均值及极差图

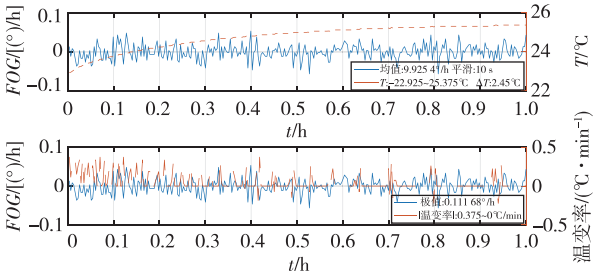


图 11　陀螺常温输出均值及极差图

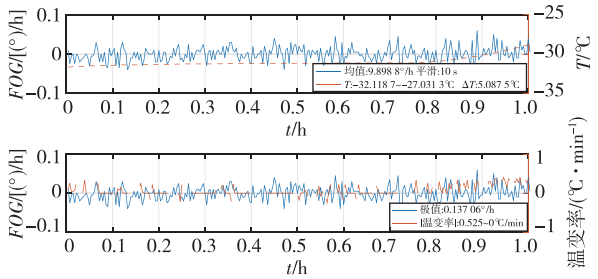


图 12　陀螺低温输出均值及极差图

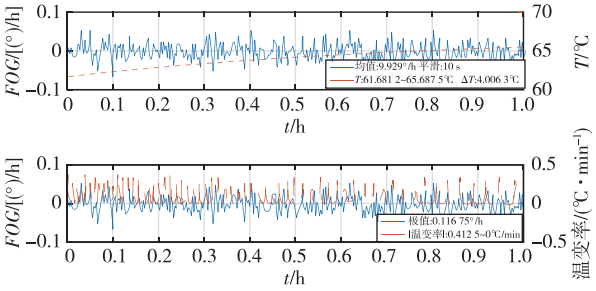


图 13 陀螺高温输出均值及极差图

表 4 零偏性能测试数据

温度/℃	零偏均值/[(°)/h]	零偏稳定性/[(°)/h]	零偏重复性/[(°)/h]
全温	0.242 4	0.208 12	0.002 5
25	0.243 3	0.111 68	0.001 8
−30	0.216 7	0.137 06	0.006 3
60	0.246 9	0.116 75	0.003 4

随机游走系数(Angle Random Walk, ARW)可用于描述由白噪声引起的角度误差随时间积分而累积增长的速率,是表征光纤陀螺随机误差特性的重要参数[21]。ARW 数值越小,说明系统白噪声水平越低,短时间测量精度越高。在 Allan 曲线中,随机游走噪声对应斜率为−1/2 的区域。通过对该区间进行线性拟合,可以提取随机游走系数。

如图 14 所示,图中横坐标为相关时间,表示数据的平均时间尺度,纵坐标为 Allan 标准偏差,反映了在该时间尺度下陀螺输出的稳定性。

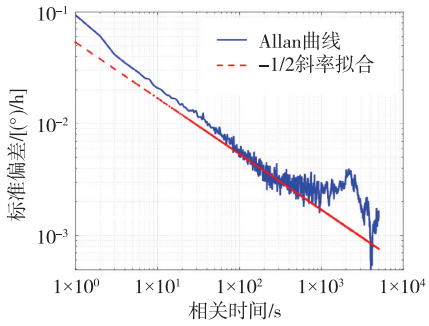


图 14 光纤陀螺常温 Allan 方差拟合曲线

从图中可以看出,Allan 曲线整体呈现典型的分段特征:在 1~200 s 内的短时间区域,曲线呈明显下降趋势,且在对数坐标下近似为斜率为−1/2 的直线,表明该区域内陀螺输出主要受白噪声影响。该部分对应随机游走噪声,是评估陀螺短时间稳定性的关键指标。在 200~800 s 间的中时间区域,曲线下降趋势减缓,并逐渐趋于平缓,说明白噪声影响减弱,低频噪声开始占主导地位。在大于 1 000 s 的长时间区域,曲线出现明显波动甚至局部上升,主要是由于数据长度有限以及如温度带来的漂移等环境因素引入的低频误差所致,该区域数据统计稳定性较差。

在本实验中经过拟合计算得到的陀螺常温条件下角度随机游走系数为 8.924×10^{-4} °/$\sqrt{\text{h}}$,该结果表明,在短时间尺度内,陀螺输出噪声水平较低,具有良好的随机稳定性。由 Allan 方差分析结果可知,该光纤陀螺在短时间范围内主要受白噪声影响,且随机游走系数较小,说明系统在光电探测、电路设计及信号处理等方面具有较好的噪声控制能力。

4 总结与展望

为实现光纤陀螺电路的集成化目标,本文设计了一款基于 SiP 技术的 FOG 专用芯片,封装器件包括信号处理电路的 ADC、FPGA、DAC 及 Flash 和相关支撑电路。该芯片面向 3.3 V 应用平台,具备通用 FPGA 逻辑功能,可接收一路模拟输入信号,并在芯片内部完成模数转换、数模转换及数字信号处理后实现数据输出,从而实现模拟信号采集与数字信号处理的一体化集成。将此芯片应用在光纤环长为 1 000 m,环径为 70 mm 的光纤陀螺系统中,测得全温零偏稳定性优于 0.208 12 °/h,随机游走系数为 8.924×10^{-4} °/$\sqrt{\text{h}}$,满足工程应用需要。

本文为光纤陀螺电路集成化提供了“电路设计-原理验证-封装参数设计-封装实现-系统测试”的完整闭环研究思路,为光纤陀螺小型化提供了一个有效的解决方案,后续研究和工程可参考此研究思路进行。另外,在本文研究基础上,未来研究可从以下方面展开:(1)面向多轴化应用需求,可在现有单轴光纤陀螺研究基础上,进一步开展三轴集成化光纤陀螺系统设计研究;(2)进一步提升信号处理电路的整体集成度,尝试将当前系统中更多分立器件纳入统一封装范围,逐步研制面向光纤陀螺应用的信号处理专用芯片;(3)探索更先进的芯片互连与封装实现方式,尝试引入倒装芯片、凸点互连、2.5D/3D 集成等更新型封装方式,以进一步缩短信号传输路径、减小寄生参数影响并提高封装密度。

参考文献:

[1] 赵玉新, 魏廷枭, 奔粤阳, 等. 智能惯性导航系统: 研究动态与未来发展方向[J]. 中国惯性技术学报, 2026, 34(2): 156-167.
Zhao Yuxin, Wei Tingxiao, Ben Yueyang, et al. Intelligent

inertial navigation systems: progress and trends[J]. Journal of Chinese Inertial Technology, 2026, 34(2): 156-167.

[2] Bischel W K, Kouchnir M A, Bitter M, et al. Hybrid integration of fiber optic gyroscopes operating in harsh environments [J]. Nanophotonics and Macrophotonics for Space Environments V, 2011, 8164: 81640Q.

[3] Rickman A. The commercialization of silicon photonics[J]. Nature Photonics, 2014, 8(8): 579-582.

[4] Tran M A, Komljenovic T, Hulme J C, et al. Integrated optical driver for interferometric optical gyroscopes[J]. Optics Express, 2017, 25(4): 3826.

[5] Wang L, Halstead D R, Monte T D, et al. Low-cost, high-end tactical-grade fiber optic gyroscope based on photonic integrated circuit[C]//2019 IEEE International Symposium on Inertial Sensors and Systems (INERTIAL), 2019: 1-2.

[6] Shang K, Lei M, Li H, et al. Ultra-small interferometric fiber optic gyroscope with an integrated optical chip[J]. Chinese Optics Letters, 2022, 20(4): 040601.

[7] Xu H, Wang L, Zu Y, et al. Application and development of fiber optic gyroscope inertial navigation system in underground space[J]. Sensors, 2023, 23(12): 5627.

[8] 王　巍. 光纤陀螺惯性系统[M]. 北京：中国宇航出版社，2010.
Wang Wei. Fiber Optic Gyro Inertial System[M]. Beijing: China Astronautics Publishing House, 2010.

[9] Tashtay Y, Smailov N, Naubetov D, et al. Fiber-optic gyroscopes: architectures, signal processing, error compensation, and emerging trends[J]. Journal of Sensor and Actuator Networks, 2026, 15(1): 3.

[10] 刘鹏宇，冯立辉，吴尚保，等. 集成光学陀螺技术研究进展综述[J]. 智能感知工程，2025，2(1)：23-37.
Liu Pengyu, Feng Lihui, Wu Shangbao, et al. Review of the research progress in integrated optical gyroscope technology [J]. Intelligent Perception Engineering, 2025, 2(1): 23-37.

[11] 林玥中，贾培智，刘　华，等. 光学陀螺测角技术综述[J]. 宇航计测技术，2024，44(6)：69-74.
Lin Yuezhong, Jia Peizhi, Liu Hua, et al. Review of optical gyroscope goniometry technology[J]. Journal of Astronautic Metrology and Measurement, 2024, 44(6): 69-74.

[12] 尚克军，雷　明，李豪伟，等. 集成化光纤陀螺设计、制造及未来发展[J]. 中国惯性技术学报，2021，29(4)：502-509.
Shang Kejun, Lei Ming, Li Haowei, et al. Design, manufacturing and future development of the integrated fiber optic gyroscope[J]. Journal of Chinese Inertial Technology, 2021, 29(4): 502-509.

[13] 黎冬磊. 基于系统级封装技术的光纤陀螺电路集成化研究[D]. 哈尔滨：哈尔滨工程大学，2024.
Li Donglei. Research on the integration of fiber optic gyroscope circuits based on system in package technology [D]. Harbin: Harbin Engineering University, 2024.

[14] 王甲强，仇海涛，贺　洋，等. 基于FOG信号处理电路的SiP键合线仿真分析[J]. 半导体光电，2025，46(2)：327-335.
Wang Jiaqiang, Qiu Haitao, He Yang, et al. Simulation analysis of SiP bonding wires in FOG signal processing circuits [J]. Semiconductor Optoelectronics, 2025, 46(2): 327-335.

[15] 李　搏，李健壮，黄晓宗. 小尺寸数字闭环光纤陀螺信号处理电路[J]. 中国惯性技术学报，2017，25(3)：356-359.
Li Bo, Li Jianzhuang, Huang Xiaozong. Signal processing circuit of small-sized digital closed-loop FOG[J]. Journal of Chinese Inertial Technology, 2017, 25(3): 356-359.

[16] 李　搏，于晓之，欧　姮，等. 一种全集成架构的光纤陀螺信号处理电路[J]. 中国惯性技术学报，2025，33(6)：596-600.
Li Bo, Yu Xiaozhi, Ou Heng, et al. A kind of fully integrated architecture signal processing circuit for fiber optic gyroscope [J]. Journal of Chinese Inertial Technology, 2025, 33(6): 596-600.

[17] 张墅野，何　鹏，邵建航，等. 电子封装领域的仿真研究现状及挑战[J]. 微电子学与计算机，2023，40(1)：75-86.
Zhang Shuye, He Peng, Shao Jianhang, et al. Research status and challenges of simulation technology in electronic packaging[J]. Microelectronics & Computer, 2023, 40(1): 75-86.

[18] 汪　刚. 用于集成电路信号完整性分析的仿真方法[D]. 杭州：杭州电子科技大学，2021.
Wang Gang. Simulation method for signal integrity analysis of integrated circuits [D]. Hangzhou: Hangzhou Dianzi University, 2021.

[19] 王泽强. 高速电路之信号回流路径分析[J]. 现代电子技术，2013，36(1)：155-157，160.
Wang Zeqiang. Analysis of signal circumfluence path of high-speed circuit[J]. Modern Electronics Technique, 2013, 36 (1): 155-157, 160.

[20] Su D, Wang C, Wang S, et al. Research on controllable heat dissipation of system in ceramic package [J]. Soldering & Surface Mount Technology, 2026, 38(2): 140-145.

[21] 宋　建，黄继勋，冯文帅，等. 光纤陀螺标度因数长期变化抑制技术研究[J]. 半导体光电，2025，46(2)：342-349.
Song Jian, Huang Jixun, Feng Wenshuai, et al. Long-term suppression of scale-factor variation in fiber-optic gyroscopes [J]. Semiconductor Optoelectronics, 2025, 46(2): 342-349.

作者简介：

仇海涛(1974—)，男，山东省临沂市人，博士，研究员，主要研究方向为导航制导与控制；

王天宇(2000—)，男，江苏省南通人，硕士研究生，主要研究方向为惯性传感器技术。