光电器件

DOI：10.16818/j.issn1001－5868.20260709003

一种多通道光电共封微模组三维异构集成研究

黄飞淋[1*]，袁　恺[2]，张文亚[2]，谢　寒[2]，罗　伟[2]

（1. 中国电子科技集团公司第二十四研究所，重庆 400060；2. 联合微电子中心有限责任公司，重庆 401332）

摘　要： 光电共封装技术是实现高带宽、低延迟光电互连的新方案，文章面向400 Gbps（16×25 Gbps）多通道光电共封微模组需求，研究了一种基于eWLB扇出封装与TSV硅桥互连的三维异构集成结构，开展电路原理图设计、硅光芯片设计、RDL设计及信号完整性仿真，完成16通道收发硅光芯片、RDL接口及三维集成方案的协同设计研究和制造加工测试，实现单端共面波导信号通道的单位长度损耗小于等于1.1 dB/mm@25GHz、差分共面波导信号通道的单位长度损耗小于等于0.6 dB/mm@25GHz，16通道光模块总速率达400 Gbps（NRZ调制），误码率为1×10^{-9}，眼图质量良好，为高密度、高速率光电共封微系统的工程化提供了可行的技术方案。

关键词： 光电共封；eWLB扇出；三维异构集成；光电互联

中图分类号： TN252　**文章编号：** 1001－5868(2026)05－0900－06

Research on Three-Dimensional Heterogeneous Integration of a Multi-Channel Optoelectronic Co-Sealed Micro-Module

HUANG Feilin[1], YUAN Kai[2], ZHANG Wenya[2], XIE Han[2], LUO Wei[2]

(1. The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing 400060, CHN; 2. Chongqing United Microelectronics Center Co., Ltd., Chongqing 401332, CHN)

Abstract: Optoelectronic co-packaging technology is a new protocol for achieving high-bandwidth, low-latency optoelectronic interconnections. To meet the demand for 400 Gbps (16×25 Gbps) multichannel optoelectronic co-packaged micromodules, a three-dimensional heterogeneous integrated structure is developed in this study, based on embedded wafer-level ball grid array (eWLB) fan-out packaging and through-silicon-via-based silicon bridge interconnection. This structure performs circuit schematic design, silicon photonic chip design, redistribution layer (RDL) design, and signal integrity simulation, and completes a 16-channel transceiver silicon photonic chip, an RDL interface, and a three-dimensional integration method. Through collaborative design, research, manufacturing and testing, the project achieved a loss per unit length of less than or equal to 1.1 dB/mm at 25 GHz for the single-ended coplanar waveguide signal channel and of less than or equal to 0.6 dB/mm at 25 GHz for the differential coplanar waveguide signal channel. The total rate of the 16-channel optical module reaches 400 Gbps (non-return-to-zero modulation), the bit error rate is 1×10^{-9}, and the eye diagram quality is good. It provides a feasible technical solution for the engineering of high-density, high-speed optoelectronic co-packaged microsystems.

Key words: co-packaged optics; eWLB fan-out; 3D heterogeneous integration; optoelectronic interconnection

收稿日期：2026－07－09.

*通信作者：黄飞淋

0　引言

随着人工智能和大数据时代的到来，对数据存储、传输和处理能力的需求急剧增长[1]，数据传输所需的数据带宽和通信速率也随之增加。数据中心对光模块在传输速率、带宽、能效等方面的要求越来越高。数据中心处理的数据量每年以30%的速率增长，2010～2022年间，服务器用的交换芯片容量从0.64 Tb/s增加到25.6 Tb/s，激增80倍，功耗提升8倍[2-3]。传统封装中光芯片和电芯片的信号互连采用引线键合，通过板上芯片封装技术（Chip-on-Board，COB）实现二维集成组装。然而，受封装材料的影响，信号传输会出现损耗、延迟与串扰等问题，无法满足日益增长的数据带宽和高传输速率、低功耗通信的需求[4-5]。

光电共封装技术（Co-Packaged Optics，CPO）[6-8]是一种新型的光电子集成技术，通过先进封装工艺将光芯片与电芯片集成在同一封装体内，可大幅减小封装尺寸，缩短光模块和电芯片之间的互连长度，降低寄生效应，同时又具有宽频带、抗电磁干扰、低传输损耗[9]等优势，为实现高带宽、低延迟的光电互连提供了新的解决方案[10-11]，因而成为近年来的研究热点。

面向400 Gbps高速光电互连需求，国内光迅科技、中国科学院半导体研究所、清华大学等单位基于有机基板、倒装焊、分立硅中介层路线实现了400 Gbps收发样件研制，NRZ/PAM-4调制下误码率低至1×10^{-12}量级，但传统引线键合、有机基板互连会引入较大寄生效应，在25 GHz以上频段，传输线损耗大多高于0.8 dB/mm，限制了高速性能的提升。国内封测企业已搭建eWLB扇出封装工艺平台，但将eWLB扇出封装与TSV硅桥互连相结合、实现400 Gbps硅光微系统一体化集成的完整方案仍然较少，多数研究缺少芯片、RDL布线与三维互连架构的协同设计。

本文面向400 Gbps（16×25 Gbps）多通道光电共封微模组需求，提出并实现了一种基于eWLB扇出封装与TSV硅桥互连的三维异构集成结构。围绕该结构，系统地开展了原理图设计、硅光芯片设计、RDL仿真设计及三维集成方案设计，并通过全电磁仿真完成信号完整性验证，最终完成微模组工艺制造与系统测试。

1　微模组三维异构集成设计

本节从系统设计角度出发，依次阐述微模组的原理图架构、硅光芯片设计、三维RDL仿真设计及整体三维集成方案，为后续信号完整性分析与工艺开发奠定基础。

1.1　原理图设计

高速光电微系统模组采用16路并行传输架构，如图1所示，包含16路发射通道和16路接收通道。发射端采用调制器直接驱动方案，射频电信号直接加载至调制器，激光器输入光经调制后转换为光调制信号输出；接收端则通过探测器将输入光信号转换为电流信号，再经跨阻放大器（Trans-Impedance Amplifier，TIA）放大为电压信号输出。

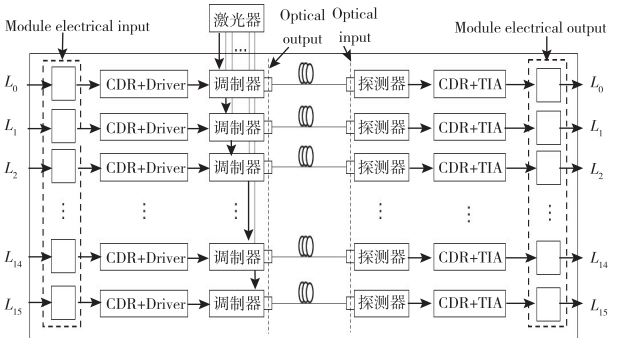


图1　16通道高速光电微系统原理框图

根据系统链路预算与仿真分析，明确硅光芯片关键指标为：单通道带宽大于等于25 Gbps，系统总传输速率400 Gbps（16×25 Gbps），发射端消光比大于等于3.5 dB，平均输出功率大于等于－10 dBm，接收灵敏度优于－11 dBm。

1.2　硅光芯片设计

16通道的收发芯片采用16个调制器和16个探测器。图2所示为16通道收发硅光芯片版图，调制器设计为DSP直驱，驱动电压V_{pp}为1 V。光接口采用周期为127 mm的42通道阵列的端面耦合器，端面耦合器的模斑约为3 μm。

硅光芯片一共42个端口，从左到右1～42端口相连，用于光纤耦合封装；光源输入后通过MMI分为两束，每一束进入到2%的功分器，98%的分光进入到调制器的输入端，2%的光进入到监测光电探测器，调制器的两端口的输出，每一端口通过5%功分器，95%的光通过端面耦合器输出，两端口5%的光进入差分光电探测器。

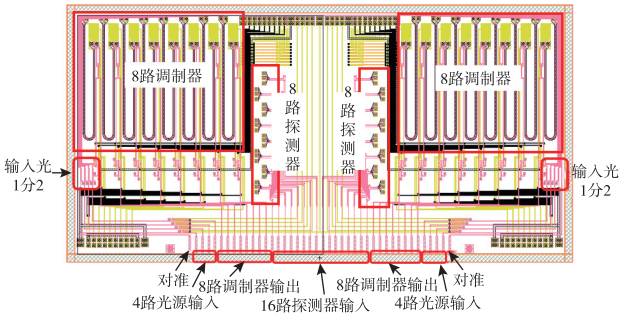


图2 多通道收发硅光芯片总版图

1.3 三维集成RDL仿真设计

16通道高速光模块组硅光芯片的RDL接口方案如图3所示，包括左右对称的8路TIA射频输出接口、探测器输入接口和TIA直流接口。产品设计采用了eWLB方案进行TIA重塑晶圆布线的版图设计，包含了对4个TIA芯片进行重塑晶圆，与硅光芯片互连。而通过TIA放大的高速差分电信号输出以及外部电源、GND以及TIA直流控制信号则通过TSV桥芯片从顶部引出。使用有限元/多物理场仿真等软件对高速差分信号、热分布/热应力完成了仿真设计，端-端的信号满足微模组产品要求。

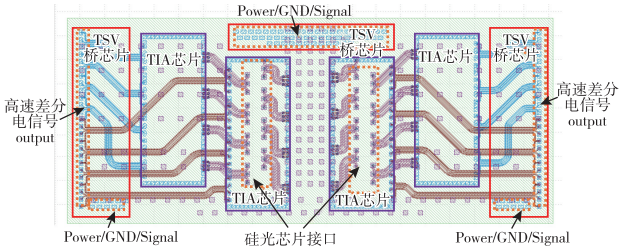


图3 基于TSV硅桥的光电微系统模组三维集成RDL设计

1.4 三维集成方案设计

本文研制的16通道高速光电微模组结构自下而上分别是LTCC基板、硅光芯片与激光器、三维异构集成结构（eWLB基板）与SiN基板、4个TIA芯片，其集成封装结构如图4所示。发端采用调制器直接驱动方案，收端采用PD+TIA方案，因此无需Driver电芯片，只需TIA芯片。每个TIA芯片有4个通道，因此需要4片TIA芯片。在集成架构上采用硅桥-eWLB方案，将4颗TIA芯片和TSV桥芯片通过扇出工艺埋入塑封料中。本方案直接通过扇出工艺连接TIA芯片和硅光芯片，既保证了TIA Pad的重新扇出，又省去了硅转接板，只需要一层凸点工艺，可靠性更高。从图中可以看到，光口主要位于硅光芯片上，发端的电接口位于硅光芯片上，收端的电接口位于顶部的eWLB RDL上。

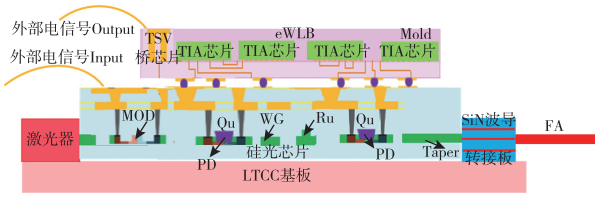


图4 多通道高速光电微系统模组三维集成方案

通过对TIA进行选型，并基于产品封装完成芯片布局及封装设计，如图5所示。TIA芯片的尺寸约为3.23 mm×1.15 mm，4个TIA芯片左右对称放置于中央，左、右及上边各放置1个硅桥芯片。

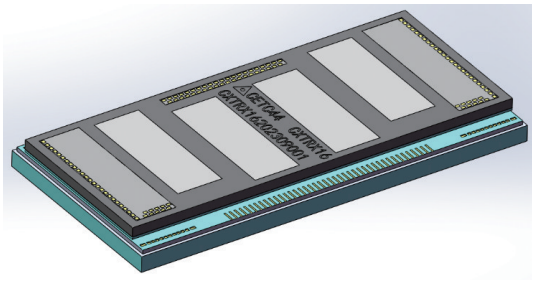


图5 多通道光电微系统模组封装外形图

通过晶圆重塑与重布线工艺将4颗4通道TIA芯片、1块硅光芯片和3块硅桥芯粒高密度互连集成，形成16收、16发光电微系统，封装尺寸为9 850 μm×4 850 μm。硅光芯片高频信号经多层重布线连接至TIA输入端，由TIA放大后通过布线层传输至硅桥芯粒底部，最终从TSV垂直引出至封装顶部。其中左、右硅桥芯粒分别将TIA1/TIA2和TIA3/TIA4的8个高频通道信号及部分电源、地和控制信号引出，上硅桥芯粒负责引出系统其余电源、地及控制信号。版图采用沿Y轴对称结构设计，左右各8个高频通道信号版图完全对称。

2 光电互联通道信号完整性分析

2.1 信号完整性仿真设置

本结构仿真设置流程如下：基于图3中光电微系统异构集成结构，将版图文件导入三维全电磁仿真软件HFSS，进行仿真参数设置，完成频域仿真。HFSS中异构集成结构的层叠结构如图6所示，最下方是厚度为200 μm的硅基衬底，衬底和金属间有5 μm厚度的绝缘层。金属层M1～M3的厚度为3 μm，M4层的厚度为8 μm，Via层的厚度均为5 μm，传输线集中在M1～M3层。金属采用铜，电导率为5.8×10^7 S/m，

金属层介质采用PI,介电常数为3.1。仿真频率范围为0～35 GHz,步进为0.2 GHz,收敛误差精度为0.02,最小收敛误差次数为2次。

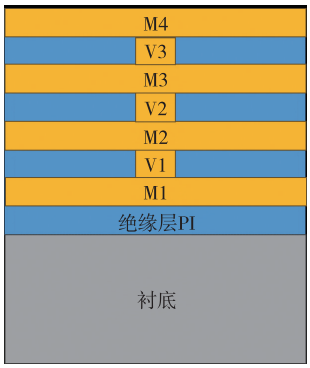


图6　层叠结构示意图

2.2　信号通路设计及仿真结果分析

图7是基于TSV硅桥的光电微系统三维示意图,此微系统版图采用沿Y轴对称结构设计,左边TIA1,TIA2高频信号版图和右边TIA3,TIA4高频信号版图的走线方式和层叠结构完全一致,因此仿真时选取了左边TIA1和TIA2的光电探测器;与TIA芯片互连的8条单端共面波导信号通道以及TIA与硅桥芯粒互连的8条差分共面波导信号通道进行仿真,如图8所示。

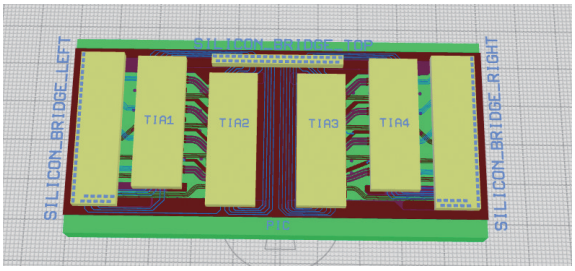


图7　光电微系统三维示意图

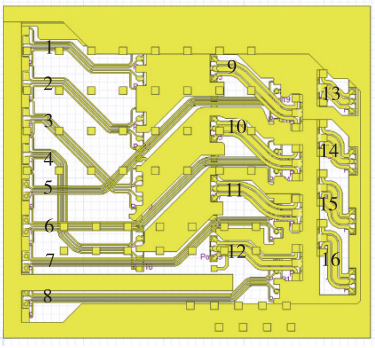


图8　仿真版图

光电探测器与TIA芯片互连的8条信号通道均采用单端共面波导走线,信号线线宽均为70 μm,地线线宽为40 μm,信号线与地线间距为15 μm,单端阻抗控制在50 Ω。单端信号线从M1层通过V1到达M2,然后经过V2到达M3,再经过M3的长走线后走到M4层,信号线主要在M3层,每条信号线端口一端设置在M1层,另一端设置在M4层,信号通路模型如图9所示。8组单端共面波导信号走线仿真结果如图10所示,结果表明在信号频率为25 GHz时,8组单端共面波导信号通道均满足单位长度损耗小于等于1.1 dB/mm。连接TIA1的通道9,10,11和12传输信号线长度接近,带宽接近;连接TIA2的通道13,14,15和16传输信号,带宽接近。因为通道13传输线最短,约500 μm,所以在30 GHz以内损耗最小。

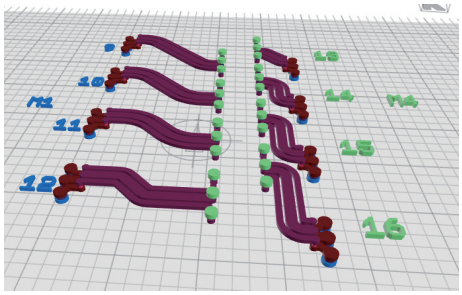


图9　信号通路模型图

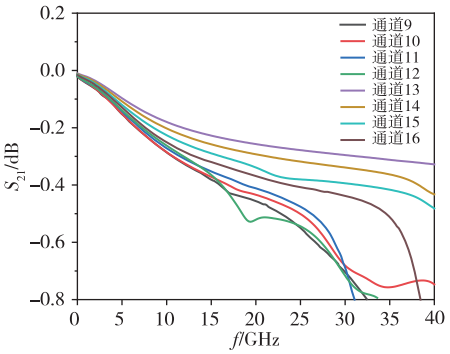


图10　8组单端共面波导信号走线仿真结果

TIA与硅桥芯粒互连的8条信号通道均采用差分共面波导走线,其中TIA1芯片的4对差分共面波导线在M1层,差分共面波导信号线与地线线宽均为15 μm,差分信号线间线距为18.5 μm,信号线与地线间的距离为18.5 μm,差分对阻抗控制在100 Ω;TIA2芯片的4对差分共面波导线从M1层经过V1到达M2,然后M2层长走线后经过V1回到M1,信号线主要在M2层,差分共面波导信号线与地线线宽均为15 μm,差分信号线间线距为15 μm,信号线与地线的距离为15 μm,差分对阻抗控制在10 Ω。仿真时8组信号通路共计32个端口均设置在M1层,信号通路模型如图11所示。8组差分共面波导信号走线仿真结果如图12所示,结果表明当信号

频率为25 GHz时，8组差分共面波导信号通道均满足单位长度损耗小于等于0.6 dB/mm。其中通道4带宽最窄，因为信号线与地线均经过两次135°的拐角，且受到上方M2层差分走线的影响。

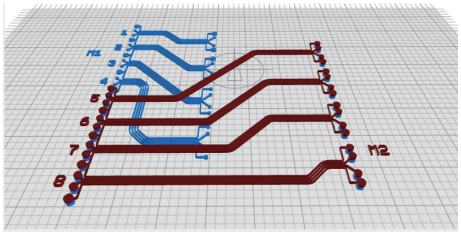


图11 信号通路模型图

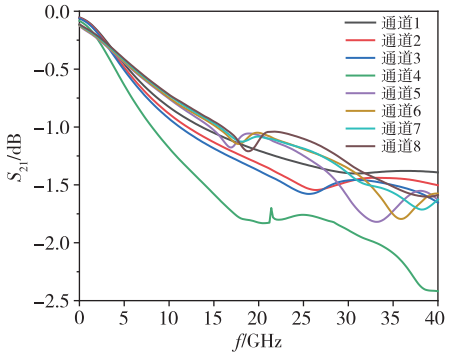


图12 8组差分共面波导信号走线仿真结果

综合以上仿真结果，光电微系统封装结构中的16条单端共面波导信号通道和16条差分共面波导信号通道在25 GHz频率范围内均满足S_{21}小于等于−3 dB的信号传输要求。由于版图采用沿Y轴对称设计，右侧TIA3和TIA4链路通道与左侧TIA1和TIA2的走线及层叠结构完全一致，故右侧通道同样满足上述指标。

3 微模组三维异构集成工艺开发

光电微模组封装工艺流程如图13所示，主要步骤包括：(1)在塑封模具正面旋涂一层可去除的牺牲层。(2)在牺牲层上按设计要求依次放置TSV桥芯片，TIA跨阻放大器芯片，芯片I/O口朝下；其中TIA芯片在塑封前会在芯片背面用银增厚，与TSV桥芯片高度一致。(3)TSV桥芯片和TIA跨阻放大器芯片放置完成后，在模具中注入树脂材料将芯片完全覆盖。(4)待树脂完全固化后去除塑封模具，将芯片I/O面朝上。(5)在芯片I/O面制备重布线层(4P4M)，实现跨阻放大器I/O的重新分布；待重布线层完成后，对“七芯片微模组”背面进行减薄露出TSV芯片PAD；然后对TSV芯片进行化学镀，以便于后续引线键合。(6)最后完成植球，将微模组贴装至硅光芯片，通过基板互连构成16收、16发光电微系统。

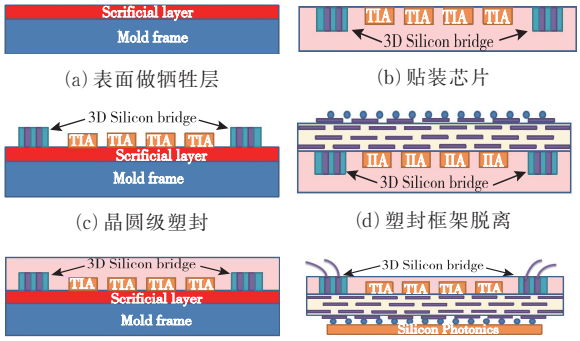


图13 封装设计流程图

4 微模组系统测试分析

光模块集成样件收端工作速率测试框图如图14所示，码元发生器的输出信号经微波放大器放大后加载到调制器中，通过调制器调制可调谐激光器输入的光信号，然后输入到待测光模块集成样件中。输入的光信号通过光模块集成样件的发端转换为电信号，并输入至示波器，进行眼图速率测试。对硅光芯片进行大信号眼图测试，结果如图15所示。可以发现，3 mm调制臂长的调制器在25 Gbps的传输眼图，驱动电压小于3 V，消光比为4.7 dB。

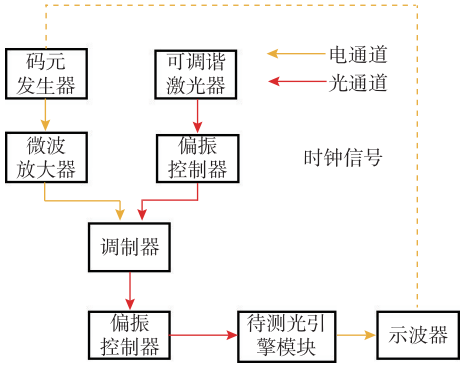


图14 光模块集成样件收端工作速率测试框图

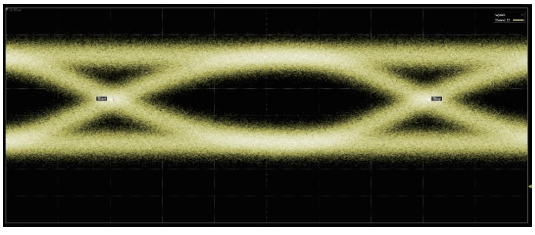


图15 调制器眼图测试

多通道光电微系统模组研制完成后，与 PCB 板进行贴装，完成金丝键合，最后进行封装测试。眼图测试结果如图 16 所示，其中 L1～L8 为左侧 8 个光电链路通道，R1～R8 为右侧 8 个光电链路通道。各通道速率均不低于 25 Gbps，总速率为 16×25 Gbps，误码率达 1×10^{-9}。通过持续优化封装工艺与倒装焊工艺，后续第 2 颗、第 3 颗多通道光电微系统模组均已成功研制，验证了工艺方案的可重复性。

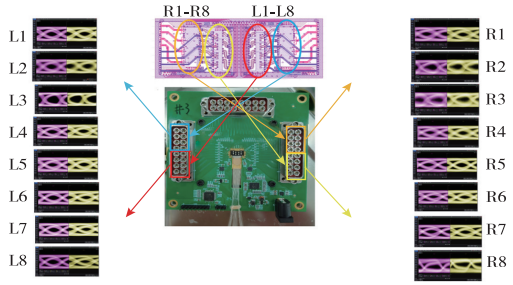


图 16　多通道高速光电微系统模组眼图速率测试

5　结论

本文针对 400 Gbps 多通道光电微系统应用需求，完整实现了一种基于 eWLB 扇出封装与 TSV 硅桥互连的三维异构集成微模组。主要结论如下：(1)完成了 16 通道收发硅光芯片、RDL 接口及三维集成方案的协同设计研究，硅光芯片尺寸为 9.85 mm×4.85 mm；(2)全电磁仿真结果表明，单端共面波导信号通道满足单位长度损失小于等于 1.1 dB/mm@25GHz，差分共面波导信号通道满足单位长度损失小于等于 0.6 dB/mm@25GHz，链路损耗满足 25 GHz 带宽内信号完整性要求；(3)系统测试表明，16 通道光模块总速率达 400 Gbps(NRZ 调制)，误码率约 1×10^{-9}，眼图质量良好，且已验证方案的可靠性与可重复性。

本研究为高密度、高速率光电共封微系统的工程化实现提供了可行的技术路径。同时本方案仍存在短板：硅桥-eWLB 复合架构的热管理难度更高，目前尚未完成完备的可靠性考核，距离商用产品成熟度仍有差距，后续将针对散热优化、可靠性验证继续开展深入研究。

参考文献：

[1] 卞玲艳，曾燕萍，蔡　莹，等. 大数据时代光电共封技术的机遇与挑战[J]. 激光与光电子学进展，2024，61(9)：77-88.
Bian Lingyan，Zeng Yanping，Cai Ying，et al. Opportunities and challenges of optoelectronic co-packaging technology in the era of big data[J]. Laser & Optoelectronics Progress，2024，61(9)：77-88.

[2] 孙佳琪，宋艳飞，王睿哲. 片间光电融合技术分析[J]. 中国集成电路，2024，33(5)：19-23，45.
Sun Jiaqi，Song Yanfei，Wang Ruizhe. The summary of inter-chip optoelectronic integration[J]. China Integrated Circuit，2024，33(5)：19-23，45.

[3] Tan M，Xu J，Liu S，et al. Co-packaged optics (CPO)：status，challenges，and solutions [J]. Frontiers of Optoelectronics，2023，16(1)：1-40.

[4] Margalit N，Xiang C，Bowers S M，et al. Perspective on the future of silicon photonics and electronics[J]. Applied Physics Letters，2021，118(22)：220501.

[5] 成骏伟，江雪怡，周海龙，等. 光电智能计算研究进展与挑战[J]. 中国激光，2022，49(12)：327-339.
Cheng Junwei，Jiang Xueyi，Zhou Hailong，et al. Advances and challenges of optoelectronic intelligent computing [J]. Chinese Journal of Lasers，2022，49(12)：327-339.

[6] Liang D，Bowers J E. Recent progress in heterogeneous III-V-on-silicon photonic integration [J]. Light：Advanced Manufacturing，2021，2(1)：59-82.

[7] 王子昊，王　霆，张建军. 硅基光电异质集成的发展与思考[J]. 中国科学院院刊，2022，37(3)：360-367.
Wang Zihao，Wang Ting，Zhang Jianjun. Development and thinking of silicon photonics heterogenous integration[J]. Bulletin of Chinese Academy of Sciences，2022，37(3)：360-367.

[8] 周治平，杨丰赫，陈睿轩，等. 硅基光电子：微电子与光电子的交融点[J]. 微纳电子与智能制造，2019，1(3)：4-15.
Zhou Zhiping，Yang Fenghe，Chen Ruixuan，et al. Silicon photonics—a converging point of microelectronics and optoelectronics [J]. Micro/Nano Electronics and Intelligent Manufacturing，2019，1(3)：4-15.

[9] 施梦桥，林晓莹. 光电微系统技术综述[J]. 电子产品可靠性与环境试验，2024，42(1)：123-128.
Shi Mengqiao，Lin Xiaoying. Review on optoelectronic microsystem technology[J]. Electronic Product Reliability and Environmental Testing，2024，42(1)：123-128.

[10] Minkenberg C，Krishnaswamy R，Zilkie A，et al. Co-packaged datacenter optics：opportunities and challenges[J]. IET Optoelectronics，2021，15(2)：77-91.

[11] 谢　寒，王　攀，田思劼. 面向高速光电三维集成的硅通孔仿真设计及特性验证[J]. 半导体光电，2025，46(4)：693-698.
Xie Han，Wang Pan，Tian Sijie. Simulation of through-silicon *via* design and characteristics for high-speed optoelectronic three-dimensional integration [J]. Semiconductor Optoelectronics，2025，46(4)：693-698.

作者简介：

黄飞淋(1989—)，男，重庆市人，硕士研究生，高级工程师，主要从事先进封装方向研究。